

SLOVENSKÁ TECHNICKÁ UNIVERZITA
Fakulta elektrotechniky a informatiky
Ústav elektroniky a fotoniky

Detekcia ukončenia výpočtu pre
nízkopríkonové asynchrónne systémy v
nanometrových technológiách

Completion detection for low-power asynchronous systems in
deep sub-micron technologies

Autoreferát dizertačnej práce
na získanie vedecko-akademickej hodnosti Philosophiae Doctor (PhD.)

v odbore doktorandského štúdia: 26-13-9 **Elektronika**
v špecializácii: **Mikroelektronika**

Evidenčné číslo: FEI-10842-12020

Meno: Ing. Lukáš Nagy
Školiteľ: prof. Ing. Viera Stopjaková, PhD.

Dizertačná práca bola vypracovaná na Ústave elektroniky a fotoniky Fakulty elektrotechniky a informatiky Slovenskej technickej univerzity v Bratislave.

Doktorand: **Ing. Lukáš Nagy**
Ústav elektroniky a fotoniky
Fakulta elektrotechniky a informatiky
Slovenská technická univerzita v Bratislave
Ilkovičova 3, 812 19 Bratislava

Školiteľ: **prof. Ing. Viera Stopjaková, PhD.**
Ústav elektroniky a fotoniky
Fakulta elektrotechniky a informatiky
Slovenská technická univerzita v Bratislave
Ilkovičova 3, 812 19 Bratislava

Oponenti: **doc. RNDr. Elena Gramatová, PhD.**
Ústav počítačových systémov a sietí
Fakulta informatiky a informačných technológií
Slovenská technická univerzita v Bratislave
Ilkovičova 3, 812 19 Bratislava

prof. Ing. Vladislav Musil, CSc.
Ústav mikroelektroniky
Fakulta elektrotechniky a komunikačných technológií
Vysoké učení technické v Brně
Technická 3058/10, 61600 Brno, Česká republika

Autoreferát bol rozoslaný dňa:

Obhajoba dizertačnej práce sa koná dňaohod. na Fakulte elektrotechniky a informatiky Slovenskej technickej univerzity, Ilkovičova 3, 812 19 Bratislava, pred komisiou pre obhajoby dizertačných prác v odbore doktorandského štúdia 26-13-9 Elektronika.

Predseda odborovej komisie
prof. Ing. Daniel Donoval, DrSc.
FEI STU, Ilkovičova 3
812 19 Bratislava

Obsah

1	Úvod	1
2	Súčasný stav problematiky	4
2.1	Single-rail kódovanie	5
2.2	Dual-rail kódovanie	6
2.3	Zhrnutie	7
3	Ciele dizertačnej práce	8
4	Dosiahnuté výsledky	10
5	Záver	22
6	Conclusion	24
	Publikácie autora	26
	Použitá literatúra	29

Kapitola 1

Úvod

Súčasný prudký rozvoj v oblasti CMOS technológií výrazne zvýšil dopyt po mobilných výkonných zariadeniach akými sú napríklad PDA, prenosné osobné počítače, prenosné multimediálne prehrávače, mobilné telefóny, atď. Navyše, žijeme v období, v ktorom sa inovácie objavujú “rýchlosťou svetla” takmer v každej oblasti techniky a technológii [1]. V súčasnosti dokážeme v hromadnej produkcii vyrábať tranzistory, ktoré majú dĺžku hradla iba 32 nm. Tento rozmer je už veľmi blízko samotných fyzikálnych obmedzení a vedci musia vynakladať čoraz väčšie úsilie na prekonanie prekážok a zvládnutie nežiadúcich javov. Zmenšovanie dĺžky hradla tranzistora prináša niekoľko výhod ako napríklad možnosť vyššej úrovne integrácie, možnosť vývoja komplexnejších obvodov, menšie oneskorenie tranzistorov, rýchlejšie spínacie charakteristiky, vyššia prahová frekvencia, atď. Na druhej strane súčasné nanometrové technológie prinášajú aj celý rad nevýhod, či parazitných efektov. Čím menší tranzistor alebo metalizačné prepoje vyrobíme, tým viac problémov z aplikačného hľadiska musíme riešiť. Avšak, opis týchto problémov, javov a nových poruchových mechanizmov nie je cieľom tejto dizertačnej práce. V súčasnosti digitálne obvody čelia výrazným problémom z hľadiska návrhu a výroby v nanometrových technológiách. Najväčším problémom je distribúcia hodinového signálu po celej ploche čipu a s ňou spojená nevyhnutná minimalizácia časových rozdielov medzi hranami signálu v rôznych častiach čipu. Nakoľko rozptyl parametrov výrobného procesu môže v dnešných technológiách dosiahnuť až 20 %, návrh kompaktnej distribúcie hodinového signálu na čipe je preto extrémne náročný [2]. Návrhári sú nútení vnášať

do časovania obvodu veľké časové rezervy, čo v konečnom dôsledku znižuje rýchlosť obvodu a v podstate degraduje výhody obvodu vyrobeného v pokročilejšej a novšej CMOS technológii. Navyše, metalizačné prepoje sú v týchto technológiách umiestnené navzájom výrazne bližšie, čo má za následok zvýšenie väzobnej kapacity a tým aj radikálne zvýšenie rizika presluchovej. Toto riziko je ešte umocnené zvyšovaním frekvencie hodinového signálu. Jemný výrobný proces takisto vyžaduje nižšie úrovne napájacieho napätia, čo znižuje šumovú imunitu a odstup signál-šum. Ďalšou výzvou z hľadiska návrhu obvodov je, že veľká časť zariadení je dnes napájaná z batérie, čo zvyšuje požiadavky na znižovanie príkonu daných elektronických zariadení. Proti-kladnou požiadavkou je dlhodobý trend zvyšovania výpočtového výkonu, a preto je nutné uvažovať o nových postupoch pri návrhu digitálnych obvodov.

Existuje niekoľko závažných problémov, kvôli ktorým synchronne obvody strácajú pôvodné výhody. Tieto nedostatky sú spojené s výrobou v nanometrových technológiách. Zároveň však slúžia ako hlavná motivácia pre použitie alternatívneho prístupu pri návrhu digitálnych systémov, konkrétne *asynchrónnu* metodiku. Asynchrónne systémy nevyužívajú globálny hodinový signál, čo kompletne odstraňuje problémy s kompaktnou distribúciou hodinového signálu na čipe. Navyše, nakoľko v asynchrónnych obvodoch neexistuje pevne definované "časové okno", v ktorom musia byť dáta ustálené a nemenné, asynchrónne systémy vykazujú vynikajúcu odolnosť voči rozptylu parametrov výrobného procesu, či napäťovým a teplotným fluktuáciám. Tieto obvody majú zároveň vyšší výpočtový výkon oproti ich synchronným verziám. Tieto vlastnosti predurčujú asynchrónne obvody pre aplikácie s požiadavkami na vysoký výkon, či pre nízkonapäťové alebo nízkonapríkonové aplikácie, ktoré dokážu pracovať aj pri zhoršených podmienkach. Nakoľko záujem o využitie asynchrónnych systémov začal narastať len v posledných dvadsiatich rokoch, existuje veľké množstvo tém pre výskum a vývoj v tejto oblasti elektroniky. V rámci tejto dizertačnej práce sme sa zamerali na veľmi dôležitú súčasť riadiaceho bloku asynchrónnych obvodov, ktorý je zodpovedný za správnu detekciu ukončenia výpočtu kombinačných blokov. V prvej časti tejto dizertačnej práce je opísaný súčasný stav problematiky detekcie ukončenia výpočtu v asynchrónnych obvodoch, ďalšia kapitola sa zaoberá tézami tejto dizertačnej práce. Tretia kapitola obsahuje samotný výskum a opisuje navrhnutý prúdový monitor ako aj metodiku detekcie ukončenia výpočtu, založenú na snímaní prúdového odberu príslušného kombinačného bloku.. Posledná časť práce

prezentuje dosiahnuté výsledky a prínosy a zároveň zahŕňa diskusiu o výhodách a nevýhodách spomínanej metodiky detekcie ukončenia výpočtu ako aj jej implementácie do automatizovaného postupu návrhu asynchrónnych obvodov.

Kapitola 2

Súčasný stav problematiky

Ovládanie asynchrónnych obvodov je realizované pomocou tzv. rozloženého alebo distribuovaného riadenia. Toto je tvorené niekoľkými základnými riadiacimi signálmi, ktoré zabezpečujú správnu komunikáciu jednotlivých blokov celého systému. Celý súbor signálov a metodika riadenia sa nazýva *handshaking* protokol. Tento protokol generuje potrebné riadiace signály pre ten-ktorý blok systému. Tieto signály sú však priamo závislé od ukončenia výpočtu príslušnej kombinačnej logiky, nakoľko posunutie dát môže nastať až po úspešnom spracovaní dát predchádzajúcou časťou systému. Detekcia ukončenia výpočtu (výpočtovej aktivity) sa generuje rôzne, v závislosti od použitého kódovania dát v systéme. Riadiace signály sa delia na základné dva typy.

- **Request – REQ.** Tento signál indikuje, že iniciátor komunikácie vyžaduje vykonať operáciu s dátami.
- **Acknowledge – ACK.** Tento signál je vo všeobecnosti použitý prijímateľom na signalizovanie prijatia dát a na potvrdenie, že požadovaná operácia bola úspešne skončená.

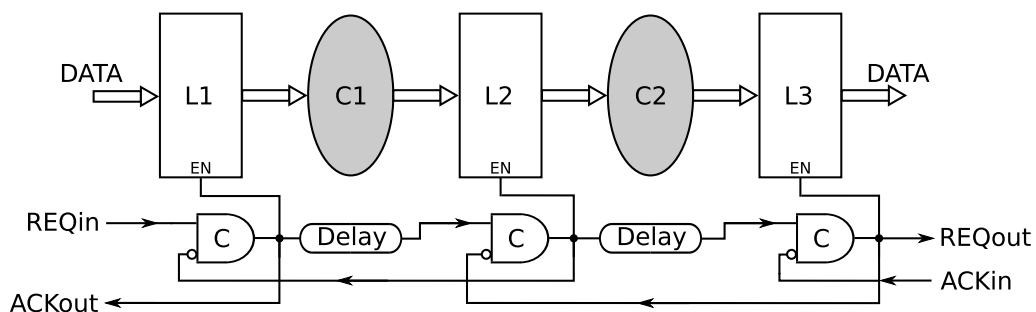
Každý typ kódovania a teda aj handshake protokolu pristupuje k riadeniu osobitne, a preto je potrebné opísať súčasné metódy detekcie samostatne pre každý spôsob reprezentácie dát. Vybrali sme dva najčastejšie používané spôsoby kódovania v praxi. Konkrétne *singl-rail*, kde je jeden bit informácie kódovaný jednou hodnotou napätia

2.1 Single-rail kódovanie

resp. jedným bitom na jednej dátovej linke. Druhou vybranou kategóriou je tzv. *dual-rail* kódovanie, pri ktorom je jeden bit informácie reprezentovaný dvomi navzájom invertovanými logickými úrovňami na dvoch dátových linkách.

2.1 Single-rail kódovanie

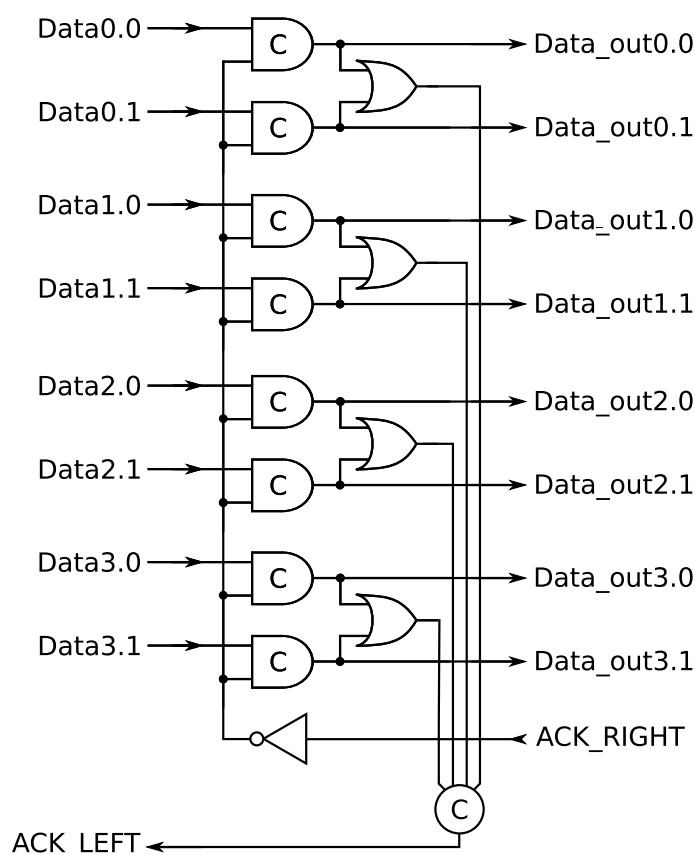
Pri single-rail kódovanom systéme sa v skutočnosti nedetekuje ukončenie hardvérového výpočtu, ale toto je simulované a následne realizované neskorovacím elementom. Tento prvok spôsobuje fixné oneskorenie riadiaceho signálu pre nasledujúci blok o presne definovaný čas, ktorý je určený najhorším prípadom výpočtového času daného bloku kombinačnej logiky - obrázok 2.1. Pod najhorším prípadom rozumieme najpomalšie tranzistory (kvôli posunu presnosti výrobného procesu), najvyššiu teplotu a najnižšie možné napájacie napätie v rámci špecifikácií a kombináciu vstupných dát, ktoré vyžadujú najviac času na spracovanie. Veľkou výhodou spomínanej metódy je jednoduchosť implementácie pomocou reťazca invertorov alebo oneskorovacích členov, ak takéto daná technológia obsahuje. Nevýhodou a zároveň motiváciou pre ďalší výskum je časová rezerva vnesená do časovania obvodu, ako aj prítomnosť fixnej hodnoty oneskorenia. Pre väčšinu vstupných dát je výpočtový čas výrazne nižší ako najhorší možný prípad. Preto by sme chceli vyvinúť metódu, ktorá by skutočne degekovala ukončenie výpočtu, a tým urýchlila možnosť posunutia dát nasledujúcemu bloku (namiesto čakania na fixný najpomalší možný prípad).



Obr. 2.1: Súčasný stav v detekcii ukončenia výpočtovej aktivity v single-rail obvodoch

2.2 Dual-rail kódovanie

V dual-rail obvodoch je detekcia ukončenia výpočtu realizovaná pomocou základných logických hradíel. Na obrázku 2.2 je zobrazený tzv. latch obvod pre 4-bitovú informáciu spolu s detektorom ukončenia výpočtu. Ten je tvorený štyrmi hradlami typu OR a viacstupovým Mullerovým C-elementom, ktorý synchronizuje dané signály a vytvára výstupný ACK signál pre predchádzajúci blok systému signalizujúci úspešné spracovanie dát. Výhodou tejto metódy je opäť jednoduchá realizácia pomocou klasických logických hradíel (C-element sa dá realizovať komplexnými hradlami typu AOI222). Avšak, pri viacbitovej informácii môže spomínaný C-element zabrať značnú plochu čipu. Preto motiváciou pre výskum v dual-rail obvodoch je minimalizácia potrebnej plochy na realizáciu detektora ukončenia výpočtovej aktivity.



Obr. 2.2: Súčasný stav v detekcii ukončenia výpočtovej aktivity v dual-rail obvodoch

2.3 Zhrnutie

Po zhrnutí poznatkov získaných podrobnou analýzou súčasného stavu problematiky sme sa rozhodli pre výskum a vývoj detektora ukončenia výpočtu pomocou snímania prúdu odoberaného logikou z napájacieho zdroja. Jedna zo známych vlastností logických obvodov vyrobených v CMOS technológii je, že elektrický prúd je odoberaný len v prípade, že dochádza k zmene logických stavov v rámci kombinačnej časti. Inými slovami, prúd je odoberaný iba ak daný kombinačný blok spracováva dáta, resp. vykonáva výpočet. Doba odoberania prúdu veľmi dobre koreluje so samotnou dĺžkou výpočtu [3]. Preto toto správanie môžeme využiť pri návrhu metodikyna detekcie ukončenia výpočtu. Daná metóda sa nazýva *Current Sensing Completion Detection* - CSCD. Voľne preložená ako *Detekcia ukončenia výpočtu pomocou snímania odberu napájacieho prúdu*.

Kapitola 3

Ciele dizertačnej práce

S prihliadnutím na vyššie uvedené poznatky a opis súčasného stavu problematiky detekcie ukončenia výpočtovej činnosti v asynchrónnych obvodoch sme stanovili nasledujúce ciele dizertačnej práce.

- **Navrhnuť a implementovať robustný CSCD koncept do asynchrónneho obvodu.**

Bude navrhnutý integrovaný prúdový senzor na snímanie prúdových špičiek tvorené pri činnosti kombinačnej logiky. Topológia prúdového senzora by mala byť jednoduchá, ale dostatočne robustná, aby tento obvod odolal prípadným variáciám výrobného procesu ako aj širokej škále pracovný teplôt. Po ukončení dizajnu je potrebné navrhnuť aj topografiu daného senzora s prihliadnutím na budúcu aplikáciu v digitálnych obvodoch.

- **Vykonať analýzu a porovnanie navrhovanej metódy s predchádzajúcimi metódami detekcie ukončenia.**

Za účelom overenia vlastností navrhovaného senzora by sme mali vykonať analýzu, či prezentovaná metodika detekcie ukončenia výpočtu prináša výhody pri porovnaní so súčasnými postupmi pri detekcii ukončenia výpočtu. Táto analýza by mala byť vykonaná pre viacero parametrov ako napríklad výkon, spotreba plochy, atď.

- **Vyvinúť škálovateľný obvod pre CSCD, ktorý bude ľahko škálovateľný v štandardných nanometrových CMOS technológiách.**

Parametre senzora by mali byť jednoducho škálovateľné, nakoľko zložitosť kombinačnej časti je prakticky neobmedzená, a teda prúdový odber spôsobený logikou je tiež teoreticky neobmedzený. Škálovateľnosť by mala byť zameraná hlavne na prahovú úroveň sledovaného prúdu a taktiež na úbytok napätia na snímacom prvku, nakoľko tieto dva parametre sú kľúčové z hľadiska fungovania senzora a riadiacej časti asynchrónneho systému.

- **Navrhnuť metódu pre testovanie CSCD obvodu alebo prispôbiť obvod pre už dostupné postupy testovania.**

Testovateľnosť asynchrónneho obvodu používajúceho CSCD bude takisto preskúmaná. Ak je to možné, bude navrhnutý postup pre automatizované testovanie prúdového senzora ako aj samotného pipeline systému.

- **Navrhnuť behaviorálny CSCD model pre súčasne používané CAD nástroje použiteľný pre návrh asynchrónnych obvodov na vyššej úrovni abstrakcie**

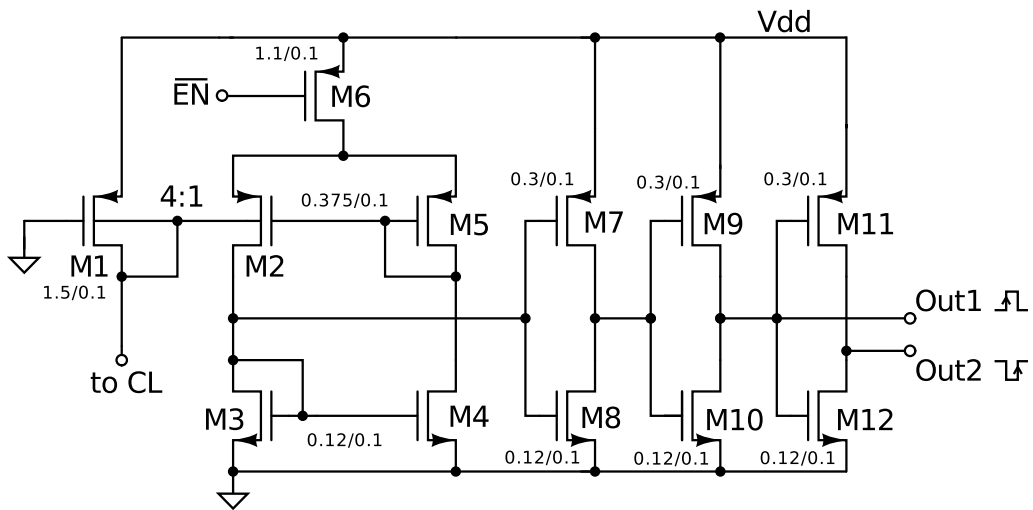
Pre praktický návrh reálneho obvodu, ktorý je založený na CSCD potrebujeme vyvinúť model pre súčasne používané CAD nástroje. Buď bude vytvorený model samotného senzora alebo navrhne spôsob návrhu asynchrónnych obvodov s CSCD pomocou súčasných simulátorov používaných pri front-end časti návrhu. Nakoniec bude overený postup implementácie metódy CSCD do asynchrónneho obvodu v celom procese návrhu.

Kapitola 4

Dosiahnuté výsledky

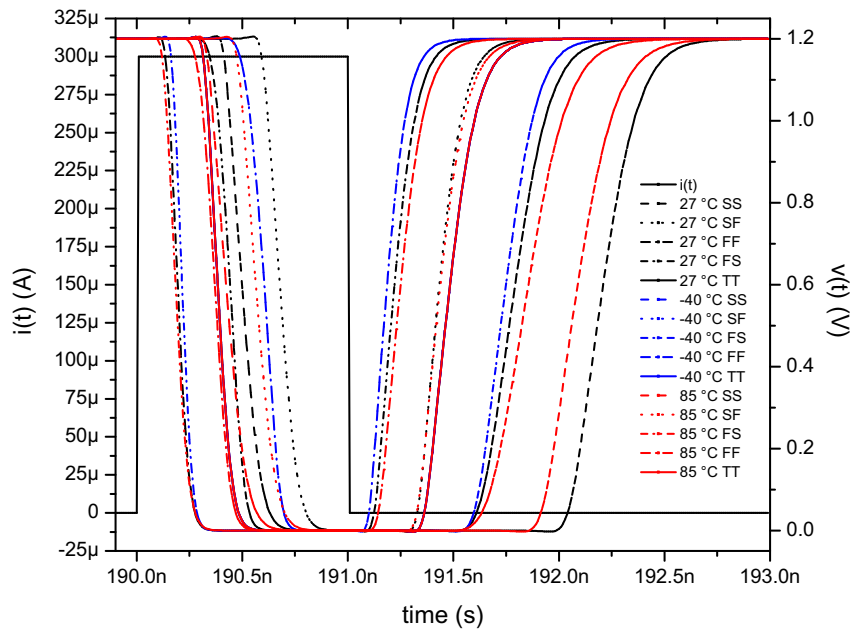
V úvodnej časti tretej kapitoly dizertačnej práce sme opísali nutné teoretické základy prezentovanej metódy ako aj predchádzajúci výskum, ktorý bol vykonaný v tejto oblasti rôznymi autormi [4, 5, 6]. Základom nami navrhnutého senzora je tzv. *bulk-driven* prúdové zrkadlo, ktoré vykazuje výrazne nižšie požiadavky na vstupné napätie ako klasické prúdové zrkadlo [7].

Na obrázku 4.1 je zobrazená schéma vyvinutého senzora na tranzistorovej úrovni v 90 nanometrovej technológii. Tranzistory M1 a M2 tvoria spomínané bulk-driven prúdové zrkadlo. Tranzistor M6 slúži ako vypínací a zapínací element. V prípade, že senzor nie je využívaný, je možné ho pomocou jedného bitu vypnúť, a tým minimalizovať prúdovú spotrebu celého detektora ukončenia výpočtu. Tranzistory M2 až M5 tvoria základné zapojenie prúdovej referencie. Napätie v prúdovej referencii je modulované zosnímaným prúdom, ktoré je pretransformované na úbytok napätia na snímacom tranzistore M1. Zmena napätia je následne spracovaná zosilňovačom M7 a M8. Invertory M9-M10 a M11-M12 slúžia na vytvorenie správnej strmosti hrán pri definovanej záťažovacej kapacite. Daný senzor sme podrobili početným analýzám a testovacím simuláciám, ktoré mali za úlohu overiť jeho stabilitu, parametre a celkovú funkčnosť. Robustnosť prúdového senzora voči rozptylu procesných parametrov sme overili tzv. *corner* analýzou. Výsledky tejto analýzy sú zobrazené na obrázku 4.2. Zároveň sme overili parametre pri zníženom napájacom napätí, nakoľko využitie senzora je zamerané na nízkopríkonové resp. nízkonapäťové aplikácie. Výsledky týchto simulácií sú zobrazené na obrázku 4.4. Časové parametre



Obr. 4.1: Schéma navrhnutého senzora na tranzistorovej úrovni

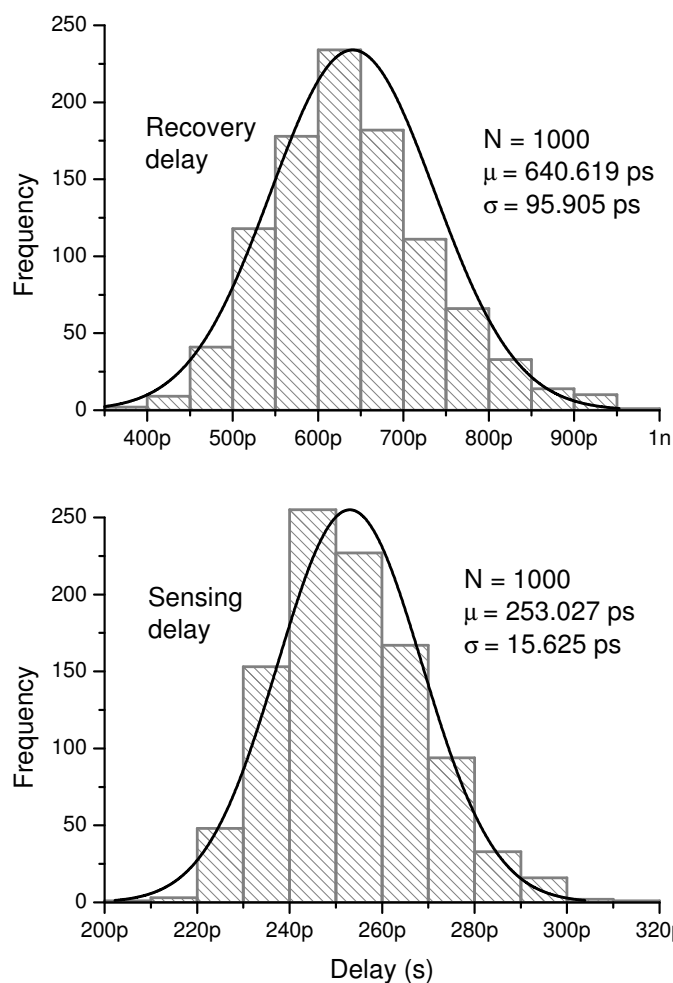
ako aj stabilita prahovej hodnoty prúdu obvodu boli overené Monte-Carlo analýzou. Tieto výsledky sú zobrazené na obrázkoch 4.3 a 4.5. Z výsledkov corner analýzy



Obr. 4.2: Výsledok corner analýzy senzora

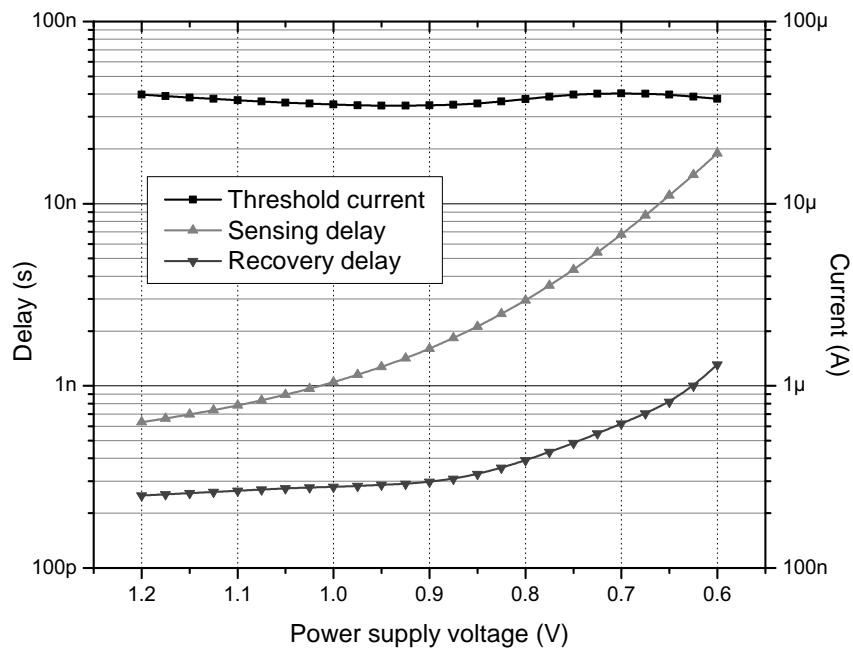
je zrejmé, že senzor je schopný pracovať v širokom rozsahu teplôt ako aj v ktoromkoľvek prípade posunu hodnôt parametrov výrobného procesu. Dobežná hrana

výstupného signálu vykazuje rozptyl okolo 500 ps a nábežná hrana má rozptyl pri najhoršom 1 ns. Tieto výsledky boli získané pre teplotný rozsah od $-40\text{ }^{\circ}\text{C}$ do $85\text{ }^{\circ}\text{C}$ a pri všetkých možných kombináciách nepresnosti výrobného procesu. Monte-Carlo

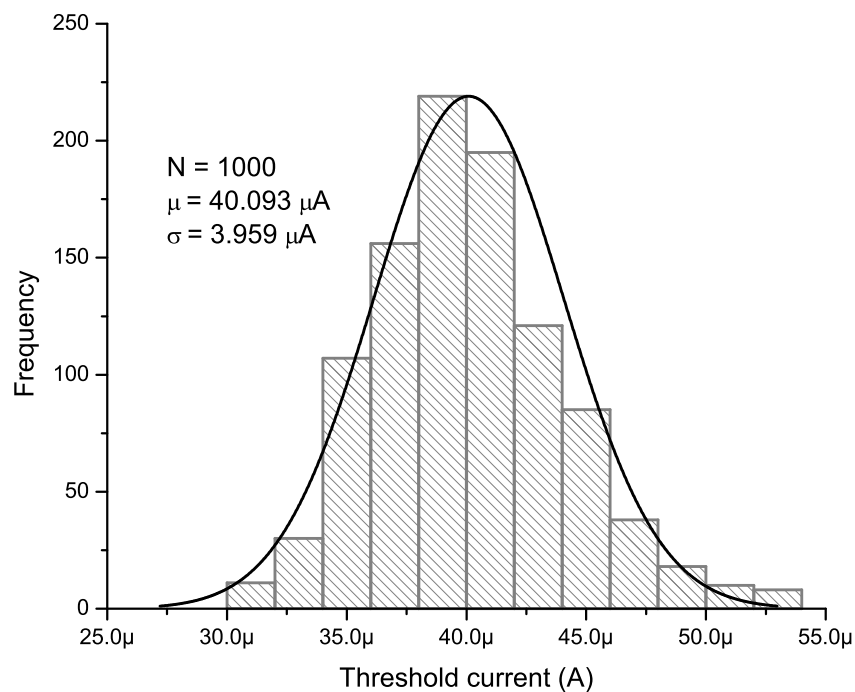


Obr. 4.3: Monte-Carlo analýza časových parametrov senzora

analýza rozptylu vstupného a výstupného onsekorenia pozostávala zo simulácie 1000 vzoriek a následného vykreslenia histogramov. Histogramy vykazujú normálne rozdelenie s akceptovateľnou štandardnou odchýlkou, a preto môžeme konštatovať, že sledované parametre spĺňajú očakávania na stabilitu. Overenie vlastností senzora pri zníženom napájacom napätí ako aj Monte-Carlo analýza prahovej úrovni boli vykonané kvôli nožnej aplikácii senzora v nízkopríkonových obvodoch. Oneskorenia exponenciálne rastú so znižovaným napájaním, avšak prahová úroveň ostáva



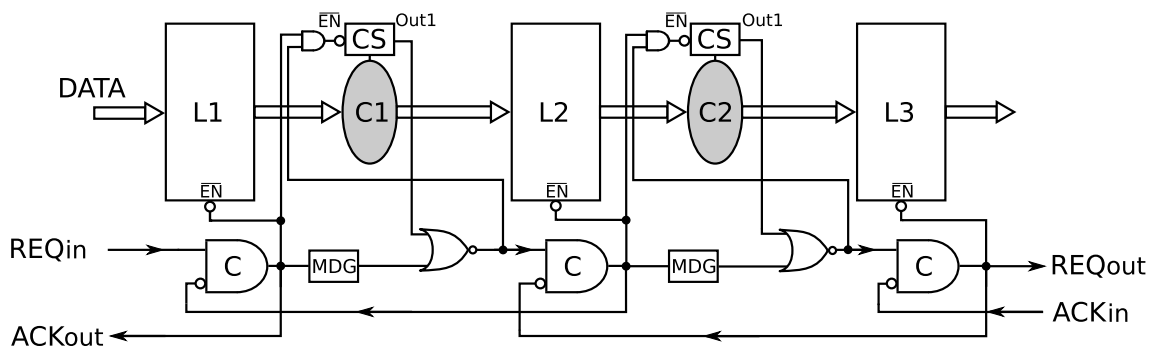
Obr. 4.4: Časové parametre v závislosti od napájacieho napätia



Obr. 4.5: Výsledky Monte-Carlo analýzy prahovej úrovne senzora

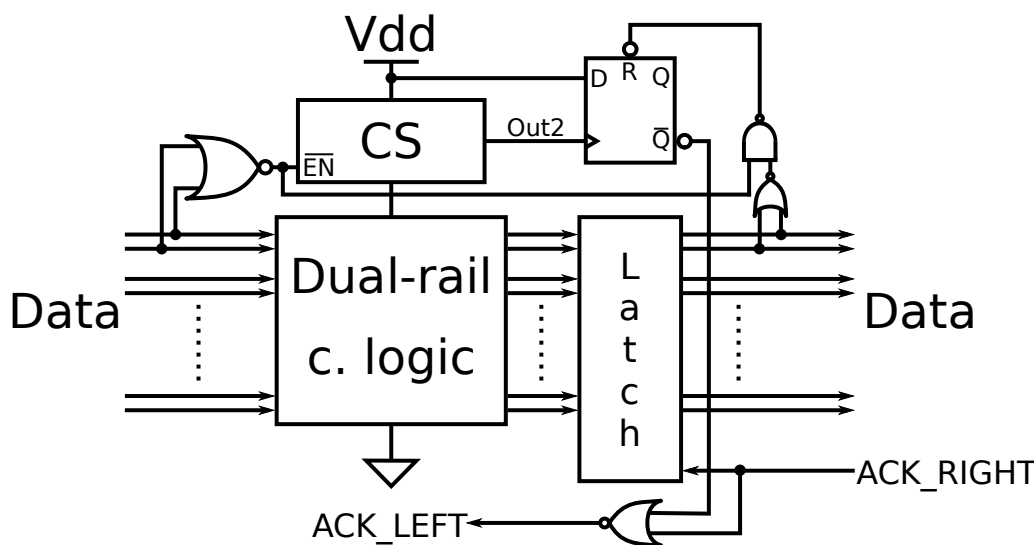
viac-menej konštantná. Histogram zmeny prahovej úrovne prúdu opäť vykazuje normálne rozdelenie. Na základe spomínaných analýz môžeme konštatovať, že navrhnutý prúdový senzor vykazuje dostatočnú stabilitu vo všetkých sledovaných parametroch. Výsledky týchto analýz sú opísané podrobnejšie v dizertačnej práci. Spomínané výsledky boli taktiež publikované v [A3, A4, A7].

Samotný prúdový monitor bol následne implementovaný tak do single-rail ako aj dual-rail pipeline asynchrónneho systému. Blokovú schému oboch zapojení je možné vidieť na obrázkoch 4.6 a 4.7. Oproti konvenčnému spôsobu detekcie ukončenia



Obr. 4.6: Implementácia CSCD do single-rail pipeline systému

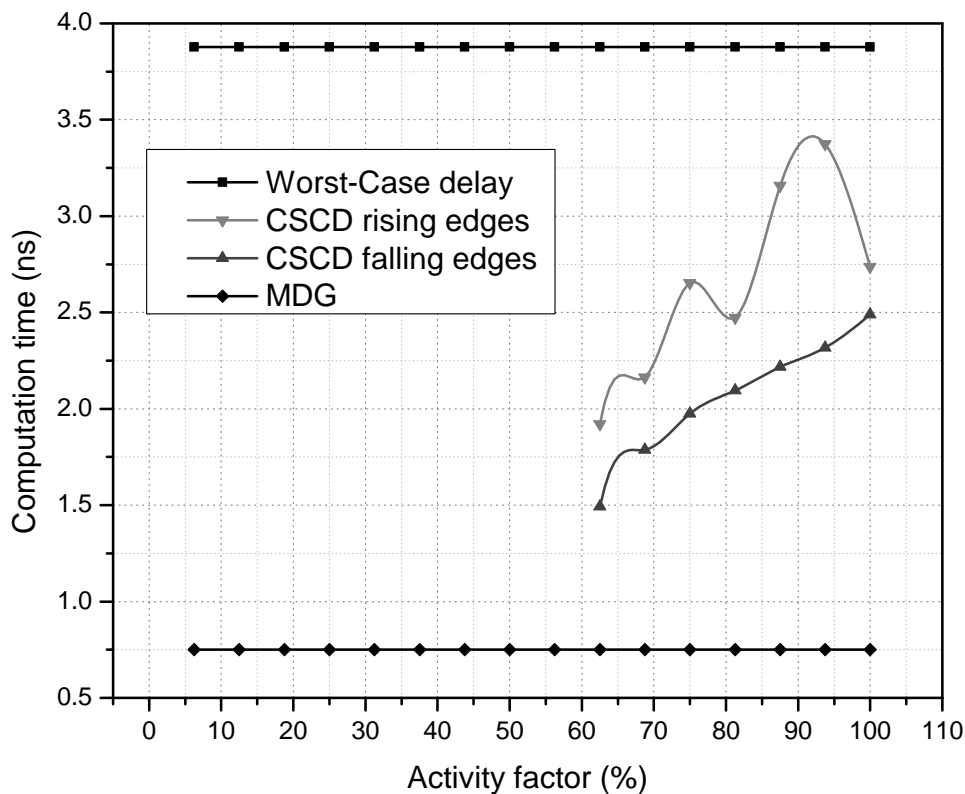
výpočtu je oneskorovací element nahradený kombináciou prúdového senzora, obvodom MDG (*Minimum Delay Generator*), ktorý slúži na kompenzáciu vstupného oneskorenia senzora a logických hradiel typu AND a NOR. Hradlo AND má za úlohu zapnúť, resp. vypnúť prúdový senzor, keď je to potrebné. Hradlo NOR synchronizuje signály z MDG a prúdového senzora a vytvára výstupný signál pre nasledujúci blok. Tento signál je oneskorený oproti pôvodnému práve o výpočtový čas kombinačnej časti predchádzajúceho bloku. Aplikácia v dua-rail systémoch sa mierne odlišuje od implementácie v single-rail systémoch. Hradlo NOR slúži na zapínanie a vypínanie senzora a zároveň na nastavenie D preklápacieho obvodu do resetovaného stavu. Keď sa na vstupe kombinačnej časti objavia platné dáta, senzor a D preklápací obvod sú aktivované. Po ukončení výpočtu senzor vygeneruje signál, ktorého nábežná hrana, ktorá preklopí negovaný výstup D obvodu z logickej jednotky na logickú nulu. Týmto je signalizované ukončenie výpočtu v kombinačnej časti. Tento signál je ďalej synchronizovaný so signálom z nasledujúceho bloku pomocou hradla NOR. Výstup je použitý na signalizovanie ACK signálu pre predchádzajúci blok. Logické



Obr. 4.7: Implementácia CSCD do dual-rail pipeline systému

hradlá NAND a NOR pripojené na výstup pamäťového člena zabraňujú nežiaducim resetom D preklápacieho obvodu.

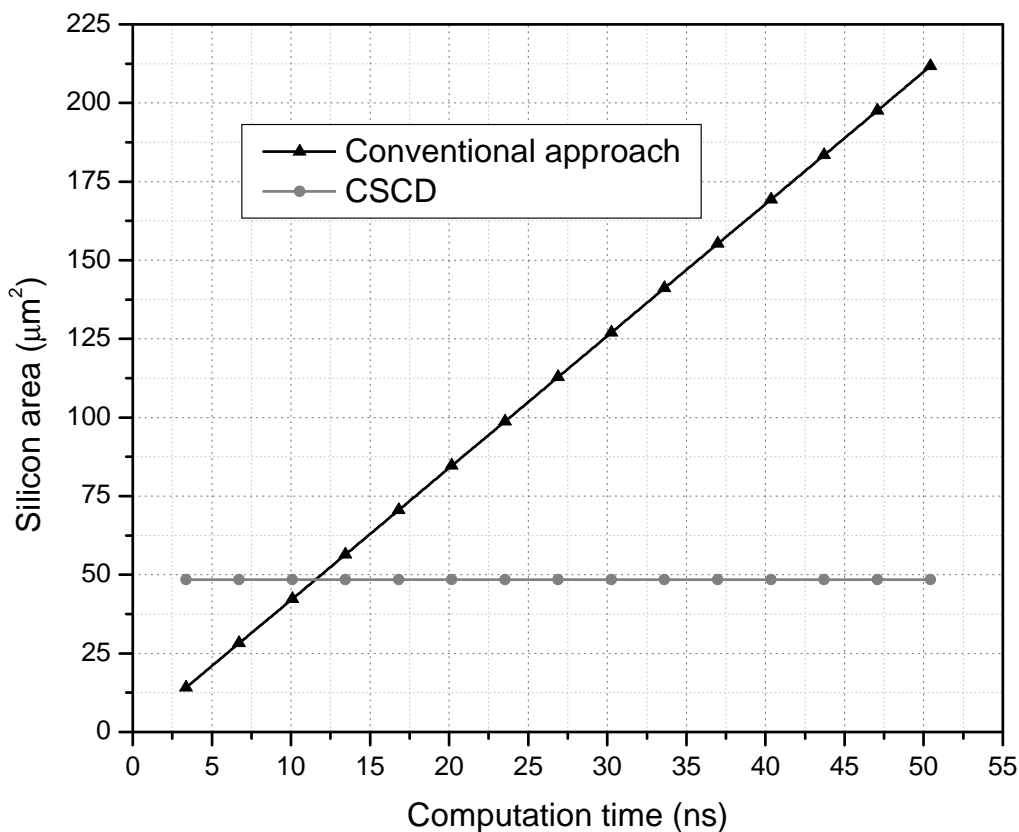
Po aplikácii senzora do oboch typov asynchrónnych systémov sme prišli k overeniu funkčnosti a overeniu prínosov navrhnutej metodiky. V single-rail obvodoch sme overili detekciu ukončenia výpočtu pre všetky možné kombinácie dát na vstupe kombinačnej logiky. Obrázok 4.8 znázorňuje porovnanie detegovaného času s konvenčným prístupom s oneskorovacím členom. Z obrázku je možné pozorovať, že metóda CSCD pri každej kombinácii dát na vstupe detegovala ukončenie výpočtu, a to skôr ako je stanovená hranica pri najhoršom možnom prípade. V prípade, že prúdový senzor nezaznamenal odber prúdu väčší ako je prahová hodnota, MDG blok generuje impulz, ktorý simuluje signál z prúdového senzora. Týmto je rozdiel oproti pôvodnej metóde ešte výraznejší. Ďalším významným príspevkom je úspora plochy čipu potrebnej pri realizácii detektora ukončenia výpočtu. Obrázok 4.9 zobrazuje závislosť potrebnej plochy pre návrh detektora od výpočtového času. Hlavnou výhodou CSCD metodiky je, že plocha, ktorú zaberá príslušný hardvér je úplne nezávislá od počtu premenných alebo od výpočtového času. Naopak súčasne používané metódy detekcie ukončenia výpočtu vykazujú lineárne narastajúcu závislosť. Smernica krivky je definovaná hodnotou plochy štandardnej bunky oneskorovacieho člena. Čím väčší je výpočtový čas, tým väčší rozdiel v spotrebe plochy kremíka do-



Obr. 4.8: Porovnanie výkonu single-rail obvodu s CSCD a s konvenčným detektorom ukončenia výpočtu

staneme.

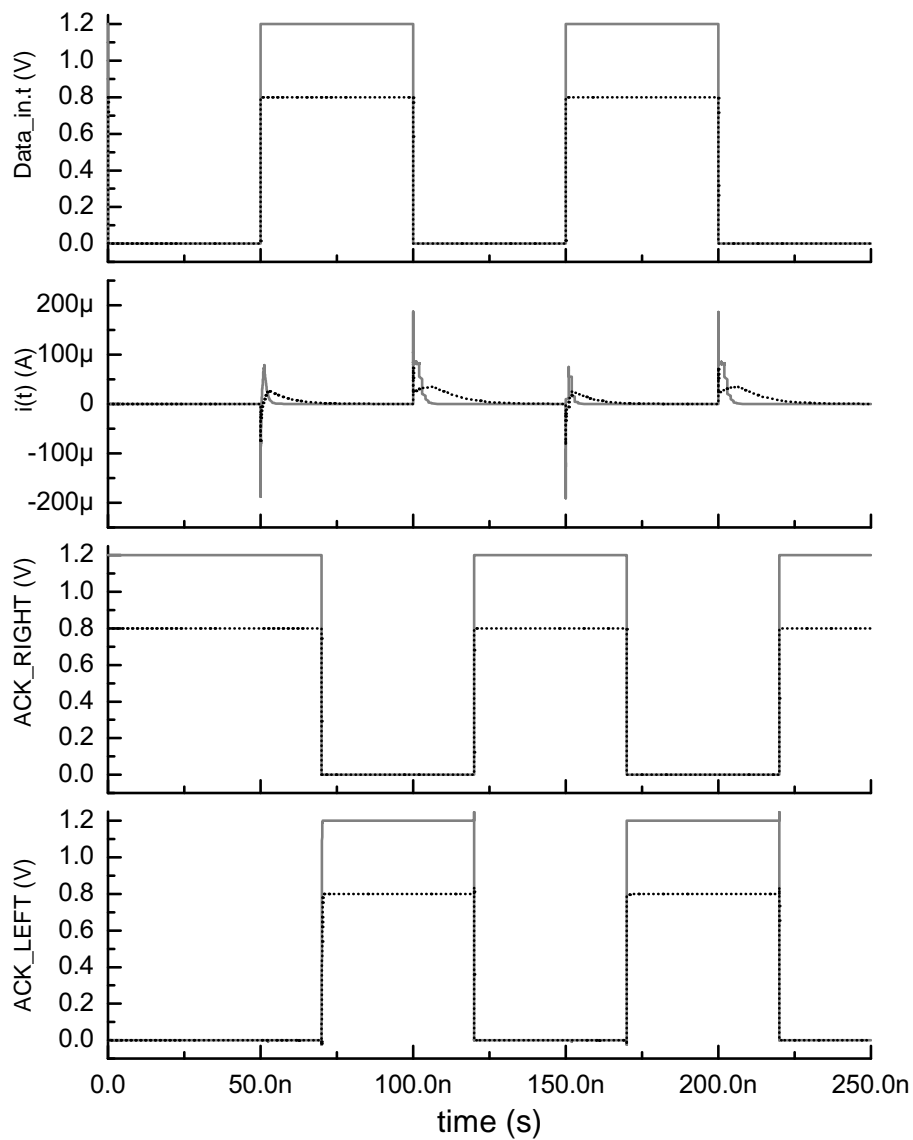
Pri dual-rail obvodoch sme taktiež overili funkčnosť systému simuláciami v časovej oblasti. Obrázok 4.10 zobrazuje priebehy signálov tejto simulácie. Prvý priebeh zobrazuje napätie, ktoré bolo pripojené na vstupy kombinačnej časti. Týmto signálom sme definovali logické nuly a logické jednotky. Druhý priebeh znázorňuje odobraný prúd z napájacieho zdroja. Ako je vidieť, prúdová spotreba je priamo závislá od vstupného napätia, či už ide o dáta alebo resetovaciu fázu. Tretí priebeh je signál z nasledujúceho bloku modelovaný ideálnym napäťovým zdrojom. Posledný priebeh je výstupný ACK signál generovaný navrhnutým CSCD prístupom pre predchádzajúci blok asynchrónneho systému. Bodkované priebehy patria tej istej analýze, avšak so zníženým napájaním. Je možné pozorovať, že oba priebehy nasledujú štandardný handshake protokol a výstupný ACK signál je generovaný správne. Hlavným prínosom v tejto oblasti je úspora plochy potrebná na vygenerovanie



Obr. 4.9: Porovnanie vyžadovanej plochy čipu detektorov ukončenia výpočtu v single-rail obvodoch

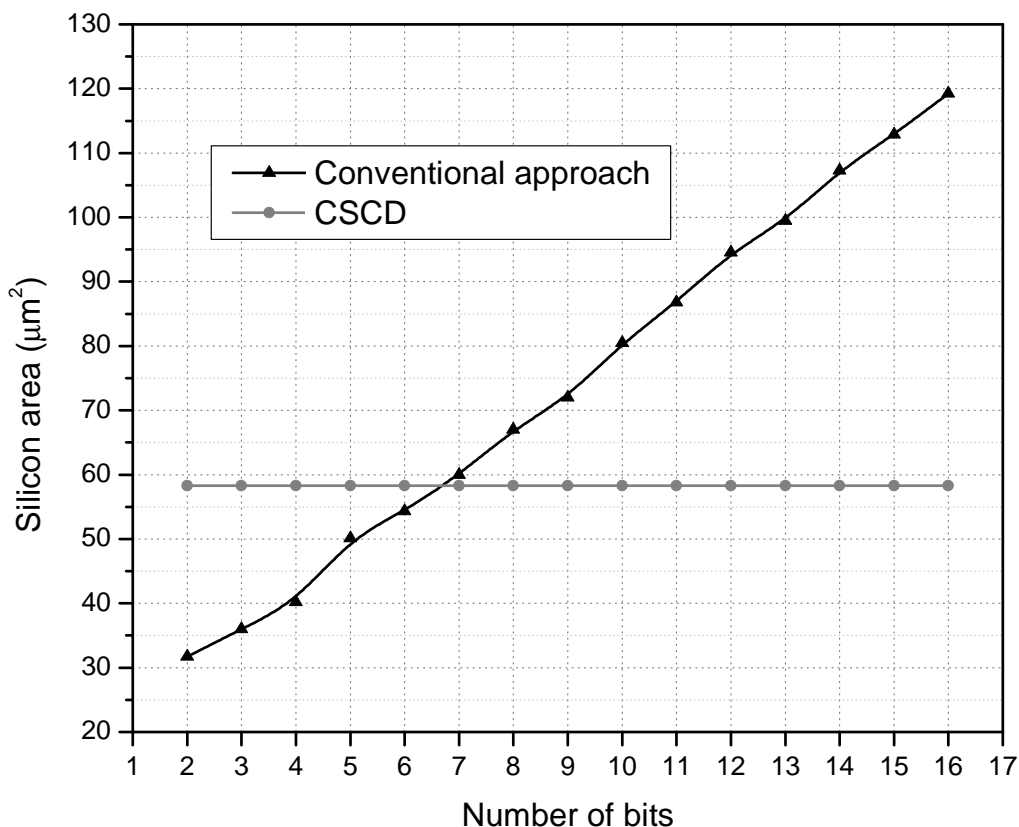
výstupného riadiaceho signálu. Obrázok 4.11 znázorňuje závislosť plochy detektora od počtu bitov informácie, s ktorou kombinačná logika pracuje. Výhoda CSCD metodiky v tomto smere je významná, pretože je plocha detektora opäť nezávislá od počtu bitov alebo počtu premenných. Pôvodný prístup vykazuje lineárnu závislosť od počtu bitov. V tomto prípade nezáleží od počtu zmien na vstupe kombinačnej časti, nakoľko v dual-rail obvodoch je zabezpečená vždy 50 %-ná aktivita. Toto je spôsobené samotným kódovaním, ktoré využíva rovnaký počet zmien logických stavov pri reprezentácii logickej nuly ako aj logickej jednotky. Prúdový odber pri resetovacej fáze je ignorovaný nakoľko hradlo NOR deaktivuje prúdový senzor.

Našou ďalšou úlohou bolo navrhnúť spôsob testovania daného prúdového senzora. Obrázok 4.12 zobrazuje navrhnutú schému zapojenia senzora v single-rail pipeline systéme spolu s prídavnými prvkami na zabezpečenie jeho testovateľnosti. Multip-



Obr. 4.10: Časové priebehy z funkčnej analýzy dual-rail obvodu využívajúceho CSCD

lexor slúži na prepínanie systému buď do funkčného alebo do testovacieho módu. Ak je prepnutý do testovacieho módu, senzor je trvalo aktivovaný, a tým pádom je vždy pripravený spracovať prúdový odber. Výstup senzora je demultiplexovaný buď do systému pri funkčnom móde alebo na spracovanie pri testovacom móde. Výstupný signál môže byť použitý na hodinový signál pre paralelno-sériový register. V prípade, že nie je vygenerovaný, po vyčítaní registra odhalíme prípadný po-

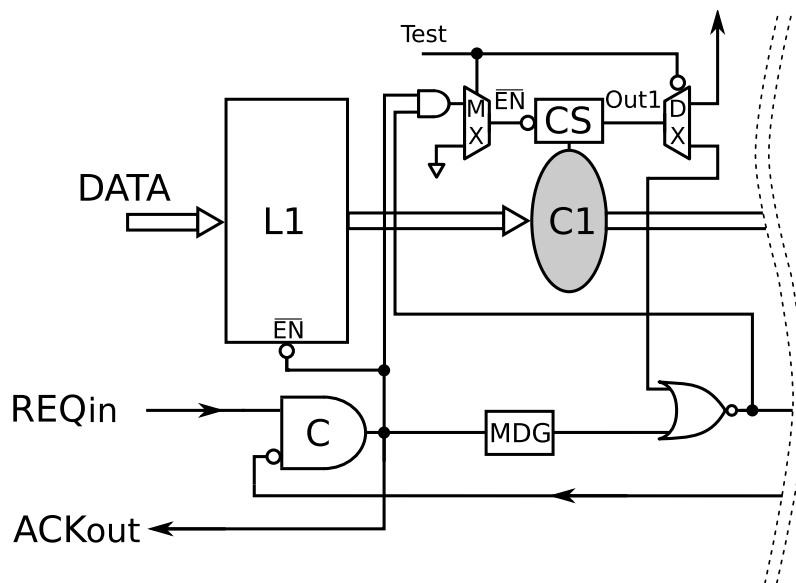


Obr. 4.11: Porovnanie vyžadovanej plochy čipu detektorov ukončenia výpočtu v dual-rail obvodoch

ruchový stav senzora. Týmto istým postupom je možné testovať prúdový senzor aj v dual-rail obvodoch. Výhodou navrhnutej metódy je jej jednoduchosť a minimálne navýšenie plochy čipu.

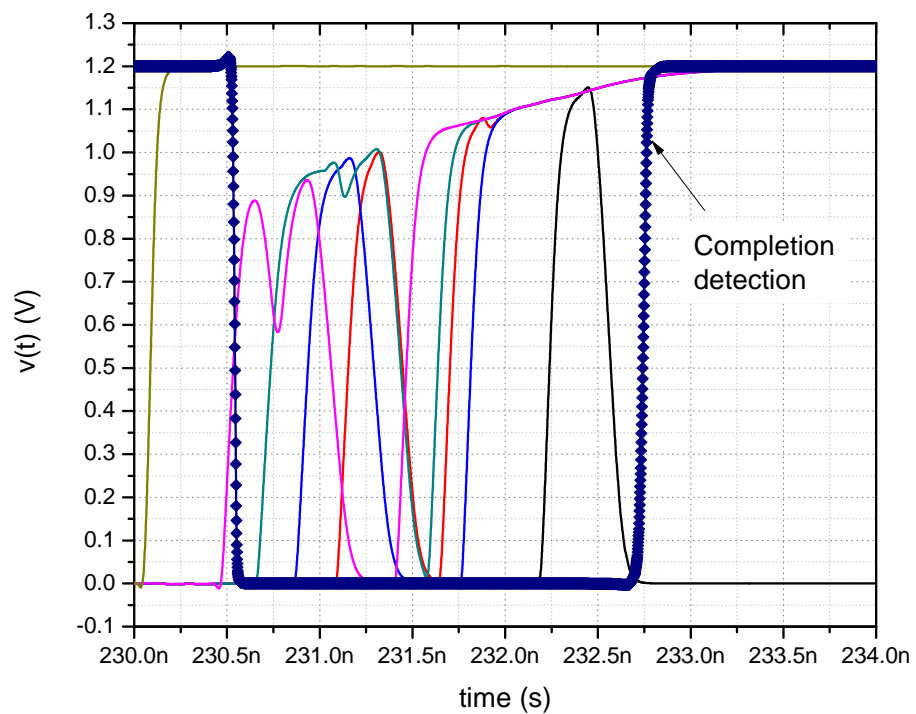
Ďalšou veľkou výhodou navrhnutej CSCD metodiky je odolnosť voči logickým hazardom na výstupe kombinačnej logiky. Obrázok 4.13 zobrazuje výstup analógovej simulácie v časovej oblasti. Môžeme tu pozorovať možné náhodné zmeny a prechodné stavy na výstupe kombinačnej časti. Signál z prúdového senzora ostáva stabilný a nábežná hrana je vygenerovaná až po ustálení prechodných stavov. Nakoľko zmeny vo výstupnom signále kombinačnej časti spôsobujú odber prúdu z napájacieho zdroja, toto zabraňuje preklopeniu výstupu prúdového senzora.

Možno teda konštatovať, že situácia, kedy by senzor nezaznamenal prekročenie prahovej úrovne, a na výstupe kombinačného bloku by dochádzalo k hazardom a zároveň



Obr. 4.12: Navrhnutý spôsob testovania prúdového senzora - DfT

by táto logika bola dostatočne zložitá na to, aby použitie CSCD prinášalo výhody, je nepravdepodobná.



Obr. 4.13: Overenie odolnosti detektora voči logickým hazardom

Kapitola 5

Záver

Prezentovaná dizertačná práca predstavuje novú metodiku pre analógové snímanie ukončenia výpočtu kombinačnej logiky v asynchrónnych systémoch. V rámci vykonaného výskumu bol navrhnutý prúdový senzor a taktiež realizovaná jeho implementácia v štandardnej nanometrovej technológii (90 nm). Navrhnutá metodika vykazuje niekoľko výhod oproti doteraz používaným metódam na detekciu ukončenia výpočtu v asynchrónnych systémoch. Hlavné prínosy práce môžu byť zhrnuté nasledovne.

- Bol navrhnutý analógový prúdový senzor, ktorý vykazuje celkovú stabilitu a robustnosť v širokom rozsahu pracovných teplôt, rozptylu parametrov výrobného procesu ako aj fluktuácií napájacieho napätia. Je teda plne implementovateľný a vhodný pre asynchrónne systémy navrhované v nanometrových technológiách, ako aj pre nízkopríkonové a nízkonapäťové aplikácie.
- Navrhnutý senzor zaberá malú plochu kremíka, pričom jeho topografia bola navrhnutá vo forme štandardnej bunky. Pri návrhu bol braný ohľad na tzv. *Design-for-Manufacture* postupy, ktoré zvyšujú požiadavky na plochu čipu. Analýza veľkosti plochy potrebnej na realizáciu obvodu potvrdila, že metodika CSCD znižuje požiadavky detektora ukončenia výpočtu na plochu kremíka ako pri single-rail tak aj pri dual-rail obvodoch.

- Vyvinuli, implementovali a overili sme novú metodiku pre použitie CSCD metódy v dual-rail systémoch. CSCD metodika takisto zvyšuje priepustnosť v single-rail obvodoch, čo bolo potvrdené simuláciami.
- Naprogramovali sme tzv. shell skript, ktorý umožňuje vloženie navrhnutého analógového senzora do syntetizovaného netlistu asynchrónneho systému a vykoná potrebnú úpravu zapojenia v kombinačnej časti. Front-end simulácie je možné vykonávať s namodelovaním výpočtového času. Taktiež sme vytvorili potrebné knižnice pre plne automatizovaný back-end (place&route) návrh systémov, pričom bol zachovaný pôvodný návrhový postup.
- Prezentovaná metóda generovania signálu ukončenia výpočtu tiež vykazuje odolnosť voči logickým hazardom na výstupe kombinačnej logiky. Táto vlastnosť je veľmi dôležitá hlavne z hľadiska stability, robustnosti a spoľahlivosti. Jedným z hlavných prínosov použitia CSCD metodiky je jej úplná nezávislosť od počtu premenných alebo od počtu bitov systému, pričom plocha detektora ostáva konštantná.

Kapitola 6

Conclusion

Proposed dissertation thesis presents a methodology for analog detection of completion of computation process in asynchronous digital systems. We proposed the design and implementation of the current-sensing circuitry in a standard very deep sub-micron (90 nm) CMOS technology. Presented methodology exhibits several advantages over the state-of-the-art approaches in completion detection in asynchronous systems. The main contributions are summarized as follows.

- Proposed analog current sensor exhibits overall stability and robustness over a wide range of operating temperatures, fabrication process variations as well as the power supply voltage fluctuations. Therefore, it is fully implementable and suitable for asynchronous systems designed in a very deep sub-micron technologies as well as low-power / low-voltage applications.
- The presented sensor requires low silicon area while the layout was designed as a standard logic cell with so-called DfM techniques which increase the area requirements. The analysis of silicon area requirements have confirmed that the proposed methodology actually lowers the overall silicon area needed by the completion detector in single-rail as well as in dual-rail circuits.
- A new methodology of completion detection using CSCD for dual-rail systems has been developed, implemented and verified. The CSCD approach also inc-

reases the throughput in single-rail encoded systems as it has been proven by the simulations.

- A shell script that inserts the analog sensor cell into the synthesized gate netlist and manages the proper connections within the combinatorial block has been programmed. The front-end simulations are available through the computation-time-modeling. The essential libraries has also been created for fully automated back-end (place&route) routine. Furthermore, the original top-down design flow has been managed.
- The proposed method of generating the completion signal also exhibits insensitivity to the logic hazards at the output of combinatorial logic. This attribute is very important in terms of logic stability, robustness and dependability. Furthermore, one of the main contributions of the CSCD approach is its independence of the number of variables and/or number of bits while the silicon area is kept constant.

Publikácie autora

[A1] Nagy, Lukáš - Stopjaková, Viera: Completion Detection in Dual-Rail Asynchronous Systems by Current-Sensing.

In: Microelectronics Journal : Elsevier, 2012 - (zaslaný)

[A2] Záluský, Roman - Ďuračková, Daniela - Stopjaková, Viera - Nagy, Lukáš - Sedlák, Vladimír: Novel architecture of a digital neuron for FFNN and its on-chip implementation and use in recognition experiment.

In: Neural Networks : Elsevier, 2012 - (zaslaný)

[A3] Nagy, Lukáš - Stopjaková, Viera: Current-Sensing Completion Detection Methodology and its Implementation in Asynchronous Systems.

In: PAD 2012. International Conference of Doctoral Students : Milovy ve Zdarských vrších, Czech Republic, 10.-12.9.2012. - Prague : CVUT v Praze, 2012. - ISBN 978-80-01-05106-1. - pp 151-156

[A4] Nagy, Lukáš - Stopjaková, Viera: Low-Voltage Current Sensor Design in 90 nm CMOS Technology.

In: 17th IEEE International Conference on Applied Electronics : Plzen, Czech Republic, 5.-7.9.2012. - Pilsen : University of West Bohemia, 2012. - ISBN 978-80-261-0038-6. - pp 187-190

[A5] Nagy, Lukáš - Stopjaková, Viera: Current Sensing Completion Detection in Dual-Rail Asynchronous Systems.

In: 14th IEEE International Symposium on Design and Diagnostics of Electronic

Circuits and Systems : Tallinn, Estonia, 18.-20.4.2012. - Tallinn : University of Technology, 2012. - ISBN 978-1-4673-1188-5. - pp 38-41

[A6] Nagy, Lukáš: Completion Detection by Current Sensing in Dual-Rail Circuits.

In: PAD 2011. International Conference of Doctoral Students : Stara Lesna, Slovakia, 12.-14.9.2011. - Bratislava : Nakladatelstvo STU, 2011. - ISBN 978-80-227-3552-0. - pp 151-156

[A7] Nagy, Lukáš - Stopjaková, Viera: Current Sensing Methodology for Completion Detection in Self-timed Systems.

In: 14th IEEE International Symposium on Design and Diagnostics of Electronic Circuits and Systems : Cottbus, Germany, 13.-15.4.2011. - Piscataway : IEEE, 2011. - ISBN 978-1-4244-9754-6. - CD-Rom

[A8] Nagy, Lukáš - Stopjaková, Viera: Completion Detection in Asynchronous Systems by Current Sensing.

In: PAD 2010. International Conference of Doctoral Students : Ceskovice, Czech Republic, 13.-15.9.2010. - Brno : University of Technology, 2010. - ISBN 978-80-214-4140-8. - pp 121-126

[A9] Nagy, Lukáš - Stopjaková, Viera: Current Sensing Completion Detection in Deep Sub-Micron Technologies.

In: 13th IEEE International Symposium on Design and Diagnostics of Electronic Circuits and Systems : Vienna, Austria, 14.-16.4.2010. - Vienna : IEEE, 2010. - ISBN 978-1-4244-6610-8. - pp 145-148

[A10] Nagy, Lukáš - Stopjaková, Viera - Mihálov, Jozef: Detection of Computation Completion by Current Sensing.

In: AIM 2009. International Symposium on Advances in Mechatronics : Brno, Czech Republic, 1.-3.12.2009. - Brno : University of Defence, 2009. - ISBN 978-80-7231-696-0. - pp 104-112

[A11] Mihálov, Jozef - Stopjaková, Viera - **Nagy, Lukáš** - Gyepes, Gábor: Investigation of 4th Order Loop Filter Behavior with the First Discrete Time Integrator. In: AIM 2009. International Symposium on Advances in Mechatronics : Brno, Czech Republic, 1.-3.12.2009. - Brno : University of Defence, 2009. - ISBN 978-80-7231-696-0. - pp 30-37

[A12] **Nagy, Lukáš** - Stopjaková, Viera: Current Sensing Completion Detection in Asynchronous Circuits. In: Posterus.sk. - ISSN 1338-0087. - october (2009), <http://www.posterus.sk/?p=3291>

[A13] **Nagy, Lukáš** - Stopjaková, Viera: Current Sensing Completion Detection in Asynchronous Circuits. In: ELITECH '09 : 11th Conference of Doctoral Students. Bratislava, Slovak Republic, 25.5.2009. - Bratislava : STU v Bratislave FEI, 2009. - ISBN 978-80-227-3091-4. - CD-Rom

Použitá literatúra

- [1] G. E. Moore, “Cramming more components onto integrated circuits,” *Proceedings of IEEE*, vol. 86, pp. 82–85, 1998.
- [2] S. Hasegawa *et al.*, “A cost-conscious 32nm cmos platform technology with advanced single exposure lithography and gate-first metal gate/high-k process,” in *Electron Devices Meeting, 2008. IEDM 2008. IEEE International*, pp. 1–3, dec. 2008.
- [3] A. Izosimov, S. I. I., and V. V. Tsylyov, “Physical approach to cmos modules self-timing,” *Electronics Letters*, 1990.
- [4] M. E. Dean, D. L. Dill, and M. Horowitz, “Self-timed logic using current-sensing completion detection (cscd),” *Journal of VLSI Signal Processing Systems*, pp. 7–16, 1994.
- [5] E. Grass and S. Jones, “Asynchronous circuits based on multiple localised current-sensing completion detection,” *Proceedings of the 2nd Working Conference on Asynchronous Design Methodologies*, pp. 170–177, 1995.
- [6] H. Lampinen and O. Vainio, “Circuit design for current-sensing completion detection,” *Proceedings of the IEEE International Symposium on Circuits and Systems*, pp. 185–188, 1998.
- [7] B. Blalock and P. Allen, “A low-voltage, bulk-driven mosfet current mirror for cmos technology,” in *Circuits and Systems, 1995. ISCAS '95., 1995 IEEE International Symposium on*, 1995.