SLOVENSKÁ TECHNICKÁ UNIVERZITA V BRATISLAVE Fakulta elektrotechniky a informatiky Ústav elektroniky a fotoniky

Rozvoj parametrických metód pre vstavaný test analógových integrovaných obvodov

Development of Parametric Methods for Analog IC Built-in Self Test

Autoreferát dizertačnej práce na získanie vedecko-akademickej hodnosti Philosophiae Doctor (PhD.)

v odbore doktorandského štúdia: 26-13-9 Elektronika v špecializácii: Mikroelektronika

Evidenčné číslo: FEI-10842-11597

autor: Ing. Daniel Arbet školiteľka: prof. Ing. Viera Stopjaková, PhD.

Bratislava, marec 2013

Dizertačná práca bola vypracovaná na Ústave elektroniky a fotoniky Fakulty elektrotechniky a informatiky Slovenskej technickej univerzity v Bratislave.

doktorand:	Ing. Daniel Arbet Ústav elektroniky a fotoniky Fakulta elektrotechniky a informatiky Slovenská technická univerzita v Bratislave Ilkovičova 3, 812 19 Bratislava
školiteľka:	prof. Ing. Viera Stopjaková, PhD. Ústav elektroniky a fotoniky Fakulta elektrotechniky a informatiky Slovenská technická univerzita v Bratislave Ilkovičova 3, 812 19 Bratislava
oponenti:	prof. Ing. Jaromír Brzobohatý, CSc. Fakulta elektrotechniky a komunikačních technológií Vysoké učení technické v Brně Ústav mikroelektroniky Technická 3058/10, 61600 Brno, Česká republika
	Ing. Igor Mucha, PhD. AudioAsics A/S, organizačná zložka Analog Devices Kutlíkova 17, 852 50 Bratislava

Autoreferát bol rozoslaný dňa: Obhajoba dizertačnej práce sa koná dňaoo hod. na Fakulte elektrotechniky a informatiky Slovenskej technickej univerzity, Ilkovičova

3, 812 19 Bratislava, pred komisiou pre obhajoby dizertačných prác v odbore doktorandského štúdia 26-13-9 Elektronika.

Predseda odborovej komisie prof. Ing. Daniel Donoval, DrSc. FEI STU, Ilkovičova 3 812 19 Bratislava

Obsah

Ú	vod			2					
1	Súč	Súčasný stav problematiky 3							
2	Cie	Ciele dizertačnej práce 5							
3	Náv	vrh OE	BIST metodiky	6					
	3.1	Princí	p oscilačnej metódy na čipe	6					
		3.1.1	Príklad oscilačného testu neinvertujúceho zosilňovača	7					
	3.2	Konce	ept navrhnutej OBIST metodiky	10					
		3.2.1	Vplyv prídavného hardvéru	11					
		3.2.2	Nastavenie hodnoty oscilačnej frekvencie	12					
4	Exp	perime	ntálna časť	12					
	4.1	Apliká	ácia OBIST na aktívne analógové filtre	12					
		4.1.1	Vyšetrenie účinnosti OBIST metódy	13					
		4.1.2	Závislosť PP od hodnoty f_{osc} v analógových filtroch	15					
	4.2	Paran	netrický test D/A prevodníka na čipe	18					
		4.2.1	Parametrický test operačného zosilňovača	19					
		4.2.2	Parametrický test R-2R rezistorovej siete	19					
		4.2.3	Výsledky parametrických testov a pokrytie porúch	20					
		4.2.4	BIST pre D/A prevodník s váhovanými prúdmi $\ .$	22					
5	\mathbf{Zhr}	nutie o	dosiahnutých výsledkov a prínosov	24					
6	Záv	er		25					
7	Sun	nmary		26					
Zo	oznar	n publ	likácií autora	28					
Zo	oznar	n použ	žitej literatúry	32					

Úvod

Súčasný trend vývoja integrovaných obvodov (IO) a nové technológie ich výroby umožňujú integrovať signálovo i technologicky zmiešané systémy na jednom čipe. Tieto zložité systémy sú súčasťou takmer každého moderného elektronického zariadenia, najmä ak ide o bezdrôtové aplikácie používané v rôznych oblastiach priemyslu, ale i spoločenského života. Z toho dôvodu je potrebné zabezpečiť vysokú kvalitu a hlavne spoľahlivosť vyrobeného integrovaného obvodu, či systému [1]. Neodmysliteľnou súčasťou vývoja a výroby integrovaného obvodu je teda aj jeho test. Hlavnou úlohou produkčného testu je vylúčiť tie obvody, ktoré obsahujú poruchy spôsobené nedokonalosťou technológie, a tým zvýšiť výťažnosť výroby a znížiť celkové náklady a cenu vyrobeného IO [2].

Zmenšovanie minimálneho rozmeru technológie spôsobuje extrémny nárast zložitosti IO a systémov [3]. Nové technológie prinášajú nové parazitné javy, poruchové mechanizmy a fyzikálne defekty, ktoré nemožno odhaliť štandardnými metódami na testovanie IO, čo platí zvlášť pre zmiešané IO, kde je nedostatok účinných metód ich testovania. Z toho dôvodu je potrebné vyvíjať nové prístupy na testovanie komplexných systémov na čipe. Najlepším riešením pre presný a rýchly test takýchto zložitých a signálovo, či technologicky zmiešaných systémov je vstavané testovanie vykonané priamo na čipe obvodu.

Nielen samotný návrh analógových častí v zmiešaných IO, ale aj problém súvisiaci s ich testovaním predstavujú výzvu pre návrhárov [4, 5]. Z toho dôvodu je testovanie analógových a zmiešaných obvodov už dlhé roky predmetom intenzívneho výskumu nielen vo vedecko-výskumných akademických centrách, ale aj v spoločnostiach vyrábajúcich IO. Testovanie zmiešaných obvodov predstavuje náročnú úlohu a preto sa polovodičový priemysel neustále usiluje o vývoj nových testovacích metód a prístupov, ktoré by prinesli zníženie ceny testu, a to najmä analógových častí IO. Analógový test predstavuje v niektorých prípadoch až 85% z celkových nákladov na test zmiešaného IO. Spôsob ako znížiť celkové náklady na test analógových obvodov je preto veľmi aktuálnou a dôležitou výskumnou úlohou [6].

1 Súčasný stav problematiky

Kritickou požiadavkou väčšiny testovacích metód je nutnosť aktivovať príslušnú poruchu pomocou vhodných a špeciálne generovaných vstupných testovacích vektorov. Parametrická metóda, ktorá nepotrebuje testovacie vektory, je založená na vyhodnocovaní oscilačnej frekvencie testovaného obvod. V literatúre sa táto metóda uvádza pod názvom **oscilačná metóda** (Oscillation-based test strategy) [7–31]. Pre účely testu je testovaný analógový obvod zapojením spätnej väzby transformovaný na oscilátor, čím vznikajú netlmené harmonické oscilácie. Prítomnosť defektu v testovanom obvode spôsobuje buď zmenu nominálnej hodnoty oscilačnej frekvencie alebo zmenu amplitúdy oscilácií [8]. Táto testovacia metóda je aplikovateľná na také analógové obvody, ktoré za určitých podmienok môžu oscilovať. Výhodou oscilačnej metódy je aj minimálny nežiaduci vplyv na testovaný obvod. Avšak pri implementácii tejto metódy na čip je potrebné vyriešiť nielen samotné vyhodnocovanie oscilačnej frekvencie, ale aj presnosť jej merania.

V súčasnosti existuje celý rád ďalších techník, ktoré využívajú túto metódu na tzv. defektovo-orientované testovanie [11–24]. V [11, 12, 17, 20, 22–24] bola táto metóda použitá na testovanie filtrov a v [26, 27] na testovanie A/D a D/A prevodníkov. Ďalej bola aplikovaná na aj testovanie dual-tone multifrekvenčného detektora [11], analógovej mikrobunky [28], digitálne programovateľného prúdom spínaného bikvadrátu [29], filtra so spínanými kondenzátormi [23, 25] a iných. Na zvýšenie efektivity oscilačnej metódy bol v [30] vyhodnocovaný odber z napájacieho zdroja a v [31] bol vyvinutý aj vstavaný prúdový senzor na vyhodnocovanie prúdového odberu.

Pri praktickej realizácii oscilačného testu, je spätná väzba najčastejšie zapojená externe (mimo čipu). Takýmto spôsobom je možné zabezpečiť užšie tolerančné pásma pre oscilačnú frekvenciu a amplitúdu oscilácií pre bezporuchový obvod, nakoľko diskrétne súčiastky použité v spätnej väzbe majú vysokú presnosť. Avšak implementácia oscilačnej metódy priamo na čipe môže priniesť množstvo výhod ako napr. kratší a jednoduchší test komplexných integrovaných systémov. Problémom pri realizácii spätnej väzby na čipe je použite integrovaných pasívnych súčiastok, ktoré v nových nanometrových technológiách môžu mať rozptyl väčší ako 20%. Takáto fluktuácia parametrov spôsobuje rozšírenie bezporuchového tolerančného pásma, a tým sa znižuje efektivita oscilačnej metódy v odhaľovaní ťažko-detegovateľných porúch. Na obrázku 1.1 sú znázornené bezporuchové tolerančné pásma pri realizácií spätnej väzby na čipe a externe pomocou diskrétnych súčiastok.



Obr. 1.1: Porovnanie realizácie spätnej väzby na čipe a externe

Ako možno vidieť na obrázku 1.1, bezporuchové tolerančné pásmo získané pri použití externej spätnej väzby je približne dva krát užšie ako tolerančné pásmo získané v prípade použitia spätnej väzby realizovanej priamo na čipe. Z uvedeného vyplýva, že je potrebné nájsť vhodný spôsob realizácie spätnej väzby testovaného obvodu priamo na čipe. Takáto realizácia by priniesla možnosť implementácie oscilačnej metódy na čip ako aj realizáciu kompletného vstavaného samočinného testovania na báze oscilačnej stratégie.

2 Ciele dizertačnej práce

S uvážením súčasných požiadaviek a potrieb v oblasti vstavaného testu analógových a zmiešaných integrovaných obvodov v CMOS technológiách nanometrových rozmerov, boli ciele nášho výskumu stanovené nasledovne:

- Analýza možnosti použitia vybraných parametrických testovacích metód (oscilačná metóda, prúdové testovanie) pre testovanie analógových a zmiešaných integrovaných obvodov a vyšetrenie ich implementácie priamo na čipe.
- Stanovenie základných pravidiel a podmienok pre aplikovanie navrhnutého vstavaného testu a definícia prípadných obmedzení jeho použitia.
- Vyšetrenie závislosti účinnosti oscilačnej metódy od hodnoty oscilačnej frekvencie na vzorových príkladoch analógových obvodov.
- Návrh kompletnej vstavanej metodiky a potrebného BIST hardvéru a jeho implementácia pre testovanie vybraných analógových a zmiešaných obvodov v nanotechnológiách (90 nm CMOS).
- Overenie účinnosti navrhnutej metodiky pri pokrytí katastrofických a parametrických porúch v aktívnych analógových filtroch a D/A prevodníku s váhovanými prúdmi.

3 Návrh OBIST metodiky

3.1 Princíp oscilačnej metódy na čipe

Pri vyhodnocovaní oscilačného testu sa najčastejšie vyhodnocuje oscilačná frekvencia testovaného obvodu a to porovnaním s referenčnou frekvenciou z externého zdroja. Systémy, ktoré nemajú interný hodinový signál preto potrebujú ďalší prídavný vstup na pripojenie externého zdroja frekvencie, čo dodatočne zvyšuje plochu čipu. Na vyhodnocovanie oscilačnej frekvencie bol v [10] použitý prevodník frekvencie na binárne číslo, ktorý počíta oscilačné pulzy obvodu počas presne stanoveného časového intervalu generovaného externým zdrojom frekvencie. Oscilačná frekvencia testovaného obvodu je závislá od hodnôt súčiastok zapojených v spätnej väzbe, a preto pri použití interných súčiastok sa musíme vysporiadať so širokým bezporuchovým pásmom pre vyhodnocovaný parameter testovaného obvodu. Na dosiahnutie užšieho tolerančného pásma je potrebné použiť referenčný zdroj frekvencie, ktorý bude závislý od zmeny technologických parametrov ako aj parametrov súčiastok použitých v spätnej väzbe. Jedno z možných riešení je použitie vstavaného oscilátora, ktorý bude využívať tú istú spätnú väzbu aká je použitá v samotnom testovacom obvode [A10].

Presnosť pri vyhodnocovaní oscilačnej frekvencie počítaním oscilačných pulzov, je možné vyjadriť pomerom oscilačnej frekvencie testovaného obvodu ku frekvencii referenčného zdroja (f_{osc}/f_{ref}). Použitím internej spätnej väzby dochádza k zmene hodnoty oscilačnej frekvencie v dôsledku rozptylu parametrov súčiastok použitých v samotnej spätnej väzbe. Ak použijeme presný zdroj referenčnej frekvencie, potom presnosť vyhodnocovania bude závislá iba od hodnoty oscilačnej frekvencie testovaného obvodu. Z uvedeného vyplýva, že zmeny hodnoty oscilačnej frekvencie testovaného obvodu (spôsobené rozptylom parametrov technológie) budú priamo vplývať na presnosť a tým aj účinnosť oscilačnej metódy. Z toho dôvodu je použitie oscilačnej metódy na čipe (s použitím presného referenčného zdroja frekvencie) obmedzené. Na zvýšenie presnosti vyhodnotenia oscilačnej frekvencie je potrebné použiť referenčný zdroj frekvencie, ktorý bude kopírovať zmeny oscilačnej frekvencie cie testovaného obvodu spôsobené variáciou procesných parametrov [A1, A10].

3.1.1 Príklad oscilačného testu neinvertujúceho zosilňovača

Princíp aplikácie oscilačnej metódy priamo na čipe si vysvetlíme na príklade neinvertujúceho zosilňovača. On-chip realizácia tohto obvodu, ktorý je počas testovania možné transformovať na oscilátor, je znázornená na obrázku 3.1.



Obr. 3.1: On-chip realizácia neinvertujúceho zosilňovača transformovaného na oscilátor

Prenosové hradlá (*Transfer gate*), spínané riadiacou logikou, sú použité na odpojenie zosilňovača od zvyšku systému a na zapojenie spätnej väzby v testovacom režime. Neinvertujúci zosilňovač je transformovaný na oscilátor zapojením kladnej spätnej väzby realizovanej RC členom. Testovaný obvod a prídavný testovací hardvér bol navrhnutý v štandardnej 0,35 μm CMOS technológii. Z dôvodu overenia možnosti použitia navrhnutej metódy v nanometrových technológiách bol testovaný obvod navrhnutý taktiež v 90 nm CMOS technológii.

Oscilačná frekvencia testovaného obvodu je daná vzťahom 3.1:

$$f_{osc}^2 = \frac{1}{4\pi^2 RC} \left(a_v p_1 - p_2 \right) \tag{3.1}$$

Ak uvažujeme, že vlastnosti OZ sú menej závislé od rozptylu parametrov technológie ako parametre súčiastok použitých v spätnej väzbe, a že napätie na výstupe napäťového deliča (R1, R2) je technologicky a teplotne nezávislé, potom môžeme povedať, že zmena oscilačnej frekvencie testovaného obvodu (spôsobená rozptylom technológie) je závislá iba od zmeny hodnôt pasívnych súčiastok tvoriacich kladnú spätnú väzbu [A10].

Referenčný oscilátor musí používať rovnakú spätnú väzbu ako samotný testovaný obvod. Takýmto spôsobom je možné vykompenzovať nežiaduci vplyv rozptylu parametrov súčiastok použitých v spätnej väzbe na hodnotu oscilačnej frekvencie testovaného obvodu. Keďže oscilačná frekvencia testovaného obvodu je závislá hlavne od kladnej RC spätnej väzby, je potrebné použiť jednoduchý vstavaný referenčný oscilátor s rovnakou RC spätnou väzbou. Jednoduchý obvod, ktorý môžeme transformovať na oscilátor zapojením kladnej RC spätnej väzby je Schmittov preklápací obvod (oscilátor) znázornený na obrázku 3.2. Tento obvod je jednoduchý na realizáciu a jeho implementácia na čipe vyžaduje relatívne malú prídavnú plochu.



Obr. 3.2: Referenčný (Schmittov) oscilátor

Oscilačná frekvencia tohto oscilátora je daná vzťahom:

$$f_{ref} = \frac{1}{RCln \left[\frac{(V_{DD} - V_{SPH})V_{SPH}}{(V_{DD} - V_{SPL})V_{SPL}} \right]},$$
(3.2)

kde V_{DD} je napájacie napätie, a V_{SPH} a V_{SPL} reprezentujú hornú a dolnú preklápaciu úroveň. Z uvedeného vzťahu vyplýva, že pri zanedbaní technologického rozptylu parametrov vnútornej štruktúry Schmittovho obvodu (rozptyl parametrov preklápacieho obvodu je oveľa menší ako rozptyl pasívnych súčiastok), je zmena oscilačnej frekvencie vplyvom procesných parametrov daná hlavne rozptylom hodnôt súčiastok použitého RC člena [A10].

Pomocou analýzy okrajových podmienok technológie (*Corner Analysis*) bol experimentálne analyzovaný vplyv technologického rozptylu parametrov pasivných súčiastok, ktoré tvoria spätnú väzbu. Na obrázku 3.3 sú znázornené výsledky pre

okrajové podmienky technológie pre testovaný obvod navrhnutý v 90 *nm* CMOS technológii, a to pre desať vybraných okrajových prípadov. Relatívne zmeny referenčnej oscilačnej frekvencie vo všetkých okrajových podmienkach majú rovnaký trend (nižšia alebo vyššia hodnota) ako zmeny oscilačnej frekvencie testovaného obvodu [A1]. Inými slovami povedané, nežiaduci vplyv rozptylu parametrov použitých súčiastok v internej spätnej väzbe je týmto vykompenzovaný.



Obr. 3.3: Výsledky analýzy okrajových podmienok technológie pre 90 nm technológiu CMOS

Na overenie účinnosti navrhnutej metódy kompenzácie boli porovnané bezporuchové tolerančné pásma získané v prípade použitia externého referenčného zdroja frekvencie a externej spätnej väzby s výsledkami získanými pri použití vstavaného Schmittovho oscilátora a internej spätnej väzby priamo na čipe. Bezporuchové tolerančné pásma boli získané zo štatistickej MC analýzy. Pri analýze bol uvažovaný technologický rozptyl $\pm 3\sigma$ všetkých súčastok. Výsledky MC analýzy pre obvod navrhnutý v 0,35 μm technológii CMOS sú zobrazené na obrázku 3.4a. Je možné pozorovať, že použitím internej spätnej väzby a Schmittovho oscilátora na čipe, môžeme dosiahnuť rovnakú šírku bezporuchového pásma ako s externou spätnou väzbou a externým referenčným oscilátorom. Taktiež môžeme povedať, že spätná väzba realizovaná na čipe a externý zdroj oscilačnej frekvencie predstavujú nevhodnú kombináciu pre implementáciu oscilačného testu (prejavuje nežiaduci vplyv rozptylu parametrov súčiastok použitých v spätnej väzbe [A10]). Rovnaká analýza bola vykonaná aj pre obvod navrhnutý v 90 *nm* technológii CMOS a jej výsledky sú znázornené na obrázku 3.4b.

Dosiahnuté výsledky v oboch technológiách potvrdzujú, že navrhnutá imple-



Obr. 3.4: Bezporuchové tolerančné pásma pre rôzne spätné väzby a referenčné oscilátory

mentácia metódy používajúca internú spätnú väzbu a Schmittov referenčný oscilátor na čipe dokáže kompenzovať zmeny spôsobené technologickým rozptylom parametrov použitých súčastok. Väčší rozptyl v 90 *nm* technológii je spôsobený väčším rozptylom pasívnych súčiastok (až 25%). Je možné konštatovať, že navrhnutá metóda zvyšuje presnosť oscilačného testu až dva krát.

3.2 Koncept navrhnutej OBIST metodiky

Na obrázku 3.5 je uvedená bloková schéma navrhnutej OBIST metodiky pre vstavané testovanie analógových IO. Základný rozdiel oproti metóde uvedenej v [10] je použitie referenčného oscilátora, ktorým je možné generovať hodinový signál priamo na čipe. Ako bolo spomenuté, referenčný oscilátor používa RCspätnú väzbu a kopíruje zmeny oscilačnej frekvencie testovaného obvodu spôsobené rozptylom parametrov technológie. Ďalšou výhodou je, že uvedený koncept potrebuje iba jeden prídavný pin TEST (keď uvažujeme, že P/F signál môže byt multiplexovaný na výstup obvodu počas testovacieho režimu).

Počas testovacieho režimu je testovaný analógový obvod transformovaný na oscilátor zapojením vhodnej RC spätnej väzby alebo jednoduchým prepojením jeho výstupu so vstupom (v závislosti od typu analógového obvodu). Na odpojenie testovaného bloku od celého systému a na pripojenie spätnej väzby sú použité prenosové hradlá, ktoré sú ovládané riadiacou logikou. Táto logika generuje signál



Obr. 3.5: OBIST metodika s referenčným oscilátorom na čipe

pre štartovací obvod, ktorý zabezpečí spoľahlivý štart testovaného obvodu i referenčného oscilátora. Pomocou riadiacej logicky je taktiež riadené aj počítadlo (konvertor oscilačnej frekvencie na číslo), ktoré počas určitého času generovaného referenčným oscilátorom počíta oscilačné pulzy. Po ukončení počítania riadiaca logika vyhodnotí stav počítadla a vygeneruje P/F signál, ktorý indikuje stav testovaného obvodu.

3.2.1 Vplyv prídavného hardvéru

Prenosové hradlá (TG), ktoré sú použité na pripojenie kladnej spätnej väzby k testovanému obvodu (napr. neinvertujúcemu zosilňovaču) počas testovacieho režimu, môžu mať nežiaduci vplyv na jeho vlastnosti. Preto je potrebné tento vplyv analyzovať a následne navrhnúť TG tak, aby bol ich vplyv na parametre testovaného obvodu minimalizovaný. Kritickými parametrami TG sú ich odpor resp. impedancia v zopnutom (R_{ON}) a vypnutom stave (R_{OFF}). Preto je potrebné zvládnuť optimálny návrh TG, ktorý bude minimalizovať ich nežiaduci vplyv na testovaný obvod.

3.2.2 Nastavenie hodnoty oscilačnej frekvencie

Dalšou dôležitou požiadavkou pri aplikovaní OBIST metódy je nastavenie vhodnej hodnoty frekvencie, na ktorej bude testovaný obvod oscilovať. V prípade neinvertujúceho zosilňovača je možné oscilačnú frekvenciu nastaviť pomocou hodnôt súčiastok použitých v kladnej spätnej väzbe, ktoré však budú realizované priamo na čipe. Preto je potrebné tieto hodnoty určiť už vo fáze návrhu samotného zosilňovača a prídavného BIST hardvéru. Takýmto spôsobom je možné dosiahnuť maximálne možné PP pri oscilačnom teste. Závislosť PP od hodnoty zvolenej oscilačnej frekvencie bola vyšetrovaná v neinvertujúcom zosilňovači (obrázok 3.1) navrhnutom v 0,35 μm a 90 nm CMOS technológiach. Do testovaného obvodu boli vkladané poruchy skratu a prerušenia. Na obrázku 3.6 je znázornená závislosť dosiahnutého PP od hodnoty oscilačnej frekvencie pre rôzne hodnoty odporu skratov uvažovaných v testovanom obvode.



Obr. 3.6: Závislosť PP od f_{osc} pre poruchy skratu v testovanom obvode

4 Experimentálna časť

4.1 Aplikácia OBIST na aktívne analógové filtre

Aktívne analógové filtre predstavujú základné stavebné bloky mnohých analógových, RF, ako aj zmiešaných integrovaných obvodov. Oscilačná metóda bola v minulosti použitá na testovanie analógových filtrov v [11, 12, 17, 20, 22–24]. Vo väčšine prípadov však pasívne súčiastky použité v spätnej väzbe oscilátora boli realizované externe, čo síce zaručuje vyššiu presnosť a užšie tolerančné pásma pre oscilačnú frekvenciu a amplitúdu oscilácií bezporuchového obvodu, avšak pre apli- káciu vstavaného testovania je potrebné realizovať všetok testovací hardvér priamo na čipe. V takomto prípade musí byť spätná väzba realizovaná pomocou integrovaných pasívnych súčiastok, ktoré majú rozptyl parametrov väčší ako 20%.

Navrhnutý princíp oscilačnej metódy implementovateľnej vo vstavanej forme, uvažuje so spätnou väzbou priamo na čipe a preto predstavuje vhodnú alternatívu na testovanie aktívnych analógových integrovaných filtrov.

4.1.1 Vyšetrenie účinnosti OBIST metódy

Na overenie účinnosti navrhnutej metódy v aktívných analógových filtroch boli uvažované katastrofické a parametrické poruchy. Všetky experimenty boli vykonané na Salen-Key dolno-priepustnom (DP) a horno-priepustnom (HP) filtri ako aj na kombinovanom filtri opísanom v [32]. V operačnom zosilňovači boli uvažované skraty, prerušenia, plávajúce hradlá (FG) a skraty v hradlovom oxide (GOS), zatiaľ čo na úrovni celého filtra boli uvažované iba skraty a prerušenia.

Experiment 1: OBIST vs parametrický test

V experimente bolo dosiahnuté pokrytie porúch (PP) porovnané s výsledkami získanými aplikovaním konvenčného parametrického testu (meraním vybraných parametrov testovaného filtra). Pri parametrickom teste boli vyhodnocované nasledovné parametre filtra: zosilnenie, medzná frekvencia (pokles zosilnenia o 3 dB), zvlnenie a skupinové oneskorenie, kým pri aplikovaní OBIST metódy bola vyhodnocovaná iba oscilačná frekvencia. Tento experiment bol vykonaný na Sallen-Key DP filtri navrhnutom v 0, 35 μm CMOS technológii od firmy AMS. Celkové pokrytie týchto porúch získané OBIST metódou pre Sallen-Key DP filter je uvedené v tabuľke 4.1a. Celková účinnosť metódy pri pokrytí všetkých porúch uvažovaných v testovanom filtri bola 91,46%.

V tabuľke 4.1b sú zhrnuté výsledky dosiahnuté klasickým parametrickým testom. Celkové PP v Sallen-Key DP filtri dosiahnuté parametrickým testom je 84,05% čo predstavuje o 6,6% nižšie PP ako bolo dosiahnuté OBIST metódou.

Poruchy	vložené	pokryté	PP	_	Poruchy	vložené	pokryté	PP
Poruchy v operačnom zosilňovači				_		Poruchy	v v OZ	
Skraty	68	56	82,35%	_	Skraty	68	51	75%
Prerušenia	24	23	$95,\!83\%$		Prerušenia	24	18	75%
\mathbf{FG}	9	8	88,88%		FG	9	7	$77,\!77\%$
GOS	9	6	$66,\!66\%$		GOS	9	6	$66,\!66\%$
Poruchy na úrovni filtra				Por	ruchy na ú	irovni filtr	a	
Skraty	84	83	98,8%	_	Skraty	84	80	$95,\!23\%$
Prerušenia	17	17	100%	_	Prerušenia	17	17	100%
Celkovo	211	193	$91,\!46\%$	_	Celkovo	211	179	$84,\!83\%$

(a) ziskané OBIST metódou

(b) ziskané parametrickým testom

Tabuľka 4.1: Pokrytie porúch pre Sallen-Key DP filter

Experiment 2: Efektivita OBIST v 90 nm CMOS technológii

V nasledovnom experimente bola overená účinnosť a aplikovateľnosť navrhnutej OBIST metódy v 90 nm technológii, a to porovnaním PP dosiahnutého pre katastrofické poruchy v DP filtri navrhnutom v 0,35 μm a 90 nm CMOS technológiách. Pokrytie porúch bolo vyšetrované pre poruchy skratu, nakoľko tieto sú nielen veľmi často sa vyskystujúcimi poruchami, ale vo väčšine prípadov predstavujú aj najťažšie detegovateľné poruchy. Celkové PP pre rôzne hodnoty odporu skratu v DP filtri navrhnutom v 0,35 μm a 90 nm CMOS technológiách je uvedené v tabuľke 4.2, kde je možné pozorovať, že celkové pokrytie skratov v oboch DP filtroch je porovnateľné. Nižšiu účinnosť metódy je možné pozorovať pri poruchách skratu s vyššou hodnotou odporu a to najmä v samotnom OZ. Skraty na úrovni celého DP filtra majú naopak lepšiu detegovateľnosť a to v oboch technológiách.

	1				
$\mathbf{R}_{\mathbf{skratu}}$ [Ω]	500	1 k	10 k	100 k	1 M
PP v OZ (0,35 μm)	100%	100%	88,23%	$23{,}52\%$	$5,\!88\%$
PP na úrovni filtra (0,35 $\mu m)$	95%	95%	95%	95%	95%
Celkové PP $(0,35 \ \mu m)$	$97,\!29\%$	97,29%	91,89%	62,16%	$54,\!05\%$
PP v OZ (90 <i>nm</i>)	100%	84,61%	$84,\!61\%$	$15,\!38\%$	0%
PP na úrovni filtra (90 <i>nm</i>)	100%	100%	100%	88%	84%
Celkové PP (90 nm)	100%	94,73%	94,73%	$63,\!15\%$	55,26%

Tabuľka 4.2: PP pre rôzne hodnoty odporu skratu v DP filtri

Celková účinnosť OBIST metódy pri pokrytí skratov v oboch typoch filtrov navrhnutých v 0,35 μm a 90 nm CMOS technológiách je veľmi vysoká, a pre

skraty s hodnotou do 10 k Ω je možné dosiahnuť až 100%-é pokrytie. V prípade skratov s vysokou hodnotou odporu (nad 10 k Ω) je účinnosť nižšia, tie však majú aj nižšiu pravdepodobnosť výskytu. Dosiahnutý výsledok môžeme považovať za veľmi dobrý, nakoľko účinnosť analógových testov je zvyčajne nižšia ako v prípade metód pre digitálne obvody.

Experiment 3: Efektivita OBIST pri pokrytí parametrických porúch

V ďalšom experimente bola overená účinnosť pokrytia parametrických porúch OBIST metódou v sallen-Key DP filtri, kde boli uvažované iba lokálne parametrické poruchy. Dosiahnuté výsledky boli porovnané s výsledkami z [20], kde bola vyšetrovaná efektivita oscilačnej metódy na filtroch navrhnutých v 1,2 μm technológii, ktoré mali zapojené externé pasívne súčiastky. Boli porovnávané tzv. nedetegovateľné pásma (limity) pre všetky pasívne súčiastky použité v testovanom filtri (tabuľka 4.3).

Metóda off-chip test (1,2 μ m) [20]		OBIS	ST (0,35 μm)	OBIST (90 nm)		
Súčiastka	Hodnota	Nedetegovateľné limity	Hodnota	Nedetegovateľné limity	Hodnota	Nedetegovateľné limity
R1	$3,2~\mathrm{k}\Omega$	$-15\% \div 5,3\%$	$100 \text{ k}\Omega$	$-9\% \div 16\%$	$10 \ \mathrm{k}\Omega$	$-16,7\% \div 17,8\%$
R2	$3,2~\mathrm{k}\Omega$	$-54\% \div 125\%$	$100 \text{ k}\Omega$	$\textbf{-38,}2\% \div 48\%$	$10~\mathrm{k}\Omega$	-13,3 $\% \div 15,8\%$
R3	4,86 k Ω	$-14\% \div 10\%$	$20 \text{ k}\Omega$	-11 $\%$ \div 6 $\%$	$20~\mathrm{k}\Omega$	$21,\!3\% \div 21,\!45\%$
R4	8,84 k Ω	$-9,3\% \div 2,7\%$	$60 \text{ k}\Omega$	$-4,33\% \div 17.6\%$	$20~\mathrm{k}\Omega$	$13,\!6\% \div 17,\!4\%$
C1	50 nF	$-6\% \div 2\%$	$0{,}784~\mathrm{pF}$	$-6,25\% \div 12,6\%$	$0,2 \ \mathrm{pF}$	$-7,78\% \div 9,33\%$
C2	$50 \mathrm{~nF}$	$-4\% \div 13\% \& -50\% \div 68\%$	$0{,}784~\mathrm{pF}$	$-34,8\% \div 31,4\%$	$0{,}05~\mathrm{pF}$	$\textbf{-32\%}\div 44\%$

Tabuľka 4.3: Nedetegovateľné tolerančné pásma pasívnych súčiastok použitých v DP filtri

Z výsledkov je možné pozorovať, že iba tri pasívne súčiastky (R2, R3 a C2) použité v DP filtri navrhnutom v 0,35 μm technológii a dve pasívne súčiastky (R2 a C2) použité v DP filtri navrhnutom v 90 nm technológii majú užšie nedetegovateľné pásma ako pasívne súčiastky použité v DP filtri publikovanom v [20] (1,2 μm technológii).

4.1.2 Závislosť PP od hodnoty f_{osc} v analógových filtroch

V nasledujúcom experimente bola vyšetrená závislosť PP od hodnoty oscilačnej frekvencie. Kvôli overeniu implementovateľnosti navrhnutej metódy v nanotechnológiách, dosiahnuté výsledky PP pre filtre navrhnuté v 0,35 μm technológii boli porovnané s výsledkami dosiahnutými pre rovnaké filtre realizované v 90nmtechnológii.



Obr. 4.1: Závislosť PP od f_{osc} pre poruchy skratu v Sallen-Key DP filtri (0,35 μm CMOS)

Na obrázku 4.1 sú uvedené výsledky závislosti PP od hodnoty oscilačnej frekvencii pre skraty v DP filtri navrhnutom v 0,35 μm technológii, zatiaľ čo výsledky rovnakej analýzy pre DP filter realizovaný v 90 nm CMOS technológii sú znázornené na obrázku 4.2.



Obr. 4.2: Závislosť pokrytia skratov od f_{osc} v Sallen-Key DP filtri (90 nm CMOS)

V tabuľke 4.4 je uvedená najvyššia dosiahnuteľná účinnosť (maximálne možné

PP) pre skraty v DP filtroch navrhnutých v 0,35 μm a 90 nm technológiách.

$\mathbf{R}_{\mathbf{skratu}}$ [Ω]	500	1 k	10 k	100 k	1 M		
0,35 μm CMOS technológia, $f_{osc}=8,75~MHz$							
PP v OZ	100%	100%	94,11%	$94{,}11\%$	100%		
PP na úrovni filtra	100%	100%	100%	100	95%		
Celkové PP	100%	100%	$97,\!29\%$	$97,\!29\%$	$97,\!29\%$		
Zlepšenie PP	2,71%	2,71%	5,4%	$35,\!13\%$	43,24%		
90 nm C	MOS tech	nológia, f_{i}	$_{osc} = 110$	MHz			
PP v OZ	100%	100%	92,3%	30,77%	0%		
PP na úrovni filtra	100%	100%	100%	96%	100%		
Celkové PP	100%	100%	97,36%	$73,\!68\%$	65,79%		
Zlepšenie PP	0%	$5,\!27\%$	$2,\!63\%$	$10,\!53\%$	$10,\!05\%$		

Tabuľka 4.4: Zlepšenie účinnosti OBIST metódy výberom hodnoty f_{osc} (skraty v DP filtri)

Z vykonanej analýzy závislosti PP od hodnoty oscilačnej frekvencie pre poruchy skratu v aktívnych analógových filtroch vyplýva, že výberom vhodnej hodnoty oscilačnej frekvencie je možné zvýšiť celkovú účinnosť navrhnutej OBIST metódy. Poruchy skratu uvažované v OZ sú ťažšie detegovateľné, nakoľko vo väčšine prípadov spôsobujú iba minimálnu zmenu oscilačnej frekvencie. Z tohto vyplýva, že ťažko-detegovateľné skraty, ktoré vzniknú na nižších úrovniach testovaného obvodu (napr. v OZ) sú často maskované. Porovnaním výsledkov pre filtre navrhované v 0,35 μm a 90 nm technológiách je zrejmé, že skraty v OZ je jednoduchšie odhaliť vo filtroch navrhnutých v 0,35 μm technológii. Na druhej strane skraty na úrovni filtra sú lepšie detegovateľné v oboch technológiách. Avšak vo filtroch navrhnutých v 90 nm technológii je detegovateľnosť skratov na úrovni filtra oveľa vyššia, kde je možné odhaliť aj 1 M Ω -é skraty. Účinnosť metódy je však závislá od samotnej štruktúry testovaného obvodu (impedancií v jednotlivých uzloch testovaného obvodu), a preto nie je možné jednoznačne povedať, na ktorej oscilačnej frekvencii bude pre konkrétny obvod dosiahnuté najlepšie PP. Z tejto analýzy však vyplýva, že skraty s vysokou hodnotou odporu (ťažkodetegovateľné skraty) je možné odhaliť až na vysokých oscilačných frekvenciách, kde sa ich vplyv začína výraznejšie prejavovať. Naopak skraty s nízkou hodnotou odporu najčastejšie spôsobujú zmenu pracovných podmienok v obvode, čo sa prejavuje stratou oscilácií testovaného obvodu, a preto sú väčšinou odhalené na nízkych hodnotách oscilačnej frekvencie.

4.2 Parametrický test D/A prevodníka na čipe

V posledných rokoch bolo publikovaných niekoľko konceptov a ich modifikácií pre vstavané testovanie D/A a A/D prevodníkov [26, 33, 34]. IEEE štandard pre terminológiu a testovacie metódy bol definovaný v [35]. V [36–38] je opísaný hardvér pre test prevodníkov na čipe. BIST metodológie používajúce rôzne generátory testovacích vektorov na čipe sú opísané v [39] a [40]. Schéma založená na princípe podvzorkovania je uvedená v [41, 42]. Test A/D a D/A prevodníkov založený na oscilačnej metóde je prezentovaný v [26, 27] a [43]. Ďalšie BIST schémy pre test často používaných D/A prevodníkov s rezistorovou sieťou R-2R sú uvedené v [37] a [44]. Aj napriek množstvu výhod, existujúce vstavané testovacie metódy však majú obmedzenú účinnosť pokrytia reálnych porúch. Naviac niektoré parametrické metódy nie sú jednoducho implementovateľné na čipe, nakoľko vyžadujú pomerne zložité generovanie testovacích stimulov alebo zložitý prídavný testovací hardvér. Parametrický test jednotlivých častí systému však predstavuje vhodné riešenie na testovanie zmiešaných IO na čipe [2]. Tento prístup je založený na rozdelení komplexného systému na menšie časti, ktoré je potom jednoduchšie testovať osobitne, každú časť vhodnou a účinnou parametrickou metódou, čo umožňuje aj identifikáciu poruchovej časti IO alebo systému [A2, A6, A15].

Parametrický test jednotlivých častí systému sme aplikovali na 8-bitový D/A prevodník s rezistorovou sieťou R-2R, ktorý patrí do skupiny tzv. vzorových testovacích obvodov (*benchmark circuits*) [32], a slúžia ako vhodné príklady obvodov pre overenie účinnosti vyvíjaných testovacích metód. Na obrázku 4.3 je znázornená bloková schéma navrhnutého obvodu, ktorý obsahuje samotný obvod prevodníka a prídavný testovací hardvér, potrebný na realizáciu parametrického testu jednotlivých častí prevodníka. Prídavné obvody zahŕňajú aj riadiacu logiku, ktorá prepína obvod do testovacieho režimu.

V testovacom režime je prevodník rozdelený na dve časti: dvojstupňový operačný zosilňovač a R-2R rezistorovú sieť. Pomocou riadiacich vstupov TEST (prídavný vstup) a MODE (v pracovnom režime LOAD) je možné obvod prepnúť do jedného z dvoch testovacích režimov pre aplikovanie príslušného parametrického testu pre zvolenú časť testovaného prevodníka. V tabuľke 4.5 sú uvedené zodpovedajúce logické úrovne riadiacich signálov pre jednotlivé režimy činnosti obvodu.



Obr. 4.3: Bloková schéma obvodu

Tabuľka 4.5: Režimy činnosti obvodu

Režim činnosti	TEST	MODE
Pracovný (funkčný) režim	0	LOAD
Test OZ (TM1)	1	0
Test R-2R siete (TM2)	1	1

4.2.1 Parametrický test operačného zosilňovača

Na detekciu potenciálnych porúch v OZ bola použitá oscilačná metóda. Za účelom dosiahnutia užšieho bezporuchového tolerančného pásma oscilačnej frekvencie bola použitá externá spätná väzba, nakoľko parametre súčiastok realizovaných na čipe majú veľký rozptyl a ich hodnoty sú nepresné. Z toho dôvodu bola odvodená spätná väzba zapojená medzi vstupy D0, D1 a výstup testovaného obvodu. Spätná väzba k OZ bola pripojená pomocou prenosových hradiel, riadených navrhnutou riadiacou logikou. Test OZ bol podrobnejšie opísany v 3.1.

4.2.2 Parametrický test R-2R rezistorovej siete

Najpravdepodobnejšia porucha, ktorá môže vzniknúť v takejto rezistorovej sieti je parametrická porucha rezistora, reprezentovaná tým, že hodnota odporu daného rezistora sa bude nachádzať mimo tolerančného pásma určeného technológiou. Prípadnú poruchu môžeme odhaliť meraním a porovnávaním prúdov v jednotlivých vetvách siete. Táto prúdová metóda je modifikáciou známej metódy prúdového testovania (I_{DDQ}) používaného v digitálnych obvodoch.

Schéma zapojenia rezistorovej siete s prídavným testovacím hardvérom pre jej test je znázornená na obrázku 4.4. Do každej vetvy rezistorovej siete sú pridané dve prenosové hradlá, ktoré ovládajú spínače v príslušnej vetve. Signály pre riadenie príslušných prenosových hradiel (CS, \overline{CS} a tiež $CS_1 - CS_8$) sú vygenerované riadiacou logikou. Tri kaskódové zrkadlá sú použité na vytvorenie rozdielového prúdu I_{diff_N} (rozdiel prúdov I_{REF1} a I_{REF2}) a na zabezpečenie toho, aby tento prúd (v testovacom režime) tiekol na výstup D/A prevodníka.



Obr. 4.4: Rezistorová sieť R-2R s prídavnými obvodmi na realizáciu prúdového testu

Takto navrhnutý parametrický test umožňuje otestovanie rezistorovej siete v ôsmich krokoch, a to posúvaním logickej jednotky smerom od najvyššieho bitu ku najnižšiemu. Nedostatkom tejto metódy je, že prúd v poslednej vetve je veľmi malý (rádovo nA), čo spôsobuje problémy pri jeho meraní a spracovaní. Z tohto dôvodu môže byť použitie tejto metódy pre test rezistorových sietí obmedzené hodnotou odporu R (okolo 10 $k\Omega$) [A2, A6]. Prevodník s vyšším rozlíšením obsahuje väčší počet vetiev a tým menší prúd tečúci v poslednej vetve. Z toho dôvodu môže byť aj rozlíšenie prevodníka limitujúcim faktorom pri použití tejto metódy [A2, A6].

4.2.3 Výsledky parametrických testov a pokrytie porúch

Na overenie účinnosti aplikovaných parametrických testov boli v OZ uvažované katastrofické defekty, zatiaľ čo v R-2R sieti sme vyšetrovali pokrytie parametrických porúch, ktoré sú veľmi časté pri obvodoch používajúcich pasívne súčiastky. Bezporuchové tolerančné pásma pre oscilačnú frekvenciu a amplitúdu oscilácií boli získane z MC simulácií, kde odchýlka v hodnote oscilačnej frekvencie pre bezporuchové obvody bola $\pm 13\%$ a odchýlka v amplitúde oscilácií bola $\pm 2,85\%$ [A2, A6].

V OZ bolo uvažovaných 9 defektov prerušenia s rôznymi hodnotami kapacity

a odporu, na celkovo 24 rôznych miestach. Z celkovo vyšetrovaných 216 defektov prerušenia, bolo použitým parametrickým testom úspešne detegovaných 209, čo predstavuje PP 94%. Dosiahnuté PP pre poruchy skratu je uvedené v tabuľke 4.6.

Tabuľka 4.6: Pokrytie porúch skratu v operačnom zosilňovači

$\mathbf{R}_{\mathbf{skratu}} \left[\Omega \right]$	$500 \div 10k$	$500 \div 100 \mathrm{k}$	$500 \div 1 \mathrm{M}$
Pokrytie porúch	100%	$95{,}58\%$	84,7%

Skraty s nižšou hodnotou odporu sú ľahšie detegovateľné, nakoľko vo väčšine prípadov vedú k zániku oscilácií alebo k výraznej zmene oscilačnej frekvencie. Skraty nad 100 k Ω zvyčajne spôsobujú iba malú zmenu oscilačnej frekvencie a preto sú ťažšie detegovateľné. Všetky poruchy FG (s výnimkou jednej, ktorá viedla k výraznej zmene oscilačnej frekvencie) spôsobili stratu oscilácií . Skraty v hradlovom oxide boli modelované pre tri rôzne veľkosti defektu skratu (0,16 μm^2 , 0,64 μm^2 , 1,44 μm^2). Pokrytie porúch pre jednotlivé defekty je uvedené v tabuľke 4.7. Keďže GOS patrí medzi ťažko-detegovateľné poruchy, je nutné poznamenať, že dosiahnuté výsledky dokazujú vysokú úspešnosť a efektivitu oscilačnej metódy pri detekcii aj takýchto typov porúch.

Veľkosť defektu GOS	$0,16\ \mu m^2$	$0,64 \ \mu m^2$	$1,44 \ \mu m^2$
Uvažované defekty	45	45	45
Detegované defekty	44	41	45
Pokrytie porúch	97%	91%	100%

Tabuľka 4.7: Pokrytie skratov v hradlovom oxide

Na rozdiel od OZ, v R-2R rezistorovej sieti boli uvažované parametrické poruchy, a ich pokrytie bolo vyhodnotené na základe použitia prúdového testu. Parametrické poruchy boli modelované použitím rezistorov s rôznou hodnotou odporu (hodnota odporu sa nachádzala \pm 5% alebo \pm 10% mimo tolerančného pásma daného technológiou). Tolerančné pásmo (vyznačené bodkovanými čiarami) a simuláciou získané hodnoty rozdielového prúdu (I_{diff_N}) pre rôzne testovacie vektory sú znázornené v grafe na obrázku 4.5.

V tabuľke 4.8 je uvedené pokrytie parametrických porúch uvažovaných v R-2R rezistorovej sieti D/A prevodníka. Z dosiahnutých výsledkov je zrejmé, že pokrytie porúch s \pm 10% odchýlkou v hodnote odporu je 100%. Pri \pm 5% odchýlke hodnoty odporu od tolerančného pásma technológie je PP o niečo nižšie (96%), čo



Obr. 4.5: Tolerančné pásmo a hodnoty rozdielového prúdu

ale stále predstavuje veľmi dobrý výsledok. Parametrický (prúdový) test použitý pre rezistorovú sieť je ľahko implementovateľný a dosahuje vysoké pokrytie parametrických porúch. Určitou nevýhodou tejto metódy je jej obmedzenie pri použití vysokých hodnôt odporu v rezistorovej sieti, čo vedie k pomerne malým prúdom v poslednej vetve siete, ktoré nie je jednoduché odmerať a vyhodnotiť.

Tabuľka 4.8: Pokrytie parametrických porúch v R-2R rezistorovej sieti

Parametrická porucha	$\pm 5\%$ odchýlka	$\pm 10\%$ odchýlka	
Pokrytie porúch	96%	100%	

4.2.4 BIST pre D/A prevodník s váhovanými prúdmi

Na obrázku 4.6 je zobrazená všeobecná bloková schéma BIST štruktúry pre test D/A prevodníkov, ktoré na prevod používajú váhované prúdy. Počas testovacieho módu je prevodník rozdelený na dve časti: prevodovú sieť a OZ. Na rozpojenie jednotlivých častí prevodníka sú použité multiprexory a demultiplexory. Multiplexor *MUX1* je použitý na odpojenie výstupu D/A prevodníka a na pripojenie generátora testovacích vektorov (TV) k prevodovej sieti. Výstup prevodovej siete je pomocou demultiplexora *DEMUX1* privedený na vstup prúdového komparátora, ktorý porovnáva prúdy v jednotlivých vetvách prevodovej siete a generuje signál pre riadiacu logiku. Podobným spôsobom je počas testovacieho režimu odpojený aj OZ, ku ktorému je následne pripojená vhodná RC spätná väzba. Výstup zosilňovača je pripojený na počítadlo pomocou demultiplexora DEMUX2. Počítadlo je resetované riadiacou logikou a povoľovací signál EN je generovaný zo Schmittovho oscilátora, ktorý je použitý na kompenzáciu vplyvu rozptylu procesných parametrov. Výstup počítadla je pripojený k riadiacej logike, ktorá vyhodnotí test prevodovej siete a OZ a vygeneruje signál P/F, ktorý indikuje stav testovaného prevodníka.



Obr. 4.6: BIST štruktúra navrhnutá pre D/A prevodníky s váhovanými prúdmi

Výhodou navrhnutej BIST štruktúry je skutočnosť, že generovanie TV pre obe časti prevodníka je realizované priamo na čipe. Generátor TV pre prevodovú sieť je realizovaný pomocou jednoduchého N-bitového posuvného registra, ktorý používa výstup Schmittovho oscilátora ako hodinový signál. Riadiaca logika zapíše do generátora TV logickú jednotku, ktorú posuvný register posúva od najvyššieho po najnižší bitový vstup prevodovej siete. Postup porovnania jednotlivých prúdov prevodovej siete bol podrobnejšie opísaný v kapitole 4.2.2. Celková dĺžka testu je definovaná počtom bitov testovaného D/A prevodníka.

Záverom tejto kapitoly môžeme skonštatovať, že výsledky získané v rámci vy-

konaných experimentov potvrdzujú, že vstavaný parametrický test jednotlivých častí obvodu predstavuje vhodný, účinný a ľahko implementovateľný prístup k testovaniu zložitých zmiešaných integrovaných systémov. Tento prístup naviac umožňuje identifikáciu poruchovej časti obvodu a zjednodušuje celkovú procedúru testu systémov na čipe. Nevýhodou je však nevyhnutnosť prídavného testovacieho hardvéru, ktorý môže mať nežiaduci vplyv na niektoré parametre testovaného obvodu a vyžaduje si prídavnú plochu na čipe.

5 Zhrnutie dosiahnutých výsledkov a prínosov

Hlavné prínosy dizertačnej práce z hľadiska napredovania príslušného vedného odboru ako aj praktického využitia navrhnutej metodiky sú nasledovné:

- Najdôležitejším prínosom je návrh novej OBIST metodiky, ktorá prináša možnosť implementácie oscilačného testu analógových obvodov priamo na čipe, a to pomocou vstavaného referenčného oscilátora použitého na kompenzáciu vplyvu rozptylu parametrov technologického procesu. Výhodou navrhnutej OBIST metodiky je jej jednoduchá implementovateľnosť aj v nanometrových CMOS technológiách, čo bolo preukázané na niekoľkých experimentoch. Tento prínos je plne v súlade so súčasnými požiadavkami a potrebami v oblasti vstavaného testovania analógových a zmiešaných IO, kde je neustály nedostatok a dopyt po metódach pre analógový BIST.
- Experimentálne overenie účinnosti navrhnutej metódy pri pokrytí ťažko-detegovateľných katastrofických porúch (skratov, prerušení, plavajúcich hradiel a skratov v hradlovom oxide).
- Významným vedeckým prínosom je vyšetrenie závislosti efektivity navrhnutej metódy od hodnoty oscilačnej frekvencie. Bolo preukázané, že výberom vhodnej hodnoty oscilačnej frekvencie je možné zvýšiť celkové pokrytie porúch v testovanom obvode.
- Praktickým prínosom práce je vykonaná analýza vplyvu prídavného testovacieho hardvéru na parametre testovaného obvodu ako aj stanovenie pravidiel, ktoré je potrebné dodržiavať pri implementácii vstavaného testu (OBIST).

- Významným praktickým, ale aj vedeckým výstupom práce je návrh konceptu pre vstavaný samočinný test aktívnych analógových integrovaných filtrov, ako aj vyšetrenie a porovnanie účinnosti detekcie ťažko-detegovateľných porúch v jednotlivých typoch analógových fitrov navrhnutých v 0,35 μm a 90 nm CMOS technológiách.
- Návrh metodiky na testovanie jednotlivých častí D/A prevodníkov na báze váhovaných prúdov a taktiež vyšetrenie vplyvu prídavného hardvéru na jednotlivé parametre prevodníka.
- Z praktického hľadiska je možné navrhnutú OBIST metodiku, ktorá využíva vstavaný referenčný oscilátor použiť aj na vstavané testovanie A/D prevodníkov, Σ-Δ modulátorov, fázového závesu a ďalších typov integrovaných obvodov, ktoré je možné počas testovacieho módu transformovať na oscilátor. V závislosti od konkrétnej aplikácie je však potrebné nájsť vhodný referenčný oscilátor, ktorý bude kompenzovať rozptyl parametrov súčiastok na čipe spôsobený variáciou parametrov výrobného procesu.

6 Záver

Predložená dizertačná práca je zameraná na vývoj nových parametrických metód pre vstavaný test integrovaných obvodov ako aj na vyšetrenie účinnosti navrhnutých metód, pričom dôraz bol kladený hlavne na oscilačnú metódu a prúdové testy. Navrhnutý koncept OBIST prináša možnosť implementácie oscilačnej metódy priamo na čipe, čím je možné zvýšiť presnosť a rýchlosť celého parametrického testu. Realizácia referenčného oscilátora ako aj spätnej väzby pre testovaný obvod i referenčný oscilátor priamo na čipe umožňuje redukovať vplyv rozptylu technologických parametrov na účinnosť tejto metódy v nanotechnológiách. Navrhnuté riešenie tak odburáva toto významné obmedzenie metódy a umožňuje jej široké použitie. Navrhnutá metodika OBIST je vhodná na testovanie rôznych analógových a zmiešaných integrovaných obvodov (napr. zosilňovačov, aktívnych analógových filtrov, A/D prenodníkov, Σ - Δ modulátorov, fázových závesov a pod.), ktoré je možné počas testovacieho režimu transformovať na oscilátor.

Ukazuje sa, že parametrický test jednotlivých častí predstavuje vhodnú alternatívu na testovanie zložitých integrovaných systémov. Tento prístup prináša možnosť testovania menších a obvodovo jednoduchších stavebných blokov pomocou vhodne zvolenej parametrickej metódy, ako aj ľahšiu identifikáciu konkrétnej poruchovej časti systému. Pri aplikácii vstavaného parametrického testu je potrebné vyšetriť aj nežiaduci vplyv prídavného testovacieho hardvéru, ktorý môže ovplyvňovať funkciu, či parametre testovaného obvodu.

Ďalší náš výskum v tejto oblasti bude zameraný na overenie účinnosti navrhnutej koncepcie OBIST metódy na reálnom obvode vyrobenom v 90 *nm* CMOS technológii. Na experimentálnom obvode budú realizované štruktúry BIST na vstavaný test aktívných analógových filtrov ako aj D/A prevodníka s váhovanými prúdmi, ktoré boli navrhnuté v rámci tejto dizertačnej práce.

7 Summary

This PhD thesis deals with the development of parametric test methods for BIST of analog IC as well as their efficiency evaluation, with main focus on oscillation-based test and current test. The proposed oscillation-based BIST strategy enables on-chip implementation of the oscillation test, which can enhance accuracy and speed of whole parametric test. On-chip implementation of the reference oscillator as well as the feedback for both the tested circuit and the reference oscillator compensates the undesired influence of technology parameter variation, which enhances the efficiency of this test technique in nanoscale technologies. Thus, the proposed OBIST methodology overcome the main on-chip limitation of the oscillation test and enables its wide use. Moreover, the proposed methodology is suitable for test of different analog and mixed-signal integrated circuits (e.g. amplifiers, active analog filters, A/D converters, Σ - Δ modulators, PLLs, etc.), which are possible to be transformed into an oscillator.

It has been proven that partially performed parametric test of different parts represents a very promising approach to test of complex ICs. The approach enables test of smaller and simpler parts, each tested by a dedicated and efficient test method. Therefore, the identification of the defective part of a system is easier. However, in case of an on-chip test, an undesired influence of the additional test hardware on the tested circuit performance or parameters has to be taken into account.

The future research will be focused on the efficiency evaluation of the proposed OBIST methodology, performed on a real circuit fabricated in 90 nm CMOS process. An experimental circuit will consist of BIST hardware architectures for on-chip self test of selected circuits.

Zoznam publikacií autora

- [A1] D. Arbet, V. Stopjaková, L. Majer, G. Gyepes, and G. Nagy, New OBIST using On-chip Compensation of Process Variations towards Increasing Fault Detectability in Analog ICs. *IEEE Transactions on Nanotechnology*, 2013. 10.1109/TNANO.2013.2251656 (prijaté na publikovanie).
- [A2] D. Arbet, V. Stopjaková, J. Brenkuš, and G. Gyepes. On-chip Parametric Test of R-2R Ladder Digital-to-Analog Converter and Its Efficiency. *International Journal of Microelectronics* and Computer Science, 3(2):73–80, 2012.
- [A3] D. Arbet, G. Nagy, V. Stopjaková, and G. Gyepes. Efficiency of Oscillation-based BIST in 90nm CMOS Active Analog Filters. In *Design and Diagnostics of Electronic Circuits Systems* (DDECS), 2013 IEEE 16th International Symposium on, April 2013. (prijaté na publikovanie).
- [A4] G. Nagy, D. Arbet, and Stopjaková. Digital Methods of Offset Compensation in 90nm CMOS. In Design and Diagnostics of Electronic Circuits Systems (DDECS), 2013 IEEE 16th International Symposium on, April 2013. (prijaté na publikovanie).
- [A5] D. Arbet, G. Gyepes, J. Brenkuš, and V. Stopjaková. OBIST strategy versus parametric test - Efficiency in covering catastrophic faults in active analog filters. In *Design and Diagnostics* of Electronic Circuits Systems (DDECS), 2012 IEEE 15th International Symposium on, pp. 193-194, 2012.
- [A6] D. Arbet, G. Gyepes, J. Brenkuš, V. Stopjaková, and J. Mihálov. On-chip parametric test of binary-weighted R-2R ladder D/A converter and its efficiency. In *Mixed Design of Integrated Circuits and Systems (MIXDES), 2012 Proceedings of the 19th International Conference*, pp. 441-446, 2012.
- [A7] D. Arbet, G. Nagy, G. Gyepes, and V. Stopjaková. Design of rail-to-rail operational amplifier with offset cancelation in 90nm technology. In Applied Electronics (AE), 2012 International Conference on, pp. 17–20, 2012.
- [A8] G. Gyepes, D. Arbet, J. Brenkuš, and V. Stopjaková. Application of IDDT test towards increasing SRAM reliability in nanometer technologies. In *Design and Diagnostics of Electronic Circuits Systems (DDECS)*, 2012 IEEE 15th International Symposium on, pp. 167–170, 2012.

- [A9] G. Gyepes, D. Arbet, L. Majer, and V. Stopjaková. An on-chip IDDT current sensor based on current-to-voltage conversion. In *Applied Electronics (AE)*, 2012 International Conference on, pp. 87–90, 2012.
- [A10] D. Arbet, J. Brenkuš, G. Gyepes, and V. Stopjaková. Increasing the efficiency of analog OBIST using on-chip compensation of technology variations. In *Design and Diagnostics of Electronic Circuits Systems (DDECS), 2011 IEEE 14th International Symposium on*, pp.71 -74, 2011.
- [A11] D. Arbet, J. Brenkuš, L. Majer, and V. Stopjaková. Oscillation-based Built-In Self Test of integrated active analog filters. In Applied Electronics (AE), 2011 International Conference on, pages 1–4, 2011.
- [A12] G. Gyepes, J. Brenkuš, D. Arbet, and V. Stopjaková. Comparison of iddt test efficiency in covering opens in SRAMs realised in two different technologies. In *Design and Diagnostics of Electronic Circuits Systems (DDECS), 2011 IEEE 14th International Symposium on*, pp. 395 -396, 2011.
- [A13] D. Arbet and V. Stopjaková. OBIST Strategy Versus Parametric Test Efficiency Evaluation. In PAD 2012 - Počítačové architektury a diagnostika : Pracovní seminář pro studenty doktorského studia. Milovy ve Žďárských vrších, Czech Republic, Česká technika-nakl. ČVUT, 2012., pp. 133–138, 2012.
- [A14] D. Arbet and V. Stopjaková. On Chip Application Test Method for Built-in Self Test of Analog and Mixed-Signal Systems. In Počítačové architektúry a diagnostika PAD 2011 : Česko-slovenský seminář pre študentov doktorandského štúdia. Stará Lesná, Bratislava : Nakladateľstvo STU, 2011.,cpp. 109 –114, 2011.
- [A15] D. Arbet and V. Stopjaková. Parametric Tests and Fault Detection in Mixed-Signal Sub-Circuits. In Počítačové architektury a diagnostika 2010 : Česko-slovenský seminár pro studenty doktorského studia. Češkovice, Univerzita Tomáše Bati ve Zlíne, 2010., pp. 9–14, 2010.
- [A16] D. Arbet and V. Stopjaková. OBIST Strategy Versus Parametric Test Efficiency Evaluation. *Trilobit*, 2, 2012.
- [A17] J. Mihálov, V. Stopjaková, L. Nagy, G. Gyepes, and D. Arbet. Investigation of 4th Order Loop Filter Bahavior with the First Discrete Time Integrator. In AIM 2009. International Symposium on Advances in Mechatronics : Brno, Czech Republic, pp. 30– 37, 2009.
- [A18] D. Arbet and V. Stopjaková. Fault Detection in R-2R Ladder D/A Converter Using Parametric Test Methods. In ELITECH 10 : 12th Conference of Doctoral Students. Bratislava, Slovak Republic, Bratislava : STU v Bratislave, 2010., 2010.

Zoznam použitej literatúry

- [1] W. Kuo, "Challenges related to reliability in nano electronics," *Reliability, IEEE Transactions* on, vol. 55, pp. 569–570, December 2006.
- [2] M. H., "Test Requirements for Today's and Future Circuits: A Perspective," in *Proceedings* of *Electronic circuits and Systems*, pp. 1–10, 2005.
- [3] "The international Technology Roadmap for Semiconductors," November 2011.
- [4] M. Karmani, C. Khedhiri, and B. Hamdi, "Design and test challenges in Nano-scale analog and mixed CMOS technology," *International Journal of VLSI design and Communication* Systems (VLSICS), vol. 2, pp. 33–43, June 2011.
- [5] L. Lewyn, T. Ytterdal, C. Wulff, and K. Martin, "Analog circuit design in nanoscale cmos technologies," *Proceedings of the IEEE*, vol. 97, pp. 1687–1714, October 2009.
- [6] S. R. Das, J. Zakizadeh, S. Biswas, M. H. Assaf, A. R. Nayak, E. M. Petriu, W. B. Jone, and M. Sahinoglu, "Testing Analog and Mixed-Signal Circuits With Built-In Hardware mdash;A New Approach," *Instrumentation and Measurement, IEEE Transactions on*, vol. 56, pp. 840 –855, june 2007.
- [7] K. Arabi and B. Kaminska, "Oscillation-test strategy for analog and mixed-signal integrated circuits," in VLSI Test Symposium, 1996., Proceedings of 14th, pp. 476–482, apr-1 may 1996.
- [8] K. Arabi, B. Kaminska, and S. Sunter, "Design for testability of integrated operational amplifiers using oscillation-test strategy," in *Computer Design: VLSI in Computers and Processors*, 1996. ICCD '96. Proceedings., 1996 IEEE International Conference on, pp. 40–45, oct 1996.
- [9] K. Arabi and B. Kaminska, "Parametric and catastrophic fault coverage of analog circuits in oscillation-test methodology," in VLSI Test Symposium, 1997., 15th IEEE, pp. 166–171, apr-1 may 1997.
- [10] K. Arabi and B. Kaminska, "Oscillation Built-In Self Test (OBIST) Scheme for Functional and Structural Testing of Analog and Mixed-Signal Integrated Circuits," in *Proceedings of the IEEE International Test Conference*, (Washington, DC, USA), pp. 786–795, IEEE Computer Society, 1997.
- [11] G. Huertas, D. Vazquez, A. Rueda, and J. Huertas, "Effective oscillation-based test for application to a DTMF filter bank," in *Test Conference*, 1999. Proceedings. International, pp. 549 -555, 1999.

- [12] G. Huertas, D. Vazquez, E. Peralias, A. Rueda, and J. Huertas, "Practical oscillation-based test of integrated filters," *Design Test of Computers, IEEE*, vol. 19, pp. 64 – 72, nov/dec 2002.
- [13] A. Chaehoi, Y. Bertrand, L. Latorre, and P. Nouet, "Improving the Efficiency of the Oscillation-Based Test Methodology for Parametric Faults," 2003.
- [14] T. Balen, J. Andrade, AntonioQ., F. AzaÏs, M. Lubaszewski, and M. Renovell, "Applying the Oscillation Test Strategy to FPGA's Configurable Analog Blocks," *Journal of Electronic Testing*, vol. 21, pp. 135–146, 2005.
- [15] D. Vazquez, G. Huertas, G. Leger, A. Rueda, and J. Huertas, "Practical solutions for the application of the oscillation-based-test in analog integrated circuits," in *Circuits and Sys*tems, 2002. ISCAS 2002. IEEE International Symposium on, vol. 1, pp. I–589 – I–592 vol.1, 2002.
- [16] G. Huertas, D. Vázquez, A. Rueda, and J. L. Huertas, "Oscillation-based test in bandpass oversampled A/D converters," *Microelectronics Journal*, vol. 34, no. 10, pp. 927 – 936, 2003.
- [17] G. Peretti, E. Romero, and C. Marques, "Oscillation-Based Test in High-Order Switched Capacitors Ladder Filters," in *Devices, Circuits and Systems, Proceedings of the 6th International Caribbean Conference on*, pp. 61–66, april 2006.
- [18] E. Romero, G. Peretti, G. Huertas, and D. Vázquez, "Test of switched-capacitor ladder filters using OBT," *Microelectronics Journal*, vol. 36, no. 12, pp. 1073–1079, 2005.
- M. Harris, "VLSI Testing; Digital and Mixed Analogue/Digital Techniques; by S.L. Hurst; The Institution of Electrical Engineers, London, 1988 (reprinted with corrections), 532 pp., ISBN 0-85296-901-5, £48.00," *Microelectronics Journal*, vol. 30, no. 8, pp. 808 -, 1999.
- [20] K. Arabi and B. Kaminska, "Oscillation-test methodology for low-cost testing of active analog filters," *Instrumentation and Measurement, IEEE Transactions on*, vol. 48, pp. 798–806, aug 1999.
- [21] K. Arabi, "Mixed-signal BIST: fact or fiction," in Test Conference, 2002. Proceedings. International, p. 1200, 2002.
- [22] D. Vazquez, A. Rueda, and J. Huertas, "A new strategy for testing analog filters," in VLSI Test Symposium, 1994. Proceedings., 12th IEEE, pp. 36–41, apr 1994.
- [23] M. Soma and V. Kolarik, "A design-for-test technique for switched-capacitor filters," in VLSI Test Symposium, 1994. Proceedings., 12th IEEE, pp. 42–47, apr 1994.
- [24] M. Zarnik, F. Novak, and S. Macek, "Design of oscillation-based test structures for active RC filters," *Circuits, Devices and Systems, IEEE Proceedings* -, vol. 147, pp. 297–302, oct 2000.

- [25] D. Vázquez, G. Huertas, G. Leger, E. Peralías, A. Rueda, and J. L. Huertas, "On-Chip Evaluation of Oscillation-Based-Test Output Signals for Switched-Capacitor Circuits," *Analog Integr. Circuits Signal Process.*, vol. 33, pp. 201–211, Nov. 2002.
- [26] K. Arabi, I. Kaminska, and J. Rzeszut, "BIST for D/A and A/D converters," Design Test of Computers, IEEE, vol. 13, pp. 40–49, winter 1996.
- [27] B. Kaminska and K. Arabi, "Mixed signal DFT: a concise overview," in Computer Aided Design, 2003. ICCAD-2003. International Conference on, pp. 672 – 679, nov. 2003.
- [28] G. Huertas, D. Vazquez, E. Peralias, A. Rueda, and J. Huertas, "Testing mixed-signal cores: a practical oscillation-based test in an analog macrocell," *Design Test of Computers, IEEE*, vol. 19, pp. 73–82, nov.-dec. 2002.
- [29] U. Kač and F. Novak, "Oscillation Test Scheme of SC Biquad Filters Based on Internal Reconfiguration," *Journal of Electronic Testing*, vol. 23, pp. 485–495, 2007.
- [30] J. Font, J. Ginard, E. Isern, M. Roca, J. Segura, and E. García, "Oscillation-Test Technique for CMOS Operational Amplifiers by Monitoring Supply Current," *Analog Integr. Circuits Signal Process.*, vol. 33, pp. 213–224, nov 2002.
- [31] J. Font, J. Ginard, R. Picos, E. Isern, J. Segura, M. Roca, and E. García, "A BICS for CMOS OpAmps by Monitoring the Supply Current Peak," *Journal of Electronic Testing*, vol. 19, pp. 597–603, 2003.
- [32] B. Kaminska, K. Arabi, I. Bell, P. Goteti, J. Huertas, B. Kim, A. Rueda, and M. Soma, "Analog and mixed-signal benchmark circuits-first release," in *Test Conference*, 1997. Proceedings., International, pp. 183–190, nov 1997.
- [33] J. Wibbenmeyer and C.-I. Chen, "Built-In Self-Test for Low-Voltage High-Speed Analogto-Digital Converters," *Instrumentation and Measurement, IEEE Transactions on*, vol. 56, pp. 2748 –2756, dec. 2007.
- [34] H. Xing, H. Jiang, D. Chen, and R. Geiger, "High-Resolution ADC Linearity Testing Using a Fully Digital-Compatible BIST Strategy," *Instrumentation and Measurement, IEEE Transactions on*, vol. 58, pp. 2697–2705, aug. 2009.
- [35] "IEEE Draft Standard for Terminology and Test Methods of Digital-to-Analog Converter Devices," *IEEE P1658/D8.8, June 2011*, pp. 1–127, 28 2011.
- [36] K. Arabi, B. Kaminska, and M. Sawan, "On chip testing data converters using static parameters," Very Large Scale Integration (VLSI) Systems, IEEE Transactions on, vol. 6, pp. 409 -419, sept. 1998.
- [37] J. Ramesh, M. Srinivasulu, and K. Gunavathi, "A novel on chip circuit for fault detection in digital to analog converters," in *Control, Automation, Communication and Energy Conser*vation, 2009. INCACEC 2009. 2009 International Conference on, pp. 1–8, june 2009.

- [38] J.-L. Huang, C.-K. Ong, and K.-T. Cheng, "A BIST scheme for on-chip ADC and DAC testing," in *Design*, Automation and Test in Europe Conference and Exhibition 2000. Proceedings, pp. 216 –220, 2000.
- [39] K. Arabi, B. Kaminska, and J. Rzeszut, "A New Built-in Self-test Approach For Digital-toanalog And Analog-to-digital Converters," in *Computer-Aided Design*, 1994., IEEE/ACM International Conference on, pp. 491–494, nov 1994.
- [40] E. Teraoka, T. Kengaku, I. Yasui, K. Ishikawa, T. Matsuo, H. Wakada, N. Sakashita, Y. Shimazu, and T. Tokuda, "A built-in self-test for ADC and DAC in a single-chip speech CO-DEC," in *Test Conference*, 1993. Proceedings., International, pp. 791–796, oct 1993.
- [41] C. W. Lin, S. F. Lin, and S. F. Luo, "A new approach for nonlinearity test of high speed DAC," in Mixed-Signals, Sensors, and Systems Test Workshop, 2008. IMS3TW 2008. IEEE 14th International, pp. 1-5, june 2008.
- [42] C. W. Lin and S. F. Lin, "A BIST scheme for testing DAC," in Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON), 2012 9th International Conference on, pp. 1–4, may 2012.
- [43] E. J. Peralías, A. Rueda, and J. L. Huertas, "New BIST Schemes for Structural Testing of Pipelined Analog to Digital Converters," *Journal of Electronic Testing*, vol. 17, pp. 373–383, 2001. 10.1023/A:1012747017838.
- [44] Y. Jun and T. Masayoshi, "A BIST scheme based on resistance match for current-mode R-2R ladder Digital-to-Analog Converter," in *Computer Research and Development (ICCRD)*, 2011 3rd International Conference on, vol. 3, pp. 305–309, march 2011.