

SLOVENSKÁ TECHNICKÁ UNIVERZITA V BRATISLAVE
Fakulta elektrotechniky a informatiky
Ústav elektroniky a fotoniky

Metódy zvyšovania kvality parametrických testov pre analógové integrované obvody

Methods for improving the quality of parametric
tests for analog integrated circuits

Autoreferát dizertačnej práce
na získanie vedecko-akademickej hodnosti Philosophiae Doctor (PhD.)

v odbore doktorandského štúdia: 5.2.13 Elektronika
v študijnom programe: Mikroelektronika

Evidenčné číslo: FEI-10842-19530

autor: Ing. Juraj Brenkuš
školiťka: prof. Ing. Viera Stopjaková, PhD.

Bratislava, júl 2013

Dizertačná práca bola vypracovaná na Ústave elektroniky a fotoniky Fakulty elektrotechniky a informatiky Slovenskej technickej univerzity v Bratislave.

doktorand: **Ing. Juraj Brenkuš**

Ústav elektroniky a fotoniky
Fakulta elektrotechniky a informatiky
Slovenská technická univerzita v Bratislave
Ilkovičova 3, 812 19 Bratislava

školiťka: **prof. Ing. Viera Stopjaková, PhD.**

Ústav elektroniky a fotoniky
Fakulta elektrotechniky a informatiky
Slovenská technická univerzita v Bratislave
Ilkovičova 3, 812 19 Bratislava

oponenti: **prof. Ing. Miroslav Husák, CSc.**

Katedra mikroelektroniky
Fakulta elektrotechnická
České vysoké učení technické v Praze
Technická 2, 166 27 Praha 6, Česká republika

doc. RNDr. Elena Gramatová, CSc.

Ústav počítačových systémov a sietí
Fakulta informatiky a informačných technológií
Slovenská technická univerzita v Bratislave
Ilkovičova 3, 842 16 Bratislava

Autoreferát bol rozoslaný dňa:

Obhajoba dizertačnej práce sa koná dňaohod. na
Fakulte elektrotechniky a informatiky Slovenskej technickej univerzity v Bratislave, Ilkovičova 3, 812 19 Bratislava, pred komisiou pre obhajoby dizertačných prác v odbore doktorandského štúdia 5.2.13 Elektronika.

Predseda odborovej komisie
prof. Ing. Daniel Donoval, DrSc.
FEI STU, Ilkovičova 3
812 19 Bratislava

Obsah

Úvod	2
1 Súčasný stav problematiky	3
2 Ciele dizertačnej práce	6
3 Návrh metodiky poruchovej simulácie	7
3.1 Návrh metódy počítania impedancií	7
3.2 Koncept navrhnutej metodiky	8
3.2.1 Metóda počítania impedancií	8
3.2.2 Metodika impedančných poruchových simulácií	9
3.2.3 Využitie navrhnutej metodiky	10
3.2.4 Podporné skripty pre implementáciu metodiky	11
4 Rozvoj štrukturálnych a parametrických testov analógových IO	12
4.1 Využitie impedančných poruchových simulácií	12
4.1.1 Aplikované testy a proces poruchovej analýzy	12
4.1.2 Zvýšenie účinnosti testov	14
4.2 Prúdové testovanie	15
4.2.1 Oneskorenia na vedeniach	16
5 Experimentálna časť	17
5.1 Experiment I	17
5.1.1 Výpočet operačného bodu	18
5.1.2 Symetrické matice	19
5.1.3 Nesymetrické matice	20
5.2 Experiment II	22
5.2.1 Poruchová analýza obvodu	22
6 Zhrnutie dosiahnutých výsledkov a prínosov	25
7 Záver	26
8 Summary	27
Zoznam publikácií autora	30
Zoznam literatúry použitej v autoreferáte	32

Úvod

Účinné testy sú nevyhnutnou súčasťou moderného procesu výroby integrovaných obvodov (IO). Primárnym cieľom testovania je klasifikovať vyrobené obvody na poruchové a bezporuchové. Druhou dôležitou úlohou testovania je získanie informácií, ktoré môžu byť použité na zvýšenie výťažnosti výrobného procesu a tým aj na zníženie celkových výrobných nákladov.

Systematické metodiky testovania IO sú vyvíjané už viac ako tri desaťročia. Zdokonaľovanie výrobných procesov však kladie stále vyššie nároky na kvalitu a univerzálnosť testovacích metód. Aj vďaka tomu sa testovanie analógových a zmiešaných IO a systémov dostalo do centra pozornosti priemyslu a výskumných inštitúcií. Pre moderné obvody je proces testovania úzko prepojený so všetkými úrovňami ich návrhu a integrácie. Kvôli ekonomickému dopadu na výrobu sa však najväčší dôraz kladie na test na úrovni kremíkových dosiek a finálny produkčný test. Testovací proces na úrovni kremíkových dosiek je väčšinou zameraný na rýchle a teda lacné testy, ktoré poskytujú dostatočné pokrytie porúch. Produkčný test používa metódy zamerané na overenie všetkých parametrov obvodu podľa zákaznickej špecifikácie.

Cena testu tvorí nezanedbateľný podiel na celkových výrobných nákladoch. Aj keď analógové a zmiešané bloky zvyčajne netvoria veľkú časť systému (v porovnaní s digitálnymi), ich účinný test môže významne zvýšiť výslednú cenu IO. Preto je dôležité, aby bolo testovanie jednotlivých blokov brané do úvahy už vo fáze návrhu obvodu a adekvátne tomu bol prispôsobený samotný návrh. S týmto krokom úzko súvisia aj poruchové simulácie, ktoré sú pre analógové obvody často jediným spôsobom vyhodnotenia vplyvu prípadnej poruchy na činnosť obvodu. Nakoľko však tieto simulácie môžu byť časovo veľmi náročné, značná pozornosť sa venuje metodike a optimalizácii samotných poruchových simulácií. Testovaniu analógových obvodov a metodike poruchových simulácií, ktorá je založená na vyhodnocovaní impedancií, resp. odporov v testovanom analógovom obvode je venovaná aj táto dizertačná práca.

1 Súčasný stav problematiky

Keďže moderné integrované obvody a systémy sú stále zložitejšie, úroveň riaditeľnosti a pozorovateľnosti ich vnútorných uzlov klesá a testovanie takýchto systémov môže byť veľmi obtiažne. V súčasnosti sa počet tranzistorov na najväčších čipoch pohybuje na úrovni 10^9 až 10^{10} , pričom v najbližších 10-tich rokoch sa predpokladá až ich 30-násobný nárast [1]. Navyše sa predpokladá aj prudký nárast počtu tranzistorov prislúchajúcich na jeden pin, nakoľko medziročný nárast počtu pinov IO je na úrovni približne 11%. Z uvedeného vyplýva, že testovacie techniky akými sú napr. metódy DfT, či vstavané samočinné testovanie - tzv. BIST (z anglického *Built-In Self Test*) budú stále viac potrebné a využívané pre udržanie vysokej účinnosti a kvality testu. Naviac mnohé osvedčené a dobre známe testovacie metódy narážajú v pokročilých výrobných technológiách na obmedzenia, ktoré z praktického i ekonomického hľadiska sťažujú a niekedy až znemožňujú ich použitie. Práve tu sa výhodne uplatňujú parametrické testy, ktoré sledujú vybraný parameter obvodu (vhodne zvolený vzhľadom na typ a charakter obvodu) [2, 3], nakoľko poskytujú vysoké pokrytie porúch za relatívne krátky čas.

Do tejto skupiny testov patrí aj monitorovanie prúdovej spotreby, ktoré sa delí na statické (*dc*) a dynamické (*ac, tran*). Táto metóda sa osvedčila hlavne pri detekcii katastrofických porúch v číslicových integrovaných obvodoch [4–6]. Aj v oblasti analógových obvodov nachádza táto metóda stále širšie využitie, nakoľko okrem katastrofických porúch má potenciál aj v odhaľovaní parametrických porúch [7–9]. Monitorovanie prúdu odoberaného z napájacieho zdroja v statickom režime testovaného obvodu sa označuje ako *I_{DDQ} testovanie* [4, 10, 11]. Pri tejto metóde vychádzame z predpokladu, že prítomnosť poruchy (katastrofickej alebo parametrickej) v obvode spôsobí zvýšený odber prúdu zo zdroja. V moderných submikrometrových technológiách však táto metóda naráža na problém vysokého zvodového prúdu [11]. Jedným zo spôsobov prekonania tohto obmedzenia je použitie tzv. ΔI_{DDQ} prístupu [12]. Metóda prúdových príznakov je založená na vyhodnocovaní tvaru obálky nameraných prúdov [13]. Jej matematické vylepšenie je publikované v [14]. V prístupe publikovanom v [15, 16] je rozhodovacia úroveň daná

polohou čipu na kremíkovej doske. Grafická I_{DDQ} metóda publikovaná v [17] odstraňuje body ležiace mimo prúdového príznaku, ale vyžaduje vizuálnu kontrolu výsledných dát. Tzv. *komplementárne* ΔI_{DDQ} testovanie je postavené na modifikovanom generovaní testovacích vektorov a jednoduchom spracovaní nameraných dát [18]. V [19] je prezentovaná metóda nazývaná σI_{DDQ} , ktorá kombinuje funkciu odhadu strednej hodnoty zvodového prúdu a algoritmus na klasifikáciu čipov podľa nameraných dát. Z pohľadu implementácie samotného merania prúdovej spotreby je možné uvažovať buď realizáciu priamo na čipe, či v tesnej blízkosti čipu alebo pomocou ATE [20–22].

S vývojom testu úzko súvisí problematika poruchových simulácií. Pre vývoj testov založených na priamom či nepriamom meraní impedancie, resp. odporu je dôležitá aplikácia časovo efektívnej matematickej metódy. Najčastejšie používanými klasickými numerickými metódami riešenia systému lineárnych rovníc sú Gaussova eliminácia a trojuholníková dekompozícia, tiež nazývaná LU faktorizácia [23]. Alternatívna výpočtová metóda založená na vlastných číslach a vlastných vektorech matice uzlových admitancií \mathbf{Y} bola publikovaná v [24]. Vzťah pre výpočet odporu medzi uzlami α a β obvodu s celkovým počtom uzlov N bol definovaný ako

$$R_{\alpha\beta} = \sum_{i=2}^N \frac{1}{\lambda_i} |\psi_{i\alpha} - \psi_{i\beta}|^2, \quad (1.1)$$

kde λ_i je i -te vlastné číslo matice \mathbf{Y} a $\psi_{i\alpha}$ a $\psi_{i\beta}$ sú príslušné komponenty i -teho vlastného vektora matice \mathbf{Y} . Tento vzťah je však aplikovateľný iba na symetrické reálne matice, teda na odporové siete. Rozšírenie na symetrické komplexné matice, teda na RLC siete, bolo publikované Tzengom v roku 2006 [25]. Podmienkou pre aplikovateľnosť vzťahu 1.1 opísaného v [24] bolo, že matica \mathbf{Y} je Hermitovská, teda že je rovná svojmu komplexne združenému transponovanému obrazu. V prípade symetrickej reálnej matice je táto podmienka splnená, neplatí to však pre symetrickú komplexnú maticu. Tzeng vo svojom riešení pracoval s upravenou maticou $\mathbf{Y}^*\mathbf{Y}$, kde matica \mathbf{Y}^* je komplexne združenou k matici \mathbf{Y} . Pre komplexnú impedanciu Z medzi uzlami α a β potom platí vzťah:

$$Z_{\alpha\beta} = \sum_{i=2}^N \frac{1}{\lambda_i} (u_{i\alpha} - u_{i\beta})^2, \quad (1.2)$$

kde $\lambda_i = \sqrt{\sigma_i}$ a \mathbf{u}_i je riešením rovnice

$$\mathbf{Y}\mathbf{u}_i = \lambda_i\mathbf{u}_i^* \quad (1.3)$$

pre $i = 1, \dots, N$. Takto upravený vzťah je použiteľný na výpočet komplexnej impedancie v pasívnom RLC obvode. Obmedzenie na pasívne obvody je dané platnosťou metódy iba na symetrické matice \mathbf{Y} .

2 Ciele dizertačnej práce

S uvážením vyššie uvedených poznatkov, ako i z nich vyplývajúcich požiadaviek a potrieb v oblasti poruchových simulácií a návrhu parametrických testov pre analógové a zmiešané integrované obvody, boli ciele nášho výskumu stanovené nasledovne:

- Analýza metód modelovania porúch a poruchových simulácií aplikovateľných pri vývoji parametrických testov analógových integrovaných obvodov.
- Návrh metodiky počítania impedancií v analógových a zmiešaných obvodoch s nesymetrickými maticami uzlových admitancií.
- Návrh metodiky poruchových simulácií analógových a zmiešaných obvodov založených na počítaní impedancií.
- Preukázanie časovej efektivity navrhnutej metodiky počítania impedancií v analógových a zmiešaných obvodoch s nesymetrickými maticami uzlových admitancií.
- Overenie účinnosti navrhnutej metodiky impedančných poruchových simulácií pri zvyšovaní kvality parametrického testu analógového integrovaného obvodu.

3 Návrh metodiky poruchovej simulácie

3.1 Návrh metódy počítania impedancií

V tejto kapitole uvidíme nami navrhnutú metódu počítania impedancií, ktorú je možné výhodne použiť na vykonanie poruchových simulácií analógových obvodov. Tento prístup predstavuje rozšírenie metódy opísanej v [25] na skupinu nesymetrických matíc, čo umožňuje jeho aplikáciu aj na obvody obsahujúce aktívne súčiastky (napr. MOS tranzistory). Ak je matica uzlových admitancií obvodu \mathbf{Y} nesymetrická, značí to, že v obvode sa nachádza aktívny prvok modelovaný pomocou riadeného zdroja. Takýmto prvkom je napríklad MOS tranzistor. Matica uzlových admitancií takéhoto prvku však nie je Hermitiánom, teda nerovná sa svojmu komplexne združenému transponovanému obrazu. Navyše nie je ani symetrická, čo má za následok, že vzťah 1.2 nie je možné použiť. Preto sme v spolupráci s Ústavom informatiky a matematiky FEI STU navrhli riešenie pre nesymetrické matice, ktoré je založené na počítaní vlastných čísel a vlastných vektorov, podobne ako je tomu v prípade [24] a [25]. Navrhnutá metóda však neuvažuje iba pravé vlastné vektory prislúchajúce matici \mathbf{Y} . Aby sa zohľadnila nesymetria matice, pracujeme tu s pravými i ľavými vlastnými vektormi matice \mathbf{Y} . Takýmto rozšírením je možné vzťah pre výpočet komplexnej impedancie medzi ľubovoľnými dvomi uzlami v obvode zdefinovať nasledovne:

$$Z_{\alpha\beta} = \sum_{i=2}^N \frac{1}{\lambda_i \varphi_i^* \psi_i} (\varphi_{i\alpha} - \varphi_{i\beta})(\psi_{i\alpha} - \psi_{i\beta}), \quad (3.1)$$

kde $\varphi_i^* \psi_i$ značí skalárny súčin i -teho ľavého a pravého vlastného vektora matice, λ_i je i -te vlastné číslo prislúchajúce týmto vektorom a $\varphi_{i\alpha}$, $\varphi_{i\beta}$, $\psi_{i\alpha}$ a $\psi_{i\beta}$ sú príslušné komponenty i -tych vlastných vektorov matice \mathbf{Y} . V dôsledku špecifických vlastností matice \mathbf{Y} (súčet po riadkoch ako aj po stĺpcoch je rovný nule), je vždy jedno vlastné číslo rovné nule. Toto vlastné číslo teda nemá zmysel uvažovať vo vzťahu 3.1, a preto je spodná limita sumy $i = 2$. Takto zdefinovaný vzťah je aplikovateľný na všetky druhy matíc uzlových admitancií, ktoré môžu vzniknúť, teda od reálnej symetrickej až po komplexnú nesymetrickú.

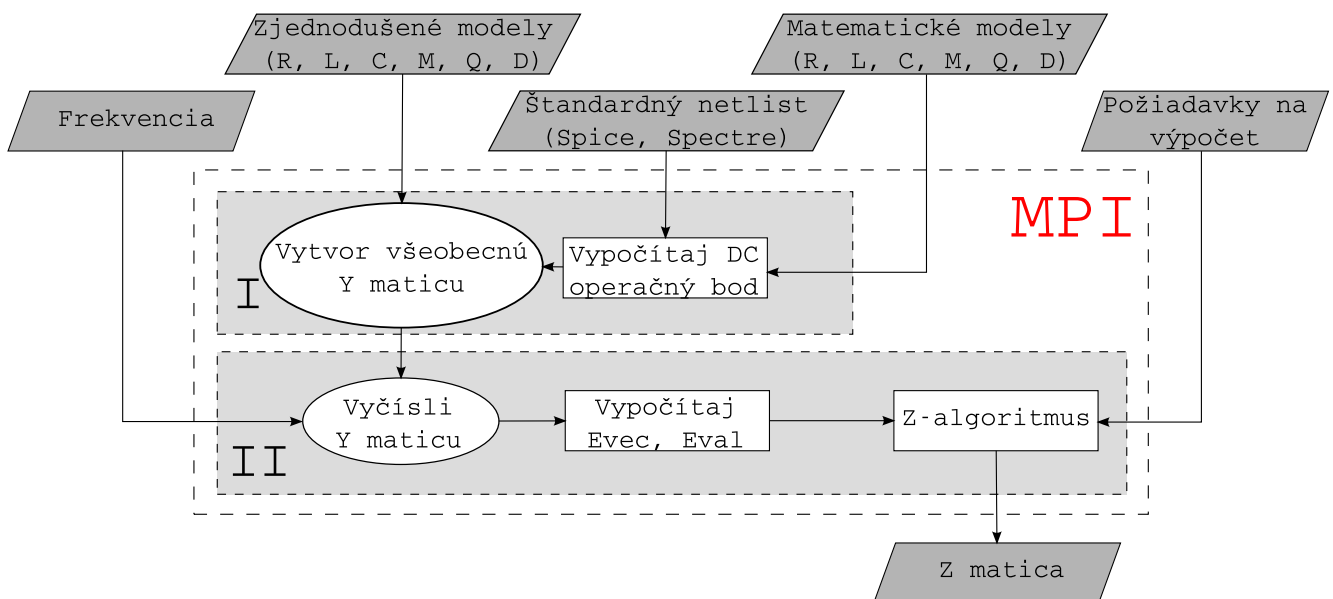
3.2 Koncept navrhnutej metodiky

V tejto kapitole uvedieme koncept navrhnutej metodiky poruchových simulácií obvodov použitím procesu počítania impedancií založeného na aplikácii vzťahu 3.1. Táto metodika je aplikovateľná na ľubovoľný typ \mathbf{Y} matice obvodu (symetrická, nesymetrická, reálna, či komplexná). Pre nelineárne obvody je aplikovateľná na linearizovaný model v určitom operačnom bode.

3.2.1 Metóda počítania impedancií

Na obrázku 3.1 je zobrazený základný koncept navrhnutej metódy počítania impedancií (MPI). Celý koncept sa skladá z dvoch hlavných častí, ktoré sú označené ako I a II. Požadovanými vstupmi do časti I sú:

- opis obvodu vo forme štandardného netlistu
- matematické modely obvodových prvkov pre účely simulácií
- zjednodušené modely obvodových prvkov pre vytvorenie \mathbf{Y} matice



Obr. 3.1: Navrhnutý algoritmus počítania impedancií.

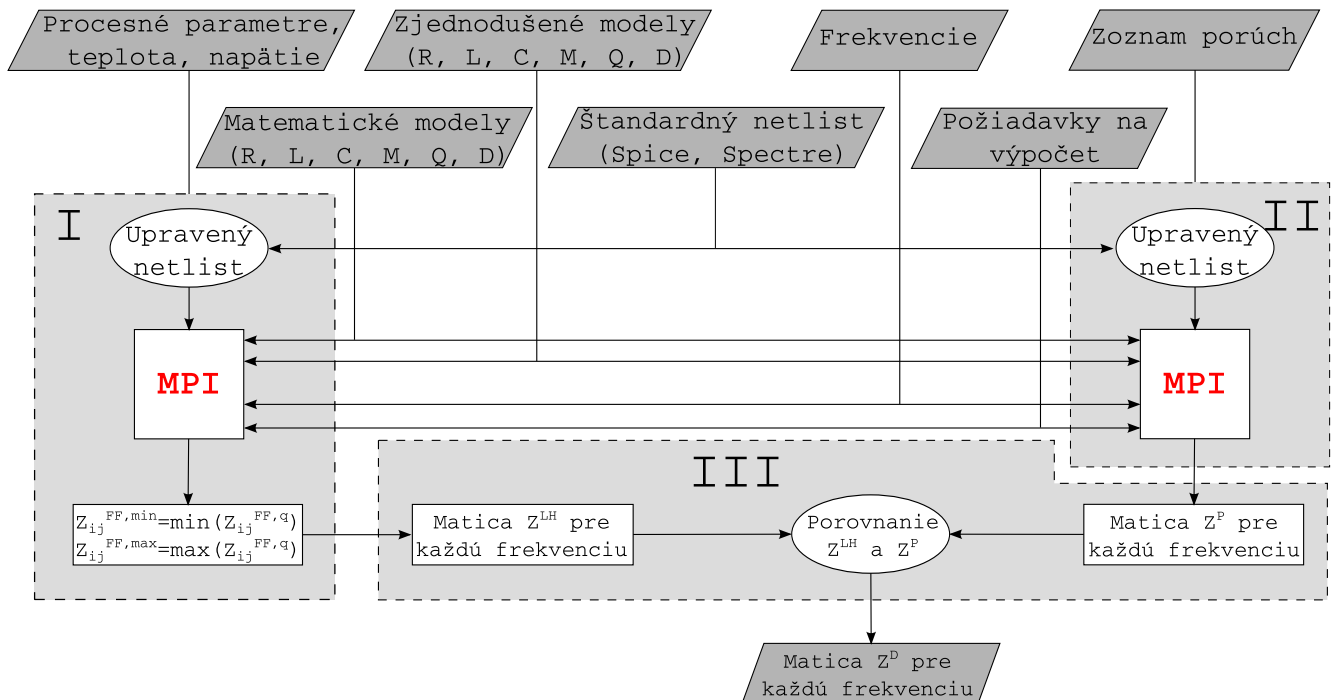
V prvom kroku sa na základe opisu obvodu (netlistu) a matematických modelov jednotlivých súčiastok vypočíta jednosmerný operačný bod obvodu využitím štandardného obvodového simulátora. Výstupom sú hodnoty parametrov jednotlivých obvodových komponentov, ako napríklad odpor, kapacita a parazitné kapa-

city, vodivosti, či prenosové vodivosti g_m a g_{mbs} v prípade MOS tranzistora. Pomocou údajov získaných v operačnom bode a zjednodušených modelov príslušných obvodových prvkov je následne možné zostaviť náhradnú schému obvodu, ktorá slúži ako základ pre vytvorenie \mathbf{Y} matice obvodu.

V ďalšom kroku je z takto zostavenej reprezentácie obvodu možné vytvoriť všeobecnú \mathbf{Y} maticu. Túto maticu nazývame všeobecnou z dôvodu ponechania frekvencie f ako premennej v prvkoch matice, čo umožňuje jej využitie pre výpočet impedancií na rôznych frekvenciách bez nutnosti opätovného generovania celej matice. Takto skonštruovaná matica tvorí výstup prvej časti navrhnutej metodiky pre výpočet impedancií.

3.2.2 Metodika impedančných poruchových simulácií

S využitím vyššie opísanej metódy počítania impedancií sme navrhli novú metodiku pre realizáciu poruchových simulácií analógových obvodov. Základný koncept navrhnutej metodiky je predstavený na obrázku 3.2.



Obr. 3.2: Koncept navrhnutej metodiky poruchových impedančných simulácií.

Tento koncept sa skladá z troch hlavných častí – procesov, označených I, II a III. V procese I sa vykonávajú simulácie bezporuchového obvodu, zatiaľ čo proces II sa venuje simuláciám poruchového obvodu. V rámci procesu III sa zrealizuje

porovnanie a vyhodnotenie výstupov získaných v rámci prvých dvoch procesov. Okrem vstupov požadovaných pre počítanie impedancií je potrebný aj zoznam procesných parametrov vrátane ich rozptylu a taktiež zoznam porúch.

3.2.3 Využitie navrhutej metodiky

Vyššie opísaná metóda počítania impedancií umožňuje v prvom rade vyčíslieť impedanciu medzi ľubovoľnými uzlami obvodu. To je možné využiť na viacerých úrovniach celkového procesu návrhu integrovaného obvodu a následne aj jeho testu.

Z pohľadu testovateľnosti obvodov a prípravy testu je možné navrhnutú metodiku poruchových simulácií vo všeobecnosti využiť v dvoch úrovniach:

1. pred návrhom topografie obvodu (tzv. *pre-layout stage*),
2. po návrhu topografie obvodu (tzv. *post-layout stage*).

V prvej fáze návrhu obvodu je možné aplikáciou tejto metodiky zistiť účinnosť pokrytia porúch na určitej dvojici (dvojiciach) uzlov. V prípade potreby je možné následne zvýšiť pokrytie porúch na požadovanú úroveň, a to zaradením vhodného DfT hardvéru do obvodu. V tejto fáze je však k dispozícii iba elektrická schéma zapojenia obvodu, takže pri tvorbe zoznamu porúch nie je možné zohľadniť priestorové rozloženie jednotlivých komponentov a prepojovacích vodičov, ktoré bude definované až pri návrhu fyzickej implementácie (topografie) obvodu. Úplný zoznam všetkých možných porúch (neuvažujúc parametrické) by bol príliš rozsiahly, pričom veľa z nich by malo nízku pravdepodobnosť vzniku. Preto je pri tvorbe zoznamu porúch vhodnejšie uvažovať iba najpravdepodobnejšie mechanizmy zlyhania pre danú technológiu a defekty lokalizovať iba na základných obvodových prvkoch, teda napr. na tranzistoroch, rezistoroch, resp. medzi ich terminálmi.

Aplikácia metodiky vo fáze návrhu topografie obvodu je založená na vyhodnotení pokrytia porúch, ktoré sú extrahované priamo z jeho aktuálnej fyzickej implementácie v danej technológii. Tým vytvoríme oveľa realistickejší zoznam porúch, kde sú poruchy zoradené podľa pravdepodobnosti ich vzniku (napr. využitím metódy počítania tzv. kritickej plochy). V tejto fáze je možné iba vyhodnotenie pokrytia porúch bez úprav v obvode a prípadné doplnenie merania na ďalších dvojiciach uzlov.

V oboch prípadoch je cieľom použitia navrhnutej metodiky časové zefektívnenie vyhodnotenia pokrytia porúch daným testom, ako aj prípadné zvýšenie celkového pokrytia porúch či už úpravou v samotnom obvode alebo zmenou, príp. doplnením testovacej sekvencie.

3.2.4 Podporné skripty pre implementáciu metodiky

Za účelom podpory priamočiarej implementácie metodiky a urýchlenia procesu poruchovej analýzy obvodu bola vytvorená sada skriptov, ktoré zjednodušujú spracovanie vstupných dát, riadia proces vykonávania simulácií a spracovania získaných výstupov, riadia samotný výpočet impedancií ako aj tvorbu výsledných matíc detegovaných porúch. Tieto skripty sú napísané v nasledovných jazykoch: *Bash*, *Csh*, *Ocean* a *Octave*.

Skripty v prvej skupine sú vytvorené v jazykoch *Bash* a *Csh*. Nachádzajú sa tu všetky skripty zabezpečujúce kontrolu celého procesu poruchovej analýzy na najvyššej úrovni, teda slúžia napríklad na spúšťanie ďalších skriptov určených na čiastkové úlohy v rámci analýzy, napr. na načítanie, spracovanie či uloženie špecifických dát a pod. Jednou z úloh týchto skriptov je spracovať vstupný netlist (opis obvodu), ktorý je väčšinou k dispozícii v hierarchickom formáte. Pre zjednodušenie ďalších operácií je preto tento netlist prevedený na tzv. *flat*, čiže jednoúrovňový. Použitím upraveného netlistu skripty vygenerujú celú štruktúru netlistov potrebných pre bezporuchovú ako i poruchovú analýzu obvodu. Následne podľa zadaného počtu výpočtových jadier, ktoré sú k dispozícii, vytvoria spúšťacie skripty zabezpečujúce paralelné spúšťanie simulácií, čím je dosiahnuté ďalšie urýchlenie celého procesu poruchovej analýzy obvodu. Následne tieto skripty kontrolujú úlohy zabezpečované skriptmi z ďalších skupín, ktoré súvisia so spracovaním dát zo simulácií, ako i realizáciu samotného výpočtu impedancií a tvorbu príslušných matíc.

Skripty napísané v jazyku *Ocean* majú za úlohu načítanie a spracovanie dát z výstupných súborov simulátora a ich uloženie v upravenom formáte. Tieto dáta sa následne používajú ďalším skriptom na vytvorenie matice uzlových admitancií obvodu.

Poslednú skupinu tvoria skripty napísané v jazyku *Octave*. Tieto skripty majú

za úlohu realizáciu samotného výpočtu impedancií a tvorbu impedančných matic. Taktiež majú za úlohu vytvoriť matice \mathbf{Z}^{LH} vymedzujúce hranice pre bezporuchový obvod a ich porovnanie s impedančnými maticami poruchového obvodu \mathbf{Z}^P , a to pre každú poruchu (obrázok 3.2). Výsledkom tohto procesu je sada matic detekcií \mathbf{Z}^D , ktoré predstavujú výstup z navrhnutej metodiky a nesú informáciu o detegovaných resp. detegovateľných poruchách.

4 Rozvoj štrukturálnych a parametrických testov analógových IO

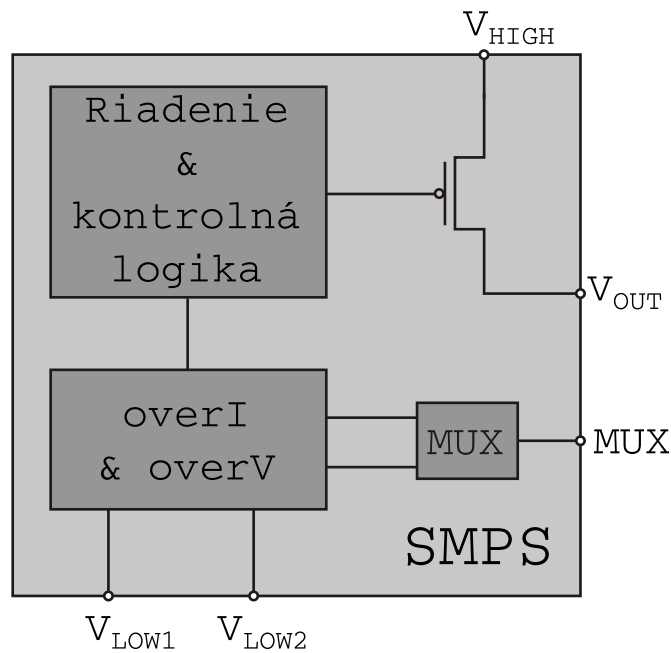
4.1 Využitie impedančných poruchových simulácií

Navrhnutá metodika poruchových simulácií na báze počítania impedancií, je aplikovateľná vo viacerých fázach návrhu integrovaného obvodu. Ako príklad pre demonštráciu jej možného využitia v *post-layout* fáze návrhu, uvažujme problém opísaný v [A12]. Predmetom záujmu je zmiešaný obvod strednej zložitosti, ktorého návrh bol už ukončený a produkčný test bol vydefinovaný bez využitia poruchových simulácií. Naším cieľom je teda vyčíslenie pokrytia porúch rôznych testov a následné definovanie možností skvalitnenia použitého testovacieho procesu.

Testovaný obvod predstavuje časť zložitejšieho systému na čipe určeného pre telekomunikačné aplikácie s napájacím napätím až 48 V. Jedná sa o spínaný zdroj (SMPS – z anglického *Switched Mode Power Supply*) realizovaný v $0,35\ \mu\text{m}$ CMOS technológii, ktorý zabezpečuje napájanie pre ostatné obvodové bloky. Celkovým počtom 1300 uzlov sa radí medzi obvody strednej zložitosti a vzhľadom na kombináciu analógových a číslicových obvodových častí predstavuje typický zmiešaný integrovaný systém. Na obrázku 4.1 sú zobrazené hlavné bloky tohto obvodu.

4.1.1 Aplikované testy a proces poruchovej analýzy

Východiskovým bodom pre poruchovú analýzu bol zoznam porúch vyextrahovaný z topografie obvodu. Vzhľadom na pravdepodobnosť vzniku rôznych defektov v danej technológii sa v tomto prípade uvažovali iba poruchy premostení na kovových prepojoch. Je to podmienené skutočnosťou, že daný obvod je vyrobený v technológii, ktorá používa hliníkové prepoje. Za účelom extrakcie zoznamu porúch



Obr. 4.1: Bloková schéma testovaného obvodu.

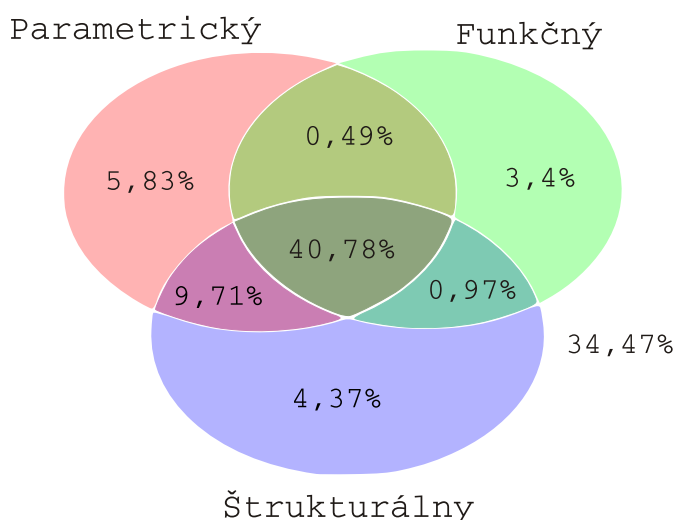
boli použitím nástroja *Calibre* do topografie obvodu pridané parazitné prvky príslušného rozmeru reprezentujúce defekt. Následne bola vyhodnotená plocha prekrytia parazitného prvku a kovového vodiča. Čím je prepoj dlhší, tým väčšia je aj plocha prekrytia, čo zodpovedá zvýšenej pravdepodobnosti vzniku takéhoto defektu. Výsledná veľkosť plochy prekrytia bola použitá ako váha pri zoraďovaní porúch v zozname. Nakoľko z poruchovej analýzy vyrobených obvodov vyplývalo, že vzniknutý defekt vykazuje odpor skratu s hodnotou $100\ \Omega$ až $500\ \Omega$, pre účely simulácií bol defekt modelovaný rezistorom s odporom $1\ k\Omega$. Hlavným cieľom bolo určiť pokrytie porúch, čiže efektivitu rôznych testovacích metód. Za týmto účelom boli vybrané reprezentatívne testy zo skupiny funkčných, štrukturálnych a parametrických prístupov. Testy z prvých dvoch skupín predstavovali reálny produkčný test, zatiaľ čo tretia skupina bola zahrnutá ako alternatívny prístup na doplnenie a skvalitnenie testovacieho procesu.

Funkčný test bol založený na odporúčaných pracovných podmienkach obvodu podľa jeho špecifikácie. Štrukturálny test pozostával zo sady meraní, ktoré boli zamerané na jednotlivé stavebné bloky testovaného obvodu. Zo skupiny možných parametrických testov bolo realizované meranie statického prúdového odberu, čiže I_{DDQ} .

Pre všetky vyššie opísané testy boli vykonané poruchové simulácie, pričom

do obvodu bola vždy vložená iba jedna porucha. Rozhodovacie úrovne boli pre posúdenie detegovateľnosti danej poruchy funkčným a štrukturálnym testom nastavené podľa špecifikácie obvodu. Pre parametrický test boli rozhodovacie úrovne nastavené na základe simulácií uvažujúcich rozptyl parametrov technológie (*corner analýza*).

Základným aspektom vyhodnotenia kvality jednotlivých prístupov bolo pokrytie porúch (PP) dosiahnuté príslušným testom. Navyiac na zohľadnenie ich účinnosti bol vyhodnocovaný aj počet detekcií za jednotku času (JDP), viacnásobné detekcie (VD) a unikátne detekcie (UD). Pokrytie porúch dosiahnuté jednotlivými prístupmi je podrobne znázornené na obrázku 4.2, zatiaľ čo ostatné aspekty vyhodnotenia účinnosti jednotlivých testov sú uvedené v tabuľke 4.1.



Obr. 4.2: Pokrytie porúch jednotlivých testovacích prístupov.

Tabuľka 4.1: Výsledky dosiahnuté jednotlivými testami.

	PP [%]	VD [%]	UD [%]	Relatívny čas	JDP_rel
funkčný	45,6	0	3,4	400	0,002
štrukturálny	55,8	28,1	4,3	40	0,025
parametrický	56,8	28,1	5,8	1	1

4.1.2 Zvýšenie účinnosti testov

Údaje vygenerované počas poruchových simulácií sa okrem aktuálneho vyhodnotenia pokrytia porúch jednotlivými testami dajú výhodne využiť aj na predefinovanie aktuálnej testovacej sekvencie, prípadne aj na jej doplnenie. Ako je

možné vidieť z vyššie uvedeného príkladu, pridaním monitorovania prúdovej spotreby obvodu by sa pokrytie porúch dalo zvýšiť na viac ako 65%. Toto rozšírenie testovacieho procesu síce nepredstavuje podstatné zlepšenie z pohľadu účinnosti, avšak s uvážením skutočnosti, že samotný parametrický test dosiahne pokrytie porúch viac ako 56% a jeho vykonanie trvá približne 400-krát kratšie ako v prípade funkčného testu, ktorý má navyše aj nižšiu účinnosť, by mohol byť prúdový test veľmi efektívne aplikovaný na začiatku testovacieho procesu. Navyše prúdový test poskytuje viacnásobné detekcie asi polovice detegovateľných porúch. Svojou rýchlosťou a dobrou detekčnou schopnosťou má dobré predpoklady na urýchlenie a zlacnenie celého testovacieho procesu. Nezanedbateľná je aj dobrá opakovateľnosť takýchto meraní a ich nenáročnosť z hľadiska potrebného testovacieho hardvéru.

Ďalším prínosom aplikovania navrhnutej metodiky poruchových simulácií je možnosť zdefinovania dodatočných testovacích bodov pre fázu návrhu obvodu, ktoré by mohli významne prispieť k celkovému zvýšeniu pokrytia porúch, a tým aj kvality produkčného testu. Na rozdiel od klasickej poruchovej analýzy, v prípade navrhnutej metodiky založenej na počítaní impedancií je toho možné dosiahnuť bez nutnosti ďalších výpočtovo i časovo náročných simulácií.

4.2 Prúdové testovanie

Meranie prúdovej spotreby obvodu je ľahko implementovateľná a účinná metóda testovania integrovaných obvodov. Môže byť aplikovaná ako v jednosmernej, tak aj v striedavej oblasti. V oboch prípadoch je možné generovať testovacie vektory externe alebo použitím vstavaného ATPG (z anglického *Automatic Test Pattern Generator*) priamo na čipe. Ak je oblasťou záujmu jednosmerné meranie prúdu, testovací vektor slúži na nastavenie požadovaného jednosmerného pracovného bodu, väčšinou nastavením vhodných napäťových úrovní na vstupných termináloch obvodu. Pre merania vo frekvenčnej oblasti môže aplikácia testovacieho vektora okrem nastavenia správneho jednosmerného pracovného bodu znamenať aj nastavenie parametrov samotného meracieho signálu, napr. frekvenciu, amplitúdu, prípadne aj fázu. Jedným zo spôsobov realizácie ATPG pre *ac* merania je oscilačná metóda testovania. Generovanie testovacieho vektora je v tomto prípade zabezpečené samotným testovaným obvodom a to zavedením vhodnej

spätnej väzby, ktorá zabezpečí rozkmitanie sa obvodu na požadovanej frekvencii [A10, A2, A4, A3, A5]. Vo fáze vývoja takéhoto testu je teda navrhnutú metodiku poruchových simulácií možné aplikovať na vyhodnotenie pokrytia porúch a kvality testu, prípadne na dodefinovanie vhodných testovacích uzlov za účelom zlepšenia týchto parametrov.

4.2.1 Oneskorenia na vedeniach

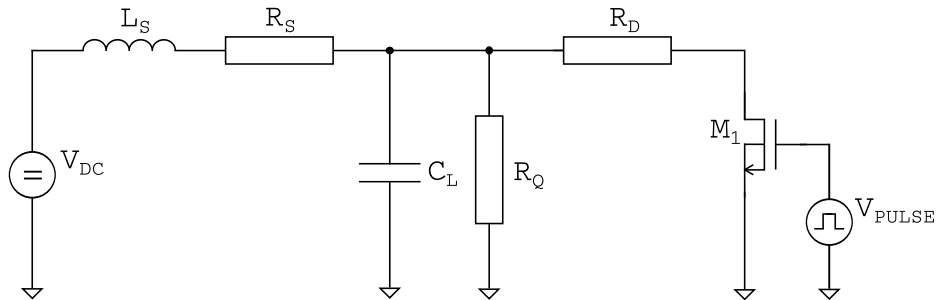
Z pohľadu realizácie merania prúdovej spotreby, či už jednosmerného alebo striedavého prúdu, je možné uvažovať nasledovné tri typy prevedení merania prúdu:

- priamo na čipe, tzv. *on-chip*
- v tesnej blízkosti čipu, tzv. *local off-chip*
- pomocou ATE, tzv. *remote off-chip*

Každá z týchto realizácií je charakterizovaná určitou dĺžkou prepájacieho vedenia medzi samotným jadrom čipu, ktorého spotreba je predmetom merania, a snímacím elementom, teda meracím zariadením. Čím dlhšie je toto vedenie, tým väčšie sú jeho parazity (sériová indukčnosť L_s a kapacita voči zemi C_p). Celkový čas potrebný na zmeranie prúdovej odozvy obvodu na aplikovaný testovací stimul pozostáva z nastavenia samotného testovacieho vektora a následného zmerania a vyhodnotenia prúdu. Pre zabezpečenie dobrej opakovateľnosti a vysokej presnosti merania je potrebné samotné meranie realizovať až vtedy, keď je prúdová spotreba obvodu po aplikovaní nového testovacieho vektora ustálená. Doba ustálenia je však závislá nielen od samotnej štruktúry testovaného obvodu, ale aj od prepájacej siete medzi čipom a meracím bodom. Tejto problematike bola podrobne venovaná práca publikovaná v [A22].

Za účelom kvantifikácie dozvukov pre jednotlivé realizácie merania prúdovej spotreby boli navrhnuté simulácie obvodu podľa obrázka 4.3. Parazitné vlastnosti vedenia sú reprezentované prvkami L_S a R_S , prvok C_L modeluje filtračnú kapacitu celej sústavy, R_Q reprezentuje statický odber obvodu a R_D modeluje dynamický odber spôsobený aplikáciou nového testovacieho vektora. Vplyv prídavného hardvéru určeného na meranie prúdu je zahrnutý do hodnoty parametra R_S . Tranzistor M_1 slúži ako spínač reprezentujúci aplikáciu nového testovacieho vektora.

V tabuľke 4.2 sú uvedené hodnoty jednotlivých prvkov pre rôzne konfigurácie merania a rozsah prúdu do 1 mA . Po aplikovaní nového testovacieho vektora sme meraný prúd považovali za ustálený, ak bola odchýlka od jeho konečnej hodnoty menšia ako $0,1\%$. V poslednom stĺpci tabuľky 4.2 je uvedený čas ustálenia prúdu získaný pomocou časových simulácií.



Obr. 4.3: Model meracej zostavy.

Tabuľka 4.2: Parametre jednotlivých komponentov.

Bod snímania	L_S	R_S	C_L	R_Q	R_D	Čas ustálenia
na čipe	1 nH	10 Ω	100 pF	3 k Ω	30 Ω	7 ns
blízko čipu	10 nH	10 Ω	1 μ F	3 k Ω	30 Ω	70 μ s
ATE	1 μ H	10 Ω	100 μ F	3 k Ω	30 Ω	7 ms

Z uvedených hodnôt je zrejmé, že premiestnením meracieho bodu z čipu na meráciu hlavu testera sa meranie môže spomaliť až 10^4 -krát, a presunutím merania do samotného ATE dokonca až 10^6 -krát. Pri návrhu testov je preto dôležité zobrať do úvahy aj vplyv prepájacej siete a prídavného testovacieho hardvéru. Vyššie uvedená analýza bola realizovaná využitím časových simulácií.

5 Experimentálna časť

5.1 Experiment I

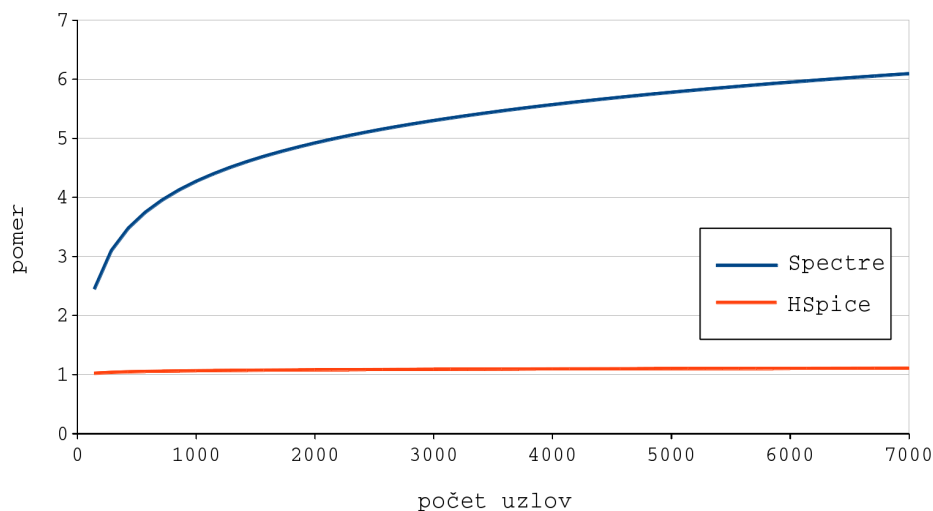
Účelom tohto experimentu je preukázať časovú efektívnosť navrhnutej metódy počítania impedancií (MPI) v uzloch obvodu. V tomto experimente sme preto vzali do úvahy všetky štyri možné druhy matíc analyzovaného obvodu, teda symetrické i nesymetrické, a obe pre prípad komplexných, ale i čisto reálnych hodnôt prvkov matice.

Nakoľko má navrhnutá metóda za cieľ nahradiť klasický spôsob počítania impedancií, ktorý je založený na riešení systému lineárnych rovníc, čas potrebný na výpočet impedancie bol porovnaný s časom potrebným pre vyriešenie systému lineárnych rovníc aplikovaním LU faktorizácie a spätnej substitúcie, ktorá sa používa v bežných obvodových simulátoroch. Oba spôsoby počítania boli implementované v prostredí *Octave*, kde funkcia počítania vlastných čísel a vlastných vektorov, ako i funkcia LU faktorizácie sú integrálnou súčasťou tohto prostredia.

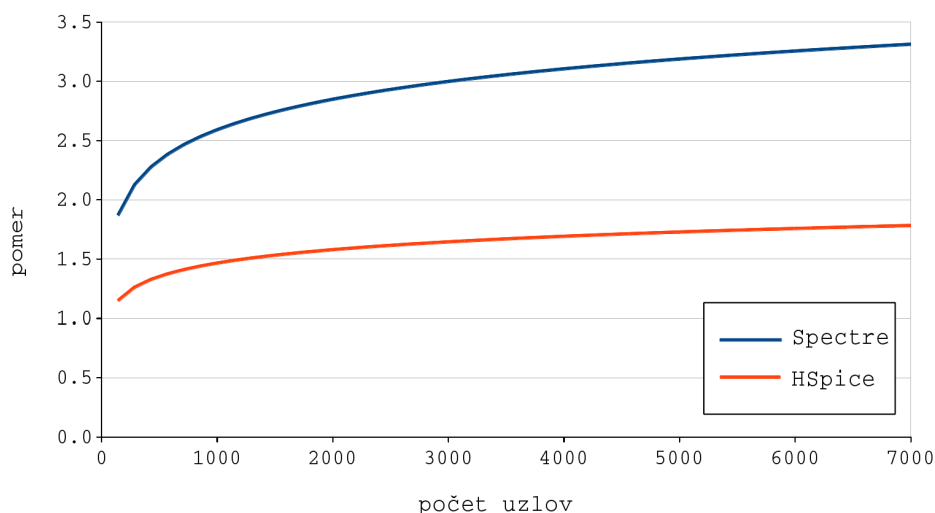
5.1.1 Výpočet operačného bodu

Prvým krokom v analýze ľubovoľného obvodu je určenie operačného bodu obvodu, teda jednosmerných napätí a prúdov v obvode, ako i malosignálových parametrov modelov jednotlivých prvkov. Na rozdiel od klasických simulácií, pri využití navrhnutej MPI či metódy LU faktorizácie, nie je potrebné uvažovať merací zdroj v procese riešenia systému nelineárnych rovníc (napr. pomocou Newton-Raphsonovej iteračnej metódy), čo môže značne urýchliť celý proces, minimalizovať problémy s konvergenciou výpočtu a zredukovať počet potrebných iterácií.

Pre podloženie tohto tvrdenia sme vyšetrili počet iterácií potrebných pre jednotlivé typy matic rôznych rozmerov, a to pre prípad zapojenia iba samotného obvodu bez meracieho zdroja, ako i pre prípad obvodu s meracím zdrojom zapojeným v rôznych, náhodne vybraných dvojiciach uzlov. Pre obe konfigurácie sme vykonali viacero simulácií a štatisticky sme určili priemerný počet iterácií a priemerný čas potrebný na dopočítanie operačného bodu obvodu simulátorom. Na obrázkoch 5.1 a 5.2 sú v relatívnom meradle zobrazené priemerné časy potrebné na dopočítanie operačných bodov obvodu s reálnou a komplexnou maticou uzlových admitancií, pričom referenčnou hodnotou je čas simulácie bez prítomnosti meracieho zdroja v obvode. Z uvedených výsledkov možno konštatovať, že pre obvody pozostávajúce iba z pasívnym súčiastok sa čas výpočtu operačného bodu môže prítomnosťou meracieho zdroja v obvode predĺžiť približne 1,5-krát pri použití simulátora *HSpice*, a 2 až 6-krát v prípade simulátora *Spectre*.



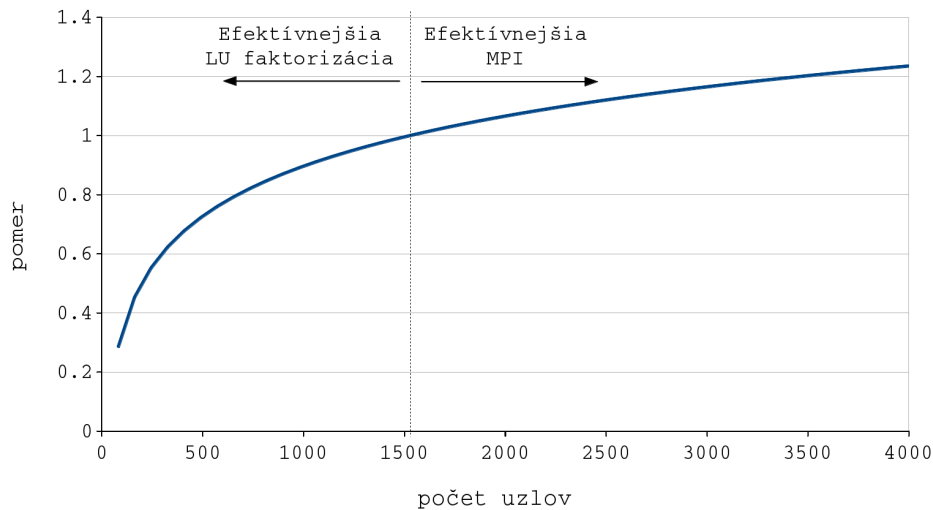
Obr. 5.1: Pomer časov *.op* analýzy obvodu s reálnou maticou uzlových admitancií.



Obr. 5.2: Pomer časov *.op* analýzy obvodu s komplexnou maticou uzlových admitancií.

5.1.2 Symetrické matice

Symetrické matice admitancií reprezentujú obvody bez riadených zdrojov. Matica takéhoto typu bude reálna, ak reprezentuje obvod tvorený výlučne odpormi alebo obvod tvorený RLC elementmi, pre ktorý sa uvažuje frekvencia $f = 0$ Hz. Pre reálne ako i komplexné symetrické matice reprezentujúce rôzne veľké obvody s počtom uzlov od 25 až do 6400 sme vypočítali všetky možné impedancie (odpory) aplikáciou LU faktorizácie a následnou elimináciou vpred a spätnou substitúciou, ako i použitím navrhutej MPI. Na obrázku 5.3 je zobrazený pomer časov jednotlivých analýz pre komplexnú maticu. Tento priebeh odzrkadľuje aj prípad analýzy reálnej matice. Z týchto priebehov je zrejmé, že pre uvažovaný typ obvodu je navrhnutá MPI v porovnaní s LU faktorizáciou účinnejšia pre obvody s počtom uzlov

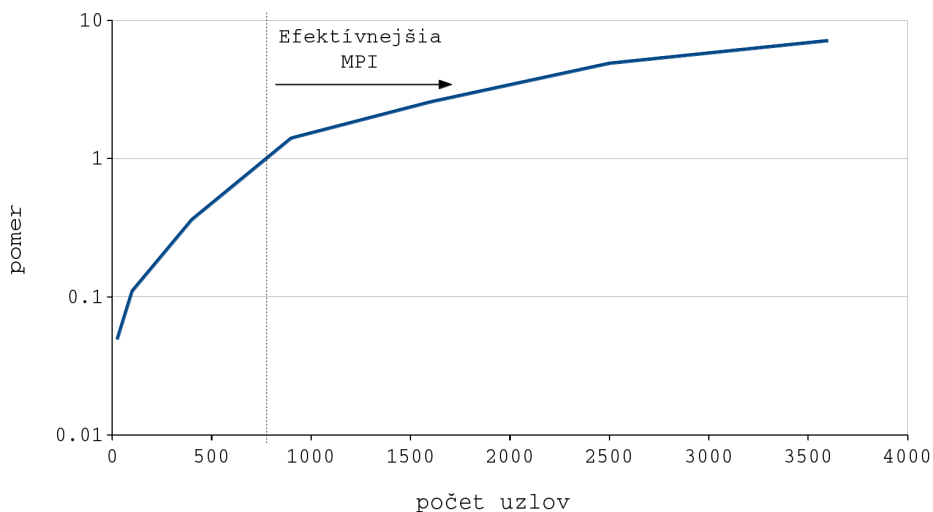


Obr. 5.3: Pomer časov analýz obvodu s komplexnou maticou uzlových admitancií.

väčším ako približne 1600.

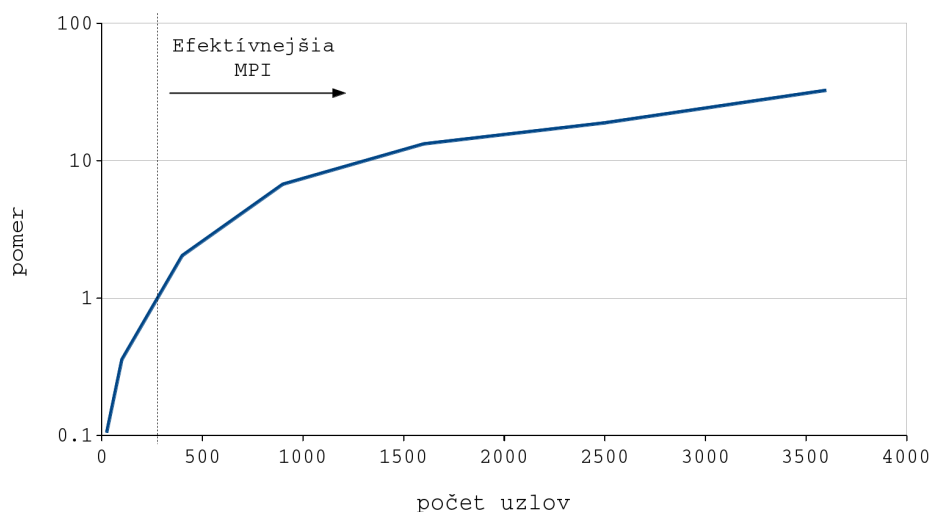
5.1.3 Nesymetrické matice

Nesymetriu matice uzlových admitancií spôsobí napríklad napätím riadený zdroj prúdu, ktorým sa bežne modelujú aktívne prvky akým je napr. unipolárny tranzistor. Pre reálne ako i komplexné nesymetrické matice sme vykonali obdobnú analýzu ako pre symetrické matice. Obrázok 5.4 ukazuje pomer časov impedančných analýz vykonaných navrhnutou metódou MPI a LU faktorizáciou pre reálnu nesymetrickú maticu. Ako je z uvedeného priebehu možné pozorovať, navrhnutá MPI je časovo efektívnejšia než LU faktorizácia pre obvody zložitosti väčšej ako približne 800 uzlov.



Obr. 5.4: Pomer časov analýz aktívneho obvodu s reálnou maticou uzlových admitancií.

Obrázok 5.5 znázorňuje pomer časov úplnej impedančnej analýzy s použitím navrhutej metódy a LU faktorizácie pre obvod s nesymetrickou komplexnou maticou, čo reprezentuje test aktívneho obvodu vo frekvenčnej oblasti. Ako je možné pozorovať z uvedených obrázkov, použitie navrhutej metódy prináša úsporu času pri analýze obvodov už od zložitosti približne 300 uzlov. Pri úplnej impedančnej analýze obvodu tvoreného 500 uzlami by analýza použitím navrhutej metódy v porovnaní s LU faktorizáciou trvala o 50% kratšie. Pre obvod takejto zložitosti by sa úspora času prejavila už pri uvažovaní výpočtu približne 500 impedancií, čo predstavuje menej ako 0,5% všetkých impedancií v obvode.



Obr. 5.5: Pomer časov analýz aktívneho obvodu s komplexnou maticou uzlových admitancií.

Výsledky prezentované v tomto experimente dokazujú časovú efektivitu navrhutej MPI, ktorá sa zvyšuje so vzrastajúcim rozmerom vyšetrovanej matice, teda počtom uzlov obvodu. Výraznejšia časová úspora je dosiahnutá v prípade nesymetrických matíc, kedy sa v závislosti od typu matice (reálna alebo komplexná) výhodnosť použitia navrhutej metódy začne prejavovať už od zložitosti obvodu na úrovni 300 až 800 uzlov. V prípade symetrických matíc bolo skrátenie času výpočtu nižšie, a výhody metódy sa začali prejavovať až od zložitosti obvodu okolo 1600 uzlov. Aj napriek tomu i v takomto prípade bolo dosiahnuté kratšie trvanie výpočtu, napr. pre obvod s 3600 uzlami je možné analýzu vykonať s 15%-nou úsporou času.

5.2 Experiment II

Cieľom ďalšieho experimentu je demonštrovať použitie a prínosy navrhnu-
tej MPI na skvalitnení testu konkrétneho obvodu. Pre tento účel bol vybraný
analogový obvod, ktorý taktiež obsahuje jednoduchú riadiacu logiku. Nakoľko sa
jedná o obvod vyrobený v technológii, ktorá využíva hliníkové prepoje, najväčšiu
pravdepodobnosť výskytu v tejto technológii majú poruchy premostenia. Z tohto
dôvodu boli v danom experimente uvažované všetky možné poruchy tohto typu
v uvedenom obvode. Následne sme vyhodnotili pokrytie porúch dosiahnuté pre
dva rôzne parametrické testovacie prístupy. Prvý prístup k testovaniu obvodu
využíva I_{DDQ} test, pričom cieľom bolo zvýšiť celkové pokrytie porúch skratu
daným testom s využitím navrhnu-
tej MPI. V tomto prípade sme uvažovali iba
impedancie všetkých uzlov obvodu voči zemi. Druhý prístup uvažoval vyhodno-
covanie všetkých impedancií v obvode s tým, že nebol použitý I_{DDQ} test. Pre
bezporuchový obvod bola vykonaná analýza impedancií pre všetky hraničné hod-
noty parametrov výrobného procesu. Takto získaný rozptyl hodnôt impedancií
určil rozhodovacie úrovne pre detegovateľnosť poruchy.

5.2.1 Poruchová analýza obvodu

Ako už bolo skôr spomenuté, v poruchovej analýze obvodu sme uvažovali poru-
chy premostenia. Poruchy boli modelované rezistorom s hodnotou odporu 500Ω
a $5 \text{ k}\Omega$. Nakoľko má uvažovaný obvod 25 uzlov, môže v ňom vzniknúť až 300
rôznych premostení ($25 \times 24/2$). Tieto poruchy boli postupne vkladane do obvodu
a následne boli vypočítané všetky impedancie medzi jednotlivými vnútornými
uzlami, pričom bola uvažovaná vždy iba jedna porucha v konkrétnom prípade
poruchového obvodu.

Prístup I

Ako základ bol v tomto prípade použitý jednosmerný I_{DDQ} test, ktorý patrí me-
dzi najznámejšie parametrické testy. Dosiahnuté pokrytie porúch monitorovaním
spotreby jednosmerného prúdu z napájacieho zdroja je $76,33\%$ pre premostenia s
odporom 500Ω a $68,33\%$ pre hodnotu odporu skratu $5 \text{ k}\Omega$. Z uvedeného vyplýva,
že aplikovaním jednoduchého merania prúdu je možné pokryť až 229 porúch z

celkového počtu 300 možných premostení ak je uvažovaná hodnota odporu premostenia 500Ω a 205 porúch pre hodnotu odporu premostenia $5 \text{ k}\Omega$. Postup pri výbere TV do výsledného testu bol nasledovný:

1. Zo zoznamu porúch sú vymazané všetky poruchy detegované aktuálnym TV.
2. Zostávajúce vektory sú zoradené podľa účinnosti pokrytia ešte nedetegovaných porúch (NP).
3. Vektor s najlepším pokrytím NP je zaradený do testovacej sekvencie.

Tento postup je opakovaný dovtedy, kým nie sú pokryté všetky detegovateľné poruchy. V tabuľke 5.1 sú uvedené sekvencie TV získané aplikovaním vyššie uvedeného postupu, ako i neodhalené poruchy a celkové pokrytie porúch pre jednotlivé kroky sekvencie. Označenie TV je dané uzlami, medzi ktorými je meranie uskutočnené, čiže napríklad TV 1-14 reprezentuje meranie impedancie medzi uzlami 1 a 14.

Tabuľka 5.1: Získané testovacie sekvencie pre rôzne hodnoty odporu premostenia.

Poradie	$R_{\text{poruchy}} = 500 \Omega$			$R_{\text{poruchy}} = 5 \text{ k}\Omega$		
	TV	NP	PP [%]	TV	NP	PP [%]
1	vdd-1	71	76,33	vdd-1	95	68,33
2	1-23	39	87,00	1-23	56	81,33
3	1-14	21	93,00	1-14	38	87,33
4	1-17	16	94,67	1-15	33	89,00
5	1-13	13	95,67	1-17	30	90,00
6	1-6	11	96,33	1-20	28	90,67
7	1-5	9	97,00	1-12	26	91,33
8	1-16	7	97,67	1-6	25	91,67
9	1-12	6	98,00	1-19	24	92,00
10	-	-	-	1-13	23	92,33
11	-	-	-	1-3	22	92,67

Z uvedeného teda vyplýva, že pre uvažovaný operačný bod obvodu a hodnotu odporu premostenia 500Ω je z celkového počtu 300 premostení navrhnutou metódou nedetegovateľných iba 6 porúch. V prípade hodnoty odporu premostenia $5 \text{ k}\Omega$ je potrebných 11 TV, pričom celkové dosiahnuté pokrytie porúch je 92,67%.

Prístup II

V tomto prípade bolo našim prioritným cieľom maximalizovať celkové pokrytie porúch pri využití čo najmenšieho počtu TV (teda meracích bodov v obvode),

príčom sme vyhodnocovali všetky impedancie medzi dvomi uzlami v obvode, nielen impedancie voči zemi. Boli uvažované rovnaké poruchy ako v predchádzajúcom prípade. V tabuľke 5.2 sú uvedené výsledné testovacie sekvencie získané použitím poruchovej simulácie na báze navrhutej MPI pre obe hodnoty odporu premostenia uvažovaných porúch.

Tabuľka 5.2: Testovacie sekvencie pre rôzne hodnoty odporu porúch premostenia.

Poradie	$R_{\text{poruchy}} = 500 \Omega$			$R_{\text{poruchy}} = 5 \text{ k}\Omega$		
	TV	NP	PP [%]	TV	NP	PP [%]
1	3-21	52	82,67	3-21	66	78,00
2	17-23	31	89,67	23-24	40	86,67
3	14-21	18	94,00	14-21	27	91,00
4	15-23	14	95,33	15-23	22	92,67
5	6-25	11	96,33	9-17	17	94,33
6	1-5	8	97,33	17-19	16	94,67
7	1-23	7	97,67	15-16	15	95,00
8	13-23	6	98,00	6-15	14	95,33
9	16-19	5	98,33	12-13	13	95,67
10	12-17	4	98,67	5-13	12	96,00
11	21-25	3	99,00	17-20	11	96,33
12	5-6	2	99,33	-	-	-

V tomto prístupe je pre pokrytie všetkých detegovateľných porúch s odporom $5 \text{ k}\Omega$ potrebných menej TV ako pre poruchy s odporom 500Ω . Použitím takéhoto prístupu je teda možné detegovať až 99,33% resp. 96,33% uvažovaných porúch s odporom 500Ω resp. $5 \text{ k}\Omega$, pričom dĺžka optimálnej testovacej sekvencie pre daný operačný bod je 12 resp. 11 TV. Záverom tejto kapitoly možno konštatovať, že výsledky získané pre oba prístupy potvrdzujú, že navrhnutá MPI založená na počítaní impedancií v obvode má potenciál definovať vhodný parametrický test (testovací postup), ktorý ponúka možnosť detegovať značnú množinu porúch, pričom je potrebné relatívne malé množstvo TV resp. meracích bodov.

6 Zhrnutie dosiahnutých výsledkov a prínosov

Hlavné prínosy dizertačnej práce z hľadiska rozvoja a napredovania príslušného vedného odboru, ako aj praktického využitia navrhnutej metodiky a ďalších dosiahnutých výsledkov sú nasledovné:

- Významným prínosom práce z hľadiska rozvoja danej oblasti je rozšírenie metódy počítania impedancií obvodu založenej na vlastných vektoroch a vlastných číslach matice uzlových admitancií aj na oblasť obvodov s aktívnymi prvkami, teda takých, ktoré sú reprezentované nesymetrickou maticou uzlových admitancií.
- Nezanedbateľným prínosom je taktiež následné preukázanie časovej efektivity navrhnutej metódy počítania impedancií, ktoré bolo realizované na maticiach reprezentujúcich obvody zložitosti od 25 až do 3600 uzlov, a to ako pre pasívne obvody (symetrické matice), tak i pre aktívne obvody (nesymetrické matice) v jednosmernej (reálne matice) i striedavej (komplexné matice) oblasti.
- Jedným z najdôležitejších prínosov tejto práce je návrh novej metodiky poruchových simulácií, ktorá je založená na počítaní impedancií v obvode. Táto metodika je aplikovateľná na ľubovoľný analógový alebo zmiešaný obvod a umožňuje návrh optimálneho parametrického testu či už v jednosmernej alebo striedavej oblasti.
- Pre uľahčenie a urýchlenie implementácie navrhnutej metodiky na ľubovoľný obvod bol vytvorený súbor podporných skriptov pre jazyky *Bash*, *Csh*, *Ocean* a *Octave*, ktoré zjednodušujú spracovanie vstupných dát o obvode (napr. opis obvodu), riadia proces vykonávania simulácií a spracovania získaných výstupov, proces samotného výpočtu impedancií, tvorbu a vyhodnotenie výsledných matíc impedancií, ako aj vyhodnotenie pokrytia porúch.
- Z pohľadu preukázania účinnosti navrhnutej metodiky poruchových simulácií ako aj jej možného využitia v skvalitňovaní testovacieho procesu, je dôležitým

prínosom práce experimentálne overenie definovania optimálnej testovacej sekvencie za účelom maximálneho pokrytia porúch použitím tejto metodiky.

- Medzi dôležité praktické prínosy tejto práce patrí experimentálne overenie účinnosti vybraného parametrického testu (I_{DDQ}) na reálnom komerčnom obvode strednej zložitosti a jeho porovnanie s produkčným testom založeným na funkčných a štrukturálnych prístupoch.
- Taktiež bola vykonaná experimentálna analýza vplyvu oneskorení na vedeniach na účinnosť a celkovú aplikovateľnosť I_{DDQ} testu pre tri možné spôsoby merania I_{DDQ} prúdu. Ďalším parametrickým testom, k rozvoju ktorého nami realizovaný výskum prispel je oscilačná metóda testovania (mimo hlavný zámer práce).

7 Záver

Predložená dizertačná práca sa zaoberá metódami zvyšovania kvality parametrických testov pre analógové integrované obvody, so zameraním sa na časovo efektívny proces návrhu testu a samotnú aplikovateľnosť uvažovaného testu. Ako bolo aj v práci preukázané, parametrické testy ponúkajú niekoľko výhod a sú vhodnými testami hlavne pre analógové obvody, nakoľko umožňujú detegovať veľký počet porúch v relatívne krátkom čase. V porovnaní s funkčným či štrukturálnym testom, vedia testy parametrické priniesť niekoľkonásobné urýchlenie celého testovacieho procesu. K vývoju účinných parametrických testov je však potrebná časovo efektívna metodika poruchových simulácií. Navrhnutá metodika poruchových simulácií, založená na počítaní impedancií vo vyšetrovanom obvode, umožňuje skrátiť proces návrhu impedančne orientovaných testov, pričom taktiež poskytuje ďalšie užitočné údaje nápomocné v procese výroby. Na základe týchto dát je možné výrobný proces vylepšiť a skvalitniť, čo vedie k zvýšeniu výťažnosti.

Jadrom navrhnutej metodiky je metóda počítania impedancií založená na výpočte s použitím vlastných vektorov a vlastných čísel matice uzlových admitancií obvodu. Časová efektivita takéhoto výpočtu je výrazne vyššia, najmä pri obvodoch väčšej zložitosti, kde je možné až niekoľkonásobné urýchlenie výpočtov. Z pohľadu testovateľnosti obvodov a prípravy testu je možné navrhnutú me-

todiku poruchových simulácií vo všeobecnosti využiť v dvoch úrovniach: pred návrhom topografie (pri samotnom návrhu obvodu) a po návrhu topografie obvodu (zvyšovanie kvality produkčného testu). V prvom prípade je možné použitím metodiky zistiť účinnosť pokrytia porúch na určitých dvojiciach uzlov, a v prípade potreby aplikáciou vhodného DfT toto pokrytie zvýšiť na požadovanú úroveň. Aplikáciou metodiky v druhej fáze (po návrhu topografie obvodu) je možné vďaka už známej topografii obvodu vytvoriť podstatne realistickejší zoznam porúch obvodu, čo vedie k ďalšiemu zvýšeniu účinnosti procesu poruchových simulácií.

Ďalšie smerovanie nášho výskumu bude orientované na zefektívnenie výpočtového procesu optimalizáciou metódy výpočtu vlastných vektorov a vlastných čísel matice. Následná integrácia výpočtového procesu do simulačného programu *Spice*, prípadne vytvorenie uceleného softvérového balíka umožní využívať potenciál tejto metódy priamo počas návrhu integrovaného obvodu. Takto bude možné prispieť k zlepšeniu integrácie nástrojov podporujúcich DfT so zameraním na analógové obvody do návrhového procesu.

8 Summary

This PhD thesis deals with methods for improving the quality of parametric tests for analog integrated circuits with emphasis on time efficient test development process and applicability of the test considered. It was shown that parametric tests offer several advantages and are suitable for analog test, since they are capable of detecting a large number of faults in relatively short time. Compared to functional or structural tests, parametric tests can speed up the test process several times. However, time efficient fault simulation methodology is necessary for efficient parametric test development. The proposed fault simulation methodology, based on the impedance calculations of the investigated circuit, reduces the development time of impedance-oriented tests, while providing useful information for the production process. Based on this data, the quality of the production process can be improved that might lead to enhanced yield.

The core of the proposed methodology is the impedance calculation method based on eigenvectors and eigenvalues of the circuit's nodal admittance matrix. Time efficiency of such a calculation is remarkably higher, especially for large circuits

where the calculation can be several times faster. From the circuit's testability and test preparation points of view, the proposed fault simulation methodology can be, generally, applied in two levels: pre-layout stage (during the design of the circuit) and post-layout stage (improving the production test quality). In the first case, using this methodology, the fault coverage can be investigated for a given node pair and improved to a required level by a proper DfT utilization. Since the circuit's layout is known in the second stage, a more realistic fault dictionary can be created by application of the methodology that leads to improved efficiency of the fault simulation process.

Further research will be focused on improving the time efficiency of the eigenvalue and eigenvector calculation process. Integration of such a calculation process within *Spice* simulation environment, eventually making available a complete software package, would allow to fully and directly utilize the potential of this methodology during the circuit's design phase. In such a way, the contribution could be made to improve the integration of DfT supporting tools to the design process of analog circuits.

Zoznam publikácií autora

- [A1] D. Arbet, J. Brenkuš, G. Gyepes, and V. Stopjaková. Increasing the efficiency of analog OBIST using on-chip compensation of technology variations. In *Design and Diagnostics of Electronic Circuits Systems (DDECS), 2011 IEEE 14th International Symposium on*, pages 71–74, april 2011.
- [A2] D. Arbet, J. Brenkuš, L. Majer, and V. Stopjaková. Oscillation-based Built-In Self Test of integrated active analog filters. In *Applied Electronics (AE), 2011 International Conference on*, pages 1–4, sept. 2011.
- [A3] D. Arbet, G. Gyepes, J. Brenkuš, and V. Stopjaková. OBIST strategy versus parametric test - Efficiency in covering catastrophic faults in active analog filters. In *Design and Diagnostics of Electronic Circuits Systems (DDECS), 2012 IEEE 15th International Symposium on*, pages 193–194, april 2012.
- [A4] D. Arbet, G. Gyepes, J. Brenkuš, V. Stopjaková, and J. Mihálov. On-chip parametric test of binary-weighted R-2R ladder D/A converter and its efficiency. In *Mixed Design of Integrated Circuits and Systems (MIXDES), 2012 Proceedings of the 19th International Conference*, pages 441–446, may 2012.
- [A5] D. Arbet, V. Stopjaková, J. Brenkuš, and G. Gyepes. On-chip Parametric Test of R-2R Lad-

- der Digital-to-Analog Converter and Its Efficiency. *International Journal of Microelectronics and Computer Science*, 3(2):73–80, 2012.
- [A6] J. Brenkuš. Zvyšovanie účinnosti parametrických testov zmiešaných IO. In *Česko-slovenský seminár pro studenty doktorského studia, In: Počítačové architektury a diagnostika 2009*, pages 48–56, 2009.
- [A7] J. Brenkuš and V. Stopjaková. Catastrophic Faults Detection in Operational Amplifier by the Supply Current Oscillation Test Strategy. In *43rd International Conference on Microelectronics, Devices and Materials (MIDEM 2007), Proceedings of*, pages 195–198, 2007.
- [A8] J. Brenkuš, V. Stopjaková, and G. Gyepes. Numerical Method for DC Fault Analysis Simplification and Simulation Time Reduction. In *Design and Diagnostics of Electronic Circuits and Systems, 2013. DDECS 2013. Proceedings of the 16th IEEE International Symposium on*, pages 170–174, 2013.
- [A9] J. Brenkuš, V. Stopjaková, and J. Mihálov. Experimental analog circuit for parametric test methods efficiency evaluation. In *Design and Diagnostics of Electronic Circuits and Systems, 2008. DDECS 2008. 11th IEEE Workshop on*, pages 1–6, 2008.
- [A10] J. Brenkuš, V. Stopjaková, and V. Nagy. Efficiency Analysis of the Oscillation Test Strategy in Covering Defects in CMOS Operational Amplifiers. In *6th Electronic Circuits and Systems Conference (ECS'07), Proceedings of*, pages 33–38, 2007.
- [A11] J. Brenkuš, V. Stopjaková, R. Vanhooren, and A. Chichkov. Comparison of different test strategies on a mixed-signal circuit. In *Design and Diagnostics of Electronic Circuits Systems, 2009. DDECS '09. 12th International Symposium on*, pages 16–19, 2009.
- [A12] J. Brenkuš, V. Stopjaková, R. Vanhooren, and A. Chichkov. Efficiency Evaluation of Various Test Strategies on a Mixed-Signal Circuit. *Journal of Electrical Engineering*, 60(5):261–267, 2009.
- [A13] M. Donoval, V. Stopjaková, M. Daříček, and J. Brenkuš. Magnetic Force-Based Built-In Current Sensor for IDDQ Testing. In *6th Electronic Circuits and Systems Conference (ECS'07), Proceedings of*, pages 39–42, 2007.
- [A14] G. Gyepes, D. Arbet, J. Brenkuš, and V. Stopjaková. Application of IDDT test towards increasing SRAM reliability in nanometer technologies. In *Design and Diagnostics of Electronic Circuits Systems (DDECS), 2012 IEEE 15th International Symposium on*, pages 167–170, april 2012.
- [A15] G. Gyepes, D. Arbet, J. Brenkuš, V. Stopjaková, and J. Mihálov. An On-chip Dynamic Supply Current Monitor for Testing of Digital Circuits. In *23th Conference Radioelektronika 2013, Proceedings of*, pages 160–165, 2013.

- [A16] G. Gyepes, J. Brenkuš, D. Arbet, and V. Stopjaková. Comparison of iddt test efficiency in covering opens in SRAMs realised in two different technologies. In *Design and Diagnostics of Electronic Circuits Systems (DDECS), 2011 IEEE 14th International Symposium on*, pages 395–396, april 2011.
- [A17] L. Majer, V. Stopjaková, and J. Brenkuš. Neinvazívne monitorovanie stresu človeka využitím progresívnych metód a nanotechnológií. In *EE časopis pre elektrotechniku a energetiku, mimoriadne č.*, pages 16–20, 2011.
- [A18] J. Mihálov, V. Stopjaková, and J. Brenkuš. Design of Integrated Sigma-Delta-to-Digital Converters. In *ELITECH '08 : PhD Students Conference*, 2008.
- [A19] J. Mihálov, V. Stopjaková, and J. Brenkuš. Design of a Loop Filter for Sigma-Delta Analog-to-Digital Converters. In *Electronic Devices and Systems IMAPS CS International Conference 2009, In: EDS '09*, pages 335–339, 2009.
- [A20] V. Nagy, V. Stopjaková, J. Brenkuš, M. Šimlašík, and M. Konfal. CMOS Dual-Channel 0.5A Power Switch for Power Distribution Via USB Port. In *Mixed Design of Integrated Circuits and Systems, 2007. MIXDES '07. 14th International Conference on*, pages 559–563, 2007.
- [A21] V. Nagy, V. Stopjaková, J. Brenkuš, M. Šimlašík, and M. Konfal. Dual 500mA High-Side Power Distribution Switch for Portable USB Applications. In *Signals, Circuits and Systems, 2007. ISSCS 2007. International Symposium on*, volume 1, pages 1–4, 2007.
- [A22] B. Straka, H. Manhaeve, J. Brenkuš, and S. Kerckenaere. Theoretical and Practical Aspects of IDDQ Settling-Impact on Measurement Timing and Quality. In *Design, Automation and Test in Europe, 2008. DATE '08*, pages 1310–1315, 2008.
- [A23] L. Nagy, V. Stopjaková, and J. Brenkuš. Current sensing completion detection in single-rail asynchronous systems. *prijaté na publikovanie v časopise Computing and informatics (CAI)*.

Zoznam literatúry použitej v autoreferáte

- [1] “International technology roadmap for semiconductors.” available online: URL: <http://public.itrs.net>.
- [2] S. Dasnurkar and J. Abraham, “Frequency-independent parametric built in test solution for plls with low speed test resources,” in *Mixed-Signals, Sensors and Systems Test Workshop (IMS3TW), 2012 18th International*, pp. 73–78, 2012.
- [3] S. Callegari, F. Pareschi, G. Setti, and M. Soma, “Complex oscillation-based test and its application to analog filters,” *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 57, no. 5, pp. 956–969, 2010.

- [4] R. Rajsuman, "Iddq testing for cmos vlsi," *Proceedings of the IEEE*, vol. 88, no. 4, pp. 544–568, 2000.
- [5] J. Li and E. McCluskey, "Iddq data analysis using current signature," in *IDDQ Testing, 1998. Proceedings. 1998 IEEE International Workshop on*, pp. 37–42, 1998.
- [6] S. Mallarapu and A. Hoffman, "Iddq testing on a custom automotive ic," *Solid-State Circuits, IEEE Journal of*, vol. 30, no. 3, pp. 295–299, 1995.
- [7] S. Bracho and M. Martinez, "Catastrophic and parametric fault detection by dynamic power supply current test," in *Testing Mixed Signal Circuits and Systems (Ref. No: 1997/361), IEE Colloquium on*, pp. 10/1–10/6, 1997.
- [8] W. Lindermeir, T. Vogels, and H. Graeb, "Analog test design with idd measurements for the detection of parametric and catastrophic faults," in *Design, Automation and Test in Europe, 1998., Proceedings*, pp. 822–827, 1998.
- [9] A. Spyronasios, M. Dimopoulos, N. Papadopoulos, and A. Hatzopoulos, "Testing parametric and catastrophic faults in mixed-signal integrated circuits using wavelets," in *VLSI (ISVLSI), 2010 IEEE Computer Society Annual Symposium on*, pp. 232–237, 2010.
- [10] R. Ackerman, "Doing more with less: a recipe for rapid IDDQ development," in *Current and Defect Based Testing, 2004. DBT 2004. Proceedings. 2004 IEEE International Workshop on*, pp. 33–42, 2004.
- [11] H. Manhaeve, "Current testing for nanotechnologies: a demystifying application perspective," in *Current and Defect Based Testing, 2005. DBT 2005. Proceedings. 2005 IEEE International Workshop on*, pp. 49–56, 2005.
- [12] T. Powell, J. Pair, M. St.John, and D. Counce, "Delta Iddq for testing reliability," in *VLSI Test Symposium, 2000. Proceedings. 18th IEEE*, pp. 439–443, 2000.
- [13] A. Gattiker and W. Maly, "Current signatures [VLSI circuit testing]," in *VLSI Test Symposium, 1996., Proceedings of 14th*, pp. 112–117, 1996.
- [14] P. Maxwell, P. O'Neill, R. Aitken, R. Dudley, N. Jaarsma, M. Quach, and D. Wiseman, "Current ratios: a self-scaling technique for production IDDQ testing," in *Test Conference, 2000. Proceedings. International*, pp. 1148–1156, 2000.
- [15] S. Sabade and D. Walker, "Improved wafer-level spatial analysis for IDDQ limit setting," in *Test Conference, 2001. Proceedings. International*, pp. 82–91, 2001.
- [16] P. Nigh and A. Gattiker, "Random and systematic defect analysis using IDDQ signature analysis for understanding fails and guiding test decisions," in *Test Conference, 2004. Proceedings. ITC 2004. International*, pp. 309–318, 2004.

- [17] L. Rao, M. Bushnell, and V. Agrawal, “Graphical IDDQ Signatures Reduce Defect Level and Yield Loss,” *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, vol. 15, no. 11, pp. 1245–1255, 2007.
- [18] C. Thibeault and Y. Hariri, “ $C\Delta$ IDDQ : Improving Current-Based Testing and Diagnosis Through Modified Test Pattern Generation,” *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, vol. 19, no. 1, pp. 130–141, 2011.
- [19] C.-L. Chang, C.-C. Chang, H.-L. Chan, C.-P. Wen, and J. Bhadra, “An intelligent analysis of Iddq data for chip classification in very deep-submicron (VDSM) CMOS technology,” in *Design Automation Conference (ASP-DAC), 2012 17th Asia and South Pacific*, pp. 163–168, 2012.
- [20] S. Maltabas, O. K. Ekekon, K. Kulovic, A. Meixner, and M. Margala, “An iddq bist approach to characterize phase-locked loop parameters,” in *VLSI Test Symposium (VTS), 2013 IEEE 31st*, pp. 1–6, 2013.
- [21] Y. Maidon, Y. Deval, and H. Manhaeve, “Off chip monitors and built in current sensors for analogue and mixed signal testing,” in *IDDQ Testing, 1998. Proceedings. 1998 IEEE International Workshop on*, pp. 59–63, 1998.
- [22] M. Altaf-Ul-Amin and Z. Darus, “An off-chip current sensor for iddq testing of cmos ics,” in *Test Symposium, 1998. ATS '98. Proceedings. Seventh Asian*, pp. 318–322, 1998.
- [23] J. Vlach and K. Singhal, *Computer Methods for Circuits Analysis and Design*. Van Nostrand Reinhold press, 1994.
- [24] F.-Y. Wu, “Theory of resistor networks: the two-point resistance,” *Journal of Physics A: Mathematical and General*, vol. 37, no. 26, pp. 6653–6673, 2004.
- [25] W. Tzeng and F. Wu, “Theory of impedance networks: the two-point impedance and LC resonances,” *Journal of Physics A: Mathematical and General*, vol. 39, no. 27, pp. 8579–8591, 2006.