Vedecká rada Fakulty elektrotechniky a informatiky Slovenskej technickej univerzity v Bratislave

Ing. Michal Jurkovič

VYSOKO-VÝKONOVÉ NORMÁLNE-ZATVORENÉ SPÍNACIE TRANZISTORY NA BÁZE GAN

Autoreferát dizertačnej práce

na získanie vedecko-akademickej hodnosti philosophiae doctor (PhD.) v odbore doktorandského štúdia:

5.2.13 Elektronika

Študijný program: Mikroelektronika

Bratislava, 2014

Dizertačná práca bola vypracovaná v dennej forme doktorandského štúdia na Elektrotechnickom ústave Slovenskej akadémie vied v Bratislave.

Predkladateľ:	Ing. Michal Jurkovič Oddelenie materiálov a elektrónových súčiastok Elektrotechnický ústav Slovenská akadémia vied Dúbravská cesta 9, 841 04 Bratislava
Školiteľ:	Ing. Ján Kuzmík, DrSc. Oddelenie materiálov a elektrónových súčiastok Elektrotechnický ústav Slovenská akadémia vied Dúbravská cesta 9, 841 04 Bratislava
Oponenti:	Prof. Ing. Jaroslav Kováč, CSc. Ústav elektroniky a fotoniky Fakulta elektrotechniky a informatiky STU Ilkovičova 3, 812 19 Bratislava

Ing. Vojtech Nádaždy, CSc. Fyzikálny ústav Slovenská akadémia vied Dúbravská cesta 9 841 04 Bratislava

Autoreferát bol rozoslaný dňa:

Obhajoba dizertačnej práce sa koná dňa o hod. pred komisiou pre obhajobu dizertačnej práce v odbore doktorandského štúdia 5.2.13 Elektronika, vymenovanou predsedom spoločnej odborovej komisie na Elektrotechnickom ústave Slovenskej Akadémie vied, Dúbravská cesta 9, 841 04 Bratislava.

Predseda spoločnej odborovej komisie:

Prof. Daniel Donoval, DrSc. Ústav elektroniky a fotoniky Fakulta elektrotechniky a informatiky STU Ilkovičova 3, 821 19 Bratislava

Úvod

Globálne zmeny v dopyte po energiách stimulujú výskum výkonových spínacích súčiastok s vysokou účinnosťou. Dopyt po týchto súčiastkach bude s veľkou pravdepodobnosťou v nasledujúcich rokoch prudko stúpať s množstvom rozličných elektronických zariadení od spotrebnej elektroniky až po elektricky napájané automobily. Kremíková technológia naráža na limity svojho použitia, najmä v oblasti účinnosti, preto sa hľadajú alternatívy.

Perspektívnymi kandidátmi, ktoré by mohli vyhovieť týmto požiadavkám, sú súčiastky a systémy na báze GaN-u. Dôvodom je vysoká chemická stabilita, veľká elektrická pevnosť, ako aj veľká šírka zakázaného pásma (3.4 eV) GaN-u, ktorá dovoľuje súčiastkam pracovať pri vyšších teplotách. Ďalšími dôležitými vlastnosťami je vysoká saturačná rýchlosť elektrónov, a z toho vyplývajúce vyššie frekvencie, pri ktorých súčiastky na báze GaN-u môžu pracovať. Jednou z vlastností, ktorou sa súčiastky na báze GaN-u odlišujú od iných III-V polovodičov, je vysoká hodnota spontánnej a piezoelektrickej polarizácie. Táto polarizácia sa využíva na vytvorenie kvantovej jamy vo vysoko-výkonových poľom riadených tranzistorov s heteropriechodom (HFET). V poslednom desaťročí boli výrazne vylepšené parametre ochudobňovacích tranzistorov. Z viacerých dôvodov je však žiadúce aplikovať v obvodoch obohacovacie tranzistory. V takom prípade sa návrh obvodov môže zjednodušiť vďaka použitiu unipolárneho napájania. Vďaka nízkej koncentrácii intrinzických nosičov náboja aj pri vysokých teplotách je možné aplikovať tranzistory na báze GaN aj v prostrediach s vysokou pracovnou teplotou alebo zjednodušiť chladenie výkonových spínačov. Výrazným prínosom je tiež vyššia miera bezpečnosti prevádzky, nakoľko aj bez prítomnosti ovládacieho napätia na hradle tranzistorom netečie prúd.

V tejto práci sme sa oboznámili s rozličnými konceptami realizácie obohacovacieho tranzistora (E-HFET) na báze GaN. Na ich základe sme predstavili unikátny koncept výkonového spínacieho E-HFET na báze GaN/InAIN/AIN/GaN so Schottkyho hradlovou elektródou a selektívne leptanými prístupovými oblasťami. V rámci realizácie konceptu sme vyvinuli vysoko-selektívne leptanie tenkých vrstiev GaN voči bariérovým vrstvám s obsahom Al. Vyvinutý tranzistor sme podrobili elektrickej charakterizácii, na základe ktorej sme vykonali analýzu jeho výkonových vlastností podopretú simuláciami o perspektíve zvyšovania výkonu optimalizáciou procesu prípravy tranzistora. V závere sme analyzovali možnosti zvýšenia prahového napätia prezentovaného tranzistora a poukázali na alternatívne riešenie problematiky, vrátane jej realizácie, predstavením konceptu tranzistora s hradlom typu kov-oxid-polovodič (MOSHFET) na báze AlN/AlGaN/GaN s nastaviteľným prahovým napätím.

Problematika riešená v tejto práci bola súčasťou projektov: 7. RP EÚ NMP IP projekt MORGaN (Materials for Robust Gallium Nitride), č. 214610; 7. RP EÚ projekt HiPoSwitch (GaN-based normally-off high power switching transistor for efficient power converters), č. 287602; APVV projekt Getratron (Vývoj novej generácie III-N tranzistorov s vysokou pohyblivosťou elektrónov), č. 104-10; APVV projekt MideGaNFet (Monolitická integrácia ochudobňovacích a obohacovacích InAIN/GaN HFET tranzistorov), č. 0367-11.

Ciele dizertačnej práce

Na základe súčasného stavu problematiky výkonových HFET na báze GaN boli stanovené nasledujúce ciele dizertačnej práce:

- Vývoj a optimalizácia selektívneho procesu plazmatického leptania GaN/AlGaN a GaN/InAlN. Analýza vplyvu plazmy na elektrické parametre HFET-u.
- Štúdium prípravy normálne zatvoreného tranzistora na báze heteroštruktúry AlGaN/GaN alebo InAlN/GaN. Optimalizácia návrhu tranzistora pre zvýšenie hodnoty prahového napätia.
- Analýza prierazu normálne zatvoreného tranzistora.
- Príprava a vyhodnotenie vlastností oxidových vrstiev pripravovaných technológiou MOCVD a ALD a možnosť ich využitia v technológii normálne zatvoreného tranzistora na báze GaN.

SÚČASNÝ STAV PROBLEMATIKY

V polovodičoch na báze III-N materiálov sa stretávame s výrazným polarizačným efektom. Tento efekt je dominantný na rozhraní dvoch materiálov [1]. Dvojrozmerný elektrónový plyn (2DEG) v kvantovej jame vznikajúci polarizáciou vyžaduje kontakt dvoch materiálov s rozdielnou polarizáciou. Divergencia polarizácie zabezpečí vytvorenie viazaného náboja na rozhraní bariéry a kanála [2]. Rozlišujeme dve formy polarizácie. Spontánna polarizácia v materiáli vzniká v dôsledku nábojovej nesymetrie a môže nadobúdať hodnoty vyššie ako 10¹³ e.cm⁻² [3]. Piezoelektrická polarizácia vzniká na rozhraní ako dôsledok pnutia pri spojení materiálov s rôznou mriežkovou konštantou, napr. AlGaN/GaN [4]. Keďže polarizácie oboch typov sa vektorovo sčítavajú, je vhodné aby spontánna aj piezoelektrická polarizácia mali rovnaký smer. Z dôvodu polarizácie tečie tranzistorom na báze GaN prúd $I_{DS} > 0$ pri hradlovom napätí $U_{GS} = 0$ V, pre uzavretie kanálu je potrebné priložiť na hradlo napätie $U_{GS} < 0$ V. Takýto typ tranzistora nazývame ochudobňovací tranzistor (D-HFET). Tento fakt obmedzuje možné použitie D-HFET-ov na báze GaN vo viacerých oblastiach, ako sú napr. obvody napájacích zdrojov a digitálna logika na báze III-N polovodičov [5]. Použitím E-HFET namiesto D-HFET je možné konštruovať vysoko-výkonové spínače s vyššou mierou bezpečnosti. Prvý E-HFET na báze heteroštruktúry AlGaN/GaN predstavil v roku 1996 Khan et al [6].

Závislosť prahového napätia na hrúbke bariérovej vrstvy vysvetľuje [7]:

$$U_T \sim \frac{q dn_s}{\varepsilon} \tag{1}$$

kde q je elektrický náboj, d je vzdialenosť hradlovej elektródy od kanálu tranzistora, n_s je koncentrácia nosičov náboja v kvantovej jame a ε je permitivita bariéry. Vychádzajúc z tohto poznatku, obohacovací režim tranzistora je možné zabezpečiť zmenou vzdialenosti d alebo zmenou koncentrácie nosičov náboja v kvantovej jame n_s . Zmenu vzdialenosti dmedzi hradlom a kanálom je možné zabezpečiť zapustením hradla do štruktúry s hrubou bariérovou vrstvou [8, 5, 9]. Takéto riešenie však prináša problémy s uniformitou U_{τ} z dôvodu rozptylu v hĺbke zaleptania [10]. Zníženie rozptylu U_{T} je možné dosiahnuť použitím bariérovej vrstvy hrubej 1-2 nm pokrytej tenkou krycou vrstvou z AIN alebo silne-dopovaného n⁺⁺ GaN a selektívnym leptaním krycej vrstvy voči bariére v hradlovej oblasti (Obr. 1) [11, 7]. Tento prístup vyžaduje použitie selektívneho leptania krvcích vrstiev. Tvarovať materiály na báze GaN mokrým





leptaním je problematické, preto sa v prevažnej miere používa technológia reaktívneho iónového leptania (RIE, reactive ion etching) s vysokou hustotou plazmy generovanou oddelene elektrónovo-cyklotrónovou rezonanciou (ECR, Electron Cyclotron Resonance) alebo induktívne viazanou plazmou (ICP, Inductively Coupled Plasma) využívajúca rozličné plyny [12]. Z dôvodu minimalizácie poškodenia povrchu štruktúry je dôležité omedziť jednosmerné urýchľovacie napätie do 100 V. Zároveň platí, že čím nižšie urýchľovacie napätie použijeme pre leptanie GaN vrstiev, tým minimalizujeme prípadné poškodenie povrchu vrstvy, na ktorej sa leptanie zastaví [7]. Selektívne leptanie tenkých krycích vrstiev voči bariérových vrstvám s obsahom Al je možné v plazme s obsahom fluóru, selektivita je zabezpečená reakciou fluóru pri styku s Al za vzniku AIF₃ [13, 7, 14].

Materiál	Si	4H-SiC	GaN	AIN
<i>E_g</i> (eV)	1,1	3,26	3,39	6,1
<i>n</i> _i (cm⁻³)	1,5.10 ¹⁰	8,2x10 ⁻⁹	1,9.10 ⁻¹⁰	~10 ⁻³¹
<i>E</i> r	11,8	10	9	8,4
μ_n (cm ² /Vs)	1350	700	900	1100
E_{krit} (10 ⁶	0,3	3	3,3	11,7
V/cm)				
<i>v_{sat}</i> (10 ⁷ cm/s)	1	2	2,5	1,8

Tab. 1 Materiálové vlastnosti vybraných polovodičových materiálov [15].

Výkonové polovodičové súčiastky hrajú dôležitú úlohu v regulácii a distribúcii výkonu a energie. Trh pre tieto súčiastky má objem niekoľkých

miliárd eur ročne. Kremík (Si) bol dlhodobo používaným materiálom pre výkonové spínacie prvky. Limitujúcim prvkom je v tomto prípade odpor zopnutého tranzistora R_{ON} . Maximálne dosiahnuté účinnosti spínacích súčiastok na báze Si dosahujú ~ 92 % [16]. Okrem nízkeho R_{ON} je veľmi dôležitým parametrom pri návrhu výkonovej spínacej súčiastky prierazné napätie U_{BR} . Materiálové vlastnosti vybraných polovodičových materiálov sú zhrnuté v Tab. 1

Tab. 1 nám ukazuje potenciálnu výhodu materiálového systému na báze III-N polovodičov nad súčiastkami na báze SiC a Si. Možnosť tvorby heteroštruktúr na báze AlGaN/GaN a InAIN/GaN prináša ďalšie výhody. Vysoká pohyblivosť nosičov náboja v 2DEG-u zníži R_{ON} a vysoká hustota náboja dovolí dosahovať vyššie spínacie prúdy. Nízka intrinzická koncentrácia nosičov náboja n_i a zároveň veľká šírka zakázaného pásma E_g dovoľuje používať súčiastky aj pri vysokých pracovných teplotách nad 250 °C. Príprava tranzistorov na báze GaN je zároveň jednoduchšia, pretože vyžaduje v najjednoduchšom prípade iba 3 litografické úrovne, pričom najjednoduchší tranzistor na báze SiC vyžaduje až 6 litografických masiek [15].

ZHRNUTIE DOSIAHNUTÝCH VÝSLEDKOV

V experimentálnej časti dizertačnej práce prezentujeme inovatívny koncept E-HFET na báze GaN/InAlN/AlN/GaN heteroštruktúry so Schottkyho hradlovou elektródou a selektívne odleptanými prístupovými oblasťami tranzistora. Popis konceptu je doprevádzaný vyvinutím vysoko-selektívneho leptacieho receptu pre leptanie tenkých vrstiev GaN voči vrstvám s obsahom Al, čo dovoľuje realizovať popísaný koncept. Úspešná realizácia funkčného tranzistora je podporená dosiahnutím najvyššieho prierazného napätia pre E-HFET na báze InAlN/GaN so Schottkyho hradlovou elektródou. Z dôvodu požiadavky po vyššom U_7 spínacích tranzistorov predstavujeme koncept a realizáciu tranzistora na báze AlN/AlGaN/GaN s hradlom typu MOS a možnosťou nastavenia prahového napätia hrúbkou oxidovej vrstvy. Možnosť nastavenia prahového napätia hrúbkou oxidovej vrstvy vychádza z predpokladu úspešnej manipulácie s nábojom povrchových donorov $q.N_{d,surf}$ [17].

E-HFET súčiastka s krycou GaN vrstvou pod hradlom a odleptanými prístupovými oblasťami na báze InAIN/GaN.

Návrh súčiastky na báze GaN/InAlN/GaN s odleptaním prístupových oblastí



Obr. 2 Prierez navrhovanou štruktúrou pre E-HFET: (a) po naparení S, D a G elektród; (b) po pasivácii.

Pri návrhu štruktúry sme stanovili nasledovné podmienky: vysokú hustotu nosičov náboja v kanáli n_s , efektívnu pasiváciu povrchu a jednoduchý technologický postup kompatibilný s prípravou ochudobňovacích tranzistorov. Zároveň sme využili technológiu pasivácie povrchu Al₂O₃ vrstvou vyvinutú a používanú na ElÚ SAV [18].

Štruktúra na Obr. 2 (a) je tvorená GaN substrátom, na ktorom je 2 nm bariérová vrstva zložená z tenkej vrstvy AlN prekrytej vrstvou InAIN [19]. Pokrytím heteroštruktúry vrstvou nedopovaného GaN eliminujeme polarizáciou indukovaný náboj z 2DEG. Kontakty emitora (S, Source), kolektora (D, Drain) a hradla (G, Gate) slúžia ako



Obr. 3 Modelovaný pásmový diagram štruktúry GaN/InAIN/AIN/GaN.

maska pre leptanie GaN v prístupových oblastiach. Odleptaním nedopovanej GaN vrstvy z prístupových oblastí tranzistora odstránime prekážku vzniku 2DEG v tejto oblasti. 2DEG ostáva prerušený iba v oblasti pod hradlovou elektródou. Nakoľko bariérová vrstva je hrubá iba približne 2 nm, je veľmi dôležité, aby leptanie bolo vysoko-selektívne voči tejto vrstve. Po odleptaní GaN je okamžite možné skontrolovať správnu činnosť tranzistora. Odhalená tenká bariérová vrstva je citlivá na rôzne externé vplyvy, ako napr. oxidácia, preto je potrebné pasivovať povrch tranzistora (Obr. 2 (b)) [18]. Pre navrhovanú štruktúru podľa Obr. 2 (a) sme počítali pásmový diagram použitím programu na riešenie jednorozmernej Schrödinger-Poissonovej rovnice [20]. Pri výpočte sme uvažovali s krycou vrstvou nedopovaného GaN o hrúbke 2 nm. Vypočítaný model pásmového diagramu je zobrazený na Obr. 3.

Na rozhraní GaN/InAlN je záporný polarizačný náboj, ktorý vyprázdňuje kvantovú jamu na rozhraní AlN/GaN. Prerušovaná čiara poukazuje na pásmový diagram prístupových oblastí tranzistora pred odleptaním krycej GaN vrstvy a zároveň aj na oblasť pod hradlom, kde GaN nebude odleptaný. Odleptaním tenkej vrstvy krycieho GaN z prístupových oblastí tranzistora odstránime záporný polarizačný náboj z rozhrania GaN/InAlN, čo spôsobí

zaplnenie kvantovej jamy voľnými nosičmi náboja (plná čiara na Obr. 3). Povrchový potenciál po odleptaní GaN vrstvy sme si zvolili 1 eV, avšak táto hodnota môže byť nižšia. Najväčší vplyv na povrchový potenciál bude mať pasivácia tranzistora, ktorá môže spôsobiť výrazné zvýšenie koncentrácie voľných nosičov náboja v kvantovej jame v prístupovej oblasti tranzistora.

Selektívne leptanie krycej GaN vrstvy voči vrstve s obsahom Al.

Pre leptanie tenkých vrstiev GaN využívame ECR RIE. Výber leptacieho plynu pre leptanie krycích vrstiev so zastavením sa na bariérovej vrstve s obsahom Al je podmienený obsahom fluóru v plyne. Rozhodli sme sa využiť plyn CCl₂F₂. Selektivitu leptania GaN voči bariérovej vrstve s obsahom Al sme úvodom na substráte s heteroštruktúrou AlGaN/GaN pokrytou 3 nm hrubou vrstvou GaN dopovaného Si v koncentrácii $n_d = 3.10^{18}$ cm⁻². Prierez experimentálnou štruktúrou je zobrazený na Obr. 4 (a). Vzorky boli umiestnené na držiak ECR RIE aparatúry, ktorý bol pripojený na vf zdroj s frekvenciou 13,56 MHz a jednosmerným indukovaným predpätím 50 V pri tlaku 8 Pa. Plazma bola budená s výkonom 85 W. Pripravili sme tri vzorky, ktoré sme leptali v CCl₂F₂ plazme po dobu 90 s, 3 min a 5 min. Hĺbka leptania bola meraná pomocou atómového silového mikroskopu (AFM, Atomic Force Microscopy). Výsledky merania sú zobrazené na Obr. 4 (b).



Obr. 4 (a) Prierez štruktúrou vzorky použitej na leptacie experimenty; (b) Vyhodnotenie rýchlosti leptania GaN.

Príprava normálne-zatvoreného tranzistora s odleptanými prístupovými oblasťami na báze InAIN/AIN/GaN

Na základe návrhu bola štruktúra narastená v École Polytechnique Fédérale de Lausanne (EPFL) technológiou MOCVD na zafírovej podložke (Al₂O₃). Heteroštruktúra s pracovným označením A2078 sa skladá z GaN kanálovej vrstvy hrubej 2 µm, na ktorej je narastená bariérová vrstva In_{0,17}Al_{0,83}N/AlN celkovej hrúbky 2 nm. Heteroštruktúra je nakoniec zakrytá krycou GaN vrstvou hrúbky 2 nm. Prierez štruktúrou je znázornený na Obr. 5, pásmový diagram štruktúry je zobrazený na Obr. 3.

Pre elektrické merania bola pripravená sada vzoriek. MESA izolácia bola vytvorená odprašovaním Ar iónmi. Ohmické kontakty z Ti/Al/Ni/Au boli zlievané pri teplote 850 °C po dobu 60 s. Schottkyho hradlová elektróda bola pripravená z kombinácie kovov Ir/Au. Prístupové oblasti tranzistora boli leptanie v CCl₂F₂ plazme po dobu 90 s. Masku pre leptanie



Obr. 5 Náčrt štruktúry pre normálne zatvorené tranzistory na báze GaN/InAIN/AIN/GaN.

tvorili ohmická a hradlová metalizácia. Odleptaný povrch prístupových oblastí bol pasivovaný 12 nm vrstvou Al_2O_3 narastenou technológiou MOCVD pri 600°C [18]. Pasivačná vrstva bola následne vyžíhaná pri teplote 700°C po dobu 15 min. v N₂ atmosfére.

Plošný odpor R_{SH} v kanáli vo vzťahu k leptaniu GaN krycej vrstvy

Ako vyplýva aj simulácie na Obr. 3, koncentrácia voľných elektrónov v kanáli pred odleptaním GaN krycej vrstvy je nízka. Odleptaním GaN krycej vrstvy stúpne koncentrácia voľných elektrónov v kanáli a R_{SH} by mal výrazne poklesnúť, pasivácia povrchu by následne mala ešte viac znížiť R_{SH} . TLM meranie by malo byť dôležitým indikátorom technologického postupu [21].

Meranie bolo uskutočňované na TLM štruktúre so vzdialenosťami kontaktov 40, 20, 10 a 5 µm. Meraný odpor v závislosti od vzdialenosti na štruktúre A2078 je zobrazený na Obr. 6 (a). Môžeme pozorovať výrazný

pokles odporu po odleptaní krycej GaN vrstvy, ako aj po následnej pasivácii povrchu a vyžíhaní vzorky. Pozorovanú nelinearitu nárastu meraného odporu *R* so vzrastajúcou vzdialenosťou medzi ohmickými kontaktmi v prípade neleptanej vzorky pripisujeme malým odchýlkam v hrúbke GaN krycej vrstvy, kedy hrubšia GaN vrstva spôsobí výraznejšie ochudobnenie kanála, a teda vyšší meraný odpor. Obr. 6 (b) dokumentuje zmeny R_{SH} v procese prípravy tranzistora. R_{SH} v kanáli neleptanej štruktúry je ~ 16 k Ω/\Box . Po odleptaní krycej GaN vrstvy poklesne R_{SH} na úroveň 4 k Ω/\Box . Pasivácia a následne žíhanie spôsobia pokles až na 1,6 k Ω/\Box .



Obr. 6 Výsledky meraní TLM štruktúr na vzorke A2078: (a) Závislosť odporu od vzdialenosti naprieč procesnými krokmi; (b) Závislosť plošného odporu R_{SH} od procesného kroku.

Elektrické vlastnosti tranzistorov

Merania boli uskutočňované na tranzistoroch s hradlom dĺžky $L_G = 1,8 \ \mu\text{m}$ a šírky $W_G = 25 \ \mu\text{m}$. Hradlo bolo umiestnené symetricky medzi kontakty kolektora a emitora, vzdialenosť medzi kontaktmi je $L_{DS} = 8 \ \mu\text{m}$.

Štruktúra A2078 s 2 nm GaN krycou vrstvou má pred leptaním plošný odpor $R_{SH} \sim 16 \text{ k}\Omega/\Box$, a teda 2DEG je takmer úplne vyprázdnený (Obr. 6 (b)). Maximálny výstupný prúd tranzistora pred leptaním GaN krycej vrstvy v prístupových oblastiach je I_{DS} ($U_{GS} = 2 \text{ V}$) = 17 mA/mm. Odleptaním GaN krycej vrstvy z prístupových oblastí sa 2DEG čiastočne zaplní elektrónmi (Obr. 6 (b)). Výstupný prúd tranzistora stúpne približne 4-násobne až na I_{DS} ($U_{GS} = 2 \text{ V}$) = 70 mA/mm, prahové napätie je $U_T = 0,5 \text{ V}$.

Pasivovaním povrchu prístupových oblastí tranzistora Al₂O₃ vrstvou a jej následným žíhaním sme pozorovali ďalší pokles R_{SH} na ~1,6 k Ω / \Box . Výstupný prúd tranzistora stúpol, v priemere sa pohyboval okolo $I_{DS} = 140 \text{ mA/mm}$ $U_{GS} = 2 V$ (Obr. 7 (a)). pri Z prevodovej charakteristiky sme určili $U_{\tau} = 0.5 \text{ V}$ (Obr. 7 (b)). Z charakteristiky strmosti môžeme však pozorovať jej zdvih už pri napätí $U_{GS} = 0$ V. Semilogaritmická mierka prevodovej charakteristiky vysvetľuje tento zdvih v charakteristike strmosti (Obr. 7 (c)). Tranzistor dosahuje minimálny prúd pri $U_{GS} = -0.2 \text{ V},$ vyššom napätí pri prúd v tranzistore narastá. Pri $U_{GS} = 0 V$ je prúd tranzistora $I_{DS} = 10^{-6}$ A/mm. medzi Pomer zapnutým a vypnutým stavom tranzistora pri $U_{GS} = 0 V$ dosahuje hodnotu 10^5 , pri $U_{GS} = -0.2 \text{ V}$ až 10^7 . Zvodové prúdy IGS boli po pasivácii štruktúry výrazne potlačené na úroveň $I_{GS} \sim 10^{-8} \text{ A/mm}.$





Výkonové vlastnosti tranzistorov

Prúdový kolaps tranzistora sme skúmali pomocou zariadenia Keithley 4200 SCS. Obdĺžnikový signál o šírke 1 µs a perióde 100 µs bol privádzaný na hradlo aj kolektor. Tranzistor sme pulzovali zo stavu termodynamickej rovnováhy z východzieho napätia $U_{GS} = 0$ V a $U_{DS} = 0$ V, ako aj zo záťažového stavu z východzieho napätia $U_{GS} = -1$ V a $U_{DS} = 30$ V, ktorý simuluje prevádzku výkonového spínacieho tranzistora medzi pracovnými bodmi. Obr. 8 zobrazuje výstupnú charakteristiku porovnávajúcu jednosmerný (DC) signál s pulzovaným signálom.

Pulzovaním zo stavu $(U_{GS} = 0 V, U_{DS} = 0 V)$ pozorujeme vyšší výstupný prúd v porovnaní s DC, čo súvisí so samoohrevom kanálu spôsobeným rozptylom elektrónov na mriežke. V pulznom režime je signál privedený iba na krátku dobu, a preto k ohrevu kanálu prichádza len čiastočne, meraný I_{DS} môže dosahovať aj vyššie hodnoty [22]. Situácia sa zmení pri pulzovaní z



Obr. 8 Náčrt štruktúry pre normálne zatvorené tranzistory na báze

bodu ($U_{GS} = -1$ V a $U_{DS} = 30$ V). Pri zaťažení tranzistora môže dochádzať ku záchytu elektrónov na pasciach ešte pred samotným pulzom. Z tvaru krivky na Obr. 8 môžeme sledovať mierny prúdový kolaps na úrovni do 15 %, ktorý prisudzujeme záchytu elektrónov v oblasti pod hradlom v kanáli alebo hlbšie v objemovom GaN pod hradlom [22]. Pasivácia Al₂O₃ vrstvou je efektívna a potláča možnosť tvorby virtuálneho hradla v prístupových oblastiach tranzistora.

Pre stanovenie jedného z pracovných bodov tranzistora je potrebné zistiť U_{BR} a zároveň je dôležité poznať charakteristiku zvodových prúdov pri vysokých U_{DS} . Ako prvú sme použili nedeštruktívnu metódu merania U_{BR} pomocou tlačenia kolektorového prúdu do kanálu [23]. V kanáli tranzistora bol udržiavaný $I_{DS} = 1 \,\mu\text{A/mm}$. U_{GS} bolo rozmietané v od +2 V po $-1 \,\text{V}$. Meranie bolo obmedzené nastaveným prúdovým limitom $I_{GS} = 1 \,\text{mA/mm}$, maximálne U_{DS} bolo obmedzené limitom prístroja 200 V. Meraná

charakteristika je zobrazená na Obr. 9 (a). Merané U_{DS} dosiahlo limit meracieho prístroja pri $U_{GS} = 0$ V, čo poukazuje na $U_{BR} \ge 200$ V. Zvodový prúd $I_{GS} < 10^{-7}$ A/mm dosiahnutý aj pri maximálnom U_{DS} poukazuje na možnosť vzniku elektrického prierazu v kanálovej GaN vrstve. Takto nízky I_{GS} je zabezpečený GaN vrstvou pod hradlom. Tá efektívne blokuje tunelovacie zvodové prúdy I_{GS} oddialením hradlovej elektródy od 2DEG, zvýšenou efektívnou výškou bariéry a prípadne aj krytím vodivých defektov na povrchu InAIN-u [24].

Meranie U_{BR} deštruktívnou metódou sme s uzemneným hradlom. Meranie bolo vykonané na dvoch odlišných typoch tranzistorov, prvý tranzistor so symetricky uloženým hradlom s $L_G = 1,8 \ \mu\text{m}$ a $L_{DS} = 8 \ \mu\text{m}$, ktorého charakteristiky sme popisovali v predošlom texte a pre overenie škálovania U_{BR} s narastajúcim L_{GD} sme vykonali deštruktívny prieraz aj na tranzistore s identickými parametrami L_G a L_{GS} , avšak so zväčšenou vzdialenosťou $L_{GD} = 7 \ \mu\text{m}$. Výsledky merania sú zobrazené na Obr. 9 (b). K prierazu dochádza pri $U_{BR} = 310 \ \text{V}$ s $L_{GD} = 3 \ \mu\text{m}$, pričom k nárastu $I_{DS} > 1 \ \mu\text{A}/\text{mm}$ dochádza od $U_{DS} = 255 \ \text{V}$. Dosiahnuté U_{BR} je najlepším dosiahnutým výsledkom pre tranzistory na báze InAIN/GaN so Schottkyho hradlovou elektródou [7, 9]. Intenzita laterálneho elektrického poľa pri prieraze je $E_x \cong 100 \ \text{V}/\mu\text{m}$. Pri tranzistore s $L_{GD} = 7 \ \mu\text{m}$ dochádza k prierazu pri $U_{BR} > 400 \ \text{V}$, čo dokazuje aj veľmi plochá krivka s $I_{DS} = 4.10^{-7} \ \text{A}/\text{mm}$ v celom rozsahu. Meranie U_{BR} sme mohli vykonať iba po približne 400 V, pri vyššom napätí môže dôjsť k prierazu elektrickým oblúkom cez vzduch [25].



Obr. 9 Troj-terminálová charakteristika elektrického prierazu: (a) Nedeštruktívna metóda tlačenia I_{DS} , poukazuje na nízky I_{GS} pri vysokom U_{DS} , $U_{BR} \ge 200$ V; (b) Meranie U_{BR} v zapojení s uzemnenou hradlovou

V nasledujúcom texte budeme analyzovať straty nami vyvinutého tranzistor v spínacom režime [15, 26]. Z výstupnej charakteristiky na Obr. 7 (a) vieme extrahovať odpor kanálu. Závislosť odporu kanálu R_{2DEG} pri U_{GS} = 2 V spolu s výstupnou charakteristikou pri identickom U_{GS} je zobrazená na Obr. 10. Lineárna oblasť tranzistora môžeme považovať až po U_{DS} = 3 V. Pracovný bod v zopnutom stave definujeme pri $U_{DS} = 3 V.$ kedv $I_{DS} = I_{ON} = 0,104 \text{ A/mm}$ а $R_{2DEG} = R_{ON} = 28,72 \ \Omega.mm = 2,3 \ m\Omega.$ cm². Pracovný bod vo vypnutom



Obr. 10 DC Výstupná charakteristika pri U_{GS} = 2 V (čierna) a vypočítaný R_{2DEG} (červená), vložený graf zobrazuje charakteristiku elektrického prierazu (Obr. 9 (b)); Zvýraznené sú stanovené pracovné body tranzistora I_{ON} a U_{OFF} , ako aj R_{ON} , I_{max} a U_{BR} .

stave definujeme pri $U_{DS} = U_{OFF} = 255 \text{ V s}$ prúdom $I_{DS} = I_{OFF} = 1 \,\mu\text{A/mm}$. Obr. 10 prehľadne zobrazuje definované pracovné body. Využitím výkonovej analýzy tranzistora podľa ref. [15, 26], vieme vypočítať nasledujúce stratové výkony:

Jednosmerné straty:

$$P_{j_{S_om}} = I_{ON}^2 R_{ON} = 0.313 \frac{W}{mm}$$
(2)

$$P_{j_{S_off}} = U_{OFF} I_{OFF} = 2,55.10^{-4} \frac{W}{mm}$$
(3)

Spínacie straty:

$$P_{str_{sw}} = U_{OFF} qn_{s} x_{D} f_{sw} = 2,54.10^{-3} \frac{W}{mm}$$
(4)

kde f_{SW} je spínacia frekvencia (f_{SW} = 300 kHz), n_s je koncentrácia nosičov náboja v kanáli (n_s = 2,73.10¹³ cm⁻², ref.[27]), x_D je vypočítaná šírka ochudobnenej oblasti a q je elementárny náboj. Celkový stratový výkon tranzistora je súčtom jednosmerných a striedavých strát:

$$P_{str} = P_{str_{-}is} + P_{str_{-}sw} = 0.316 \frac{W}{mm}$$
(5)

Maximálny výkon, ktorým môžeme zaťažiť tranzistor je daný pracovnými bodmi I_{ON} a U_{OFF} :

$$P = I_{ON} U_{OFF} = 26,622 \frac{W}{mm} \tag{6}$$

Pomer strateného výkonu P_{str} k maximálnemu výkonu P je 1,19 %, Účinnosť nami vyvinutého tranzistora je η = 98,81 %. Z vykonanej analýzy pozorujeme vysokú účinnosť vyvinutého tranzistora. Porovnaním jednotlivých zložiek výkonových strát vidíme vysoké straty P_{js_on} , ktorých príčinou je vysoký R_{ON} , resp. nízky dosiahnutý prúd I_{ON} . Celkový stratový výkon P_{str} by sme teda dokázali najefektívnejšie znížiť zvýšením I_{ON} .

Analýza povrchového potenciálu

Modelovanie tranzistora bolo vykonané v spolupráci s TU Viedeň. Povrchový potenciál ϕ_s bol počítaný s využitím dvoj-rozmerného modelu podľa Vitanova et al [28]. K výpočtu sme použili experimentálne merané prevodové charakteristiky tranzistorov z jednotlivých procesných krokov, ku ktorým sme simuláciou modelovali teoretické prevodové charakteristiky (Obr. 11 (a)). Zo simulácii bol stanovený povrchový potenciál GaN vrstvy pred jej leptaním $\phi_{\underline{s}_{GaN}} = 1,1$ V. Po odleptaní GaN vrstvy je rozhodujúci povrchový potenciál InAlN vrstvy pre zaplnenie 2DEG-u. Ten sme stanovili $\phi_{\underline{s}_{InAlN}} = 1,6$ V po odleptaní GaN vrstvy a $\phi_{\underline{s}_{InAlN}} = 1,45$ V po pasivácii a žíhaní pasivačnej vrstvy.

Následne sme počítali závislosť výstupného prúdu I_{DS} ako funkciu povrchového potenciálu $\phi_{S_{INAIN}}$ pri $U_{GS} = 2$ V, teda v bode maximálneho výstupného prúdu I_{max} (Obr. 11 (b)). Hodnota $\phi_{S_{INAIN}}$ má veľký vplyv na I_{DS} , najmä z dôvodu krátkej vzdialenosti medzi povrchom InAIN a kanálom, ktorá je ~ 2 nm. Pri $\phi_{S_{INAIN}} > 1$ V dochádza k veľmi výraznému poklesu I_{DS} . Z druhej strany, hodnota prúdu I_{DS} saturuje okolo 0,3 A/mm pri $\phi_{S_{INAIN}} \le 1$ V. Najvýraznejší vplyv na $\phi_{S_{INAIN}}$ bude mať pasivačná vrstva, ktorá je s povrchom InAIN vrstvy v kontakte. Je teda dôležité voliť pasivačnú vrstvu, ktorá dosiahne $\phi_{S_{INAIN}} \le 1$ V. Z výsledkov vyplýva, že pasivačná vrstva Al₂O₃ nedosahuje optimálne parametre z hľadiska maximalizácie I_{DS} . K dosiahnutiu $\phi_{S_{INAIN}} \le 1$ V je potrebné optimalizovať technológiu prípravy a post-

depozičného spracovania narastenej Al_2O_3 vrstvy, resp. voliť alternatívne metódy pasivácie povrchu tranzistora.



Obr. 11 (a) Experimentálne merané prevodové charakteristiky v jednotlivých krokoch procesu (symboly) a modelovaním simulované prevodové charakteristiky pre stanovenie ϕ_{s_GaN} a ϕ_{s_InAIN} ; (b) Simulovaná závislosť $I_{DS} = f(\phi_{s_InAIN})$.

Analýza prahového napätia U_T a perspektíva jeho zvyšovania

Predstavený tranzistor sme realizovali na heteroštruktúre GaN/InAIN/AIN/GaN. Kuzmík et al realizoval podobný tranzistor na báze InAIN/AIN/GaN s prístupovými oblasťami pokrytými vysokodopovaným n⁺⁺ GaN [7]. Hrúbky vrstiev InAIN a AIN sú v oboch prípadoch identické, ako je aj prahové napätie oboch typov tranzistorov, $U_T = 0.5$ V. Výpočtom polarizačných nábojov pre obe heteroštruktúry v oblasti pod hradlom je možné pozorovať nábojovú symetriu:

$$P_{GaN/InAIN} = -(P_{InAIN/AIN} + P_{AIN/GaN})$$
⁽⁷⁾

Ak použijeme identický kov ako Schottkyho hradlový kontakt na GaN vrstve aj na InAlN vrstve, potom môžeme predpokladať:

$$\phi_{b_GaN} \sim \phi_{b_InAIN} - \Delta E_{C_GaN/InAIN}$$
(8)

Berúc do úvahy nábojovú symetriu zo vzťahu (7) a predpoklad zo vzťahu (8), potom prahové napätie U_T heteroštruktúry na báze InAIN/GaN nie je závislé od hrúbky krycej GaN vrstvy:

$$U_{T} \sim \frac{\phi_{b_GaN}}{q} - \frac{\sum \Delta E_{C(GaN + InAIN / AIN / GaN)}}{q} - \frac{d\rho_{total}}{\varepsilon} =$$
(9)
$$= \frac{\phi_{b_InAIN}}{q} - \frac{\sum \Delta E_{C(InAIN / AIN / GaN)}}{q} - \frac{d\rho_{total}}{\varepsilon}$$

Zo vzťahu (9) možno poukázať, že prahové napätie U_{τ} štruktúry (GaN)/InAlN/AIN/GaN so Schottkyho hradlovou elektródou je limitované:

$$U_T \sim \frac{\phi_{b_InAIN}}{q} - \frac{\sum \Delta E_C}{q} < 1V$$
(10)

Zvýšenie prahového napätia U_{τ} nad 1 V je možné dosiahnuť niekoľkými spôsobmi, princípom asymetrickej polarizácie pokrytím heteroštruktúry AlGaN/GaN tenkou vrstvou InGaN [29], alebo použitím MOSHFET štruktúry a cielenou manipulováciou s nábojmi na rozhraní oxid/polovodič, či už redukciou povrchových donorov alebo vložením negatívneho náboja [17].

MOSHFET na báze AIN/AlGaN/GaN s nastaviteľným prahovým napätím

V tejto kapitole budeme diskutovať o možnosti nastaviť prahové napätie U_T normálne-zatvorených HFET-ov na GaN-e s cieľom zachovania maximálneho výstupného prúdu I_{max} . K realizácii tohto cieľa využijeme MOS technológiu hradla. Na prahové napätie MOSHFET štruktúry vplýva niekoľko rozličných nábojov – polarizačné náboje na rozhraniach heteroštruktúr a rozhraní s povrchom, povrchové donory, náboj pascí rozhrania oxidbariéra a fixný náboj v oxide rozložený na oblasť rozhrania a do objemu oxidu [17]. Prahové napätie U_T sa potom vyjadrí nasledovne:

$$U_{T} = \phi_{b} - \Delta E_{C} - \phi_{F} - \frac{d_{ox}}{\varepsilon_{ox}} P_{1} - \frac{d_{ox}\varepsilon_{cap} + d_{cap}\varepsilon_{ox}}{\varepsilon_{ox}\varepsilon_{cap}} P_{2}$$

$$- \frac{d_{ox}\varepsilon_{cap}\varepsilon_{b} + d_{cap}\varepsilon_{ox}\varepsilon_{b} + d_{b}\varepsilon_{ox}\varepsilon_{cap}}{\varepsilon_{ox}\varepsilon_{cap}\varepsilon_{b}} P_{3}$$

$$- \frac{d_{ox}}{\varepsilon_{ox}} q \left(N_{d,surf} + N_{it}(E_{F}) + N_{ox,int f} + \frac{d_{ox}}{2} N_{ox,bulk} \right)$$
(11)

kde ϕ_b je výška bariéry kovu, ΔE_c je diskontinuita vodivostného pásma, ϕ_F je rozdiel energií medzi vodivostným pásom E_c a Fermiho hladinou E_F v objemovom GaN (približne 0,3 eV), d je hrúbka, ε je permitivita, indexy ox, cap a b znamenajú oxid, kryciu vrstvu a bariérovú vrstvu, P sú polarizačné náboje na rozhraní heteroštruktúr, N_{d,surf} sú povrchové donory, N_{it} je náboj rozhrania oxid-bariéra a N_{ox} je fixný náboj oxidu, pričom N_{ox.intf} je fixný náboj lokalizovaný bližšie k rozhraniu oxid-bariéra a Nox, bulk je fixný náboj v objeme oxidu [17]. Predpokladá sa, že povrchové donory N_{d.surf} sa formujú počas rastu heteroštruktúry na povrchu bariérovej vrstvy z dôvodu nábojovej neutrality, nakoľko každý systém sa snaží minimalizovať svoju energiu [30]. Negatívny piezoelektrický náboj na povrchu krycej heteroštruktúry je kompenzovaný pozitívnym nábojom ionizovaných povrchových donorov $N_{d.surf} = -N_{p.surf}$. Analýzou vzťahu (11) môžeme vidieť, že najväčší náboj súvisiaci s oxidom, resp. rozhraním oxidu s heteroštruktúrou, je náboj povrchových donorov $N_{d,surf}$ (~ 10¹³ cm⁻²). Náboj pascí rozhrania N_{it} a fixný náboj v oxide Nox sú približne o rád nižšie [17].

Koncept MOSHFET s nastaviteľným prahovým napätím U_T

Zmenou koncentrácie N_{d.surf} by bolo možné najvýraznejšie ovplyvniť Existujú prahové napätie U_τ. predpoklady, že koncentrácia N_{d.surf} súvisí s väzbami medzi kyslíkom a hliníkom rozhraní oxidna polovodič [31]. 7nížením koncentrácie N_{d.surf} modifikovaním



Obr. 12 Závislosť prahového napätia U_T MOSHFET od koncentrácie povrchových donorov $N_{d,surf}$.

technologického procesu rastu oxidovej vrstvy by sme mohli dosiahnuť dominanciu negatívneho polarizačného náboja na rozhraní oxid-polovodič. Prahové napätie U_{τ} by bolo potom možné nastaviť hrúbkou oxidovej vrstvy. Obr. 12 zobrazuje vypočítaný vplyv zmeny $N_{d,surf}$ na prahové napätie MOSHFET štruktúry s dvomi rozdielnymi hrúbkami oxidovej vrstvy.

SiN		
2 nm AlN		
3 nm Al _{0,45} Ga _{0,55} N		
150 nm GaN		
spätná bariéra – 2,3 μm AlGaN		
Si substrát		

Obr. 13 Prierez navrhnutou štruktúrou pre realizáciu MOSHFET

Ak predpokladáme umiestnenie N_{d surf} na rozhraní oxidu s bariérou, oxidácia bariérovej vrstvy by mohla bvť najjednoduchšia cesta k dosiahnutiu nízkej hustoty N_{d.surf} [32, 33]. Vzhľadom na tento predpoklad sme navrhli heteroštruktúru podľa Obr. 13. Heteroštruktúra sa skladá 70 spodnej bariérovei vrstvy Al_{0.18}Ga_{0.82}N hrubej 2,3 µm,

na ktorej je narastená 150 nm hrubá GaN kanálová vrstva, vrchná bariérová vrstva Al_{0,45}Ga_{0,55}N hrúbky 3 nm a krycia AlN vrstva hrúbky 2 nm. Vysoký kladný polarizačný náboj rozhrania AlN/AlGaN znižuje energetickú úroveň vodivostnej hladiny E_c natoľko, že hlbšie položená kvantová jama z rozhrania AlGaN/GaN je plne populovaná elektrónmi aj napriek blízkosti povrchu heteroštruktúry. Kvantová jama na rozhraní AlN/AlGaN zároveň

slúži ako tienenie od povrchových stavov [7, 34]. Heteroštruktúra je pasivovaná epitaxne rasteným SiN hrúbky 50 nm [35, 11].

Na heteroštruktúru podľa Obr. 13 technologicky pripravíme MESA izoláciu a ohmické kontakty emitora a kolektora. K vytvoreniu MOSHFET si optickou litografiou zadefinujeme budúce hradlo. Vrstvu SiN odleptáme pomocou SF₆ plazmy v ECR RIE s nasledujúcimi parametrami: tlak p = 2 Pa, RF výkon $P_{RF} = 10 \text{ W},$ mikrovlnný výkon





 P_{MW} = 300 W [11, 35], urýchľovacie napätie U_R = 20 V. Pri tomto nastavení sme dosiahli rýchlosť leptania ~ 13,5 nm/min. Tenkú vrstvu AlN oxidujeme pri teplote 750 °C 8 min. a v O₂ plazmy pri izbovej teplote s P_{RF} = 35 W. Zaoxidovaný región je následne prerastený vrstvou Al₂O₃ [32]. Na pripravenú oxidovú vrstvu je následne naparená hradlová elektróda z Ir/Au (Obr. 14).



Obr. 15 Pásmový diagram štruktúry podľa Obr. 14 v oblasti pod hradlom za podmienky $N_{d,surf} = 0$ (plná čiara) a $N_{d,surf} = N_{p,surf}$ (prerušovaná čiara). Nulová pozícia označuje povrch preoxidovaného AlN.

Simulácia pásmového diagramu štruktúry podľa Obr. 14 pod hradlom ie zobrazená na Obr. 15 [4, 36, 37, 20]. V simulácii uvažujeme zjednodušenie pre s homogénnou vrstvou AIO_vN hrubou 12 nm. Plnou čiarou je znázornený pásmový diagram MOSHFET štruktúry za podmienky $N_{d,surf} = 0 \text{ cm}^{-2}$. Rozhraniu AlO_xN/AlGaN dominuje výrazný negatívny náboj N_{p,surf}, ktorý dvíha energetickú hladinu E_c vysoko nad Fermiho hladinu E_F. Kvantová jama AlGaN/GaN rozhraní na ie vyprázdnená. K zaplneniu 2DEG-u by sme museli priviesť na hradlo kladné napätie, ktoré by bolo tým väčšie, čím by bol oxid hrubší. Prerušovanou čiarou je znázornený pásmový diagram s prítomnosťou $N_{d,surf} = -N_{p,surf}$. V takomto prípade je kvantová jama zaplnená, tranzistor je typu D-MOSHFET. Tieto dva hraničné prípady zobrazujú rozsah, v ktorom očakávame správanie sa tranzistora po oxidácii AlN vrstvy a jej následnom prerastení oxidom Al₂O₃.

Oxidácia AIN – elektrická kalibrácia a materiálová analýza

Simuláciu koncentračného profilu (Obr. 15) je možné využiť aj pre kalibráciu oxidačného procesu AlN vrstvy. Identického nástrojom sme simulovali závislosť plošného odporu $R(d_{ox})$ od oxidácie AlN vrstvy v závislosti od hrúbky preoxidovanej vrstvy d_{ox} a prítomnosti povrchových donorov $N_{d,surf}$ [20]. Simulovanú závislosť sme korelovali s experimentálne meranou závislosťou $R_{stf}(t)$, kde t je dĺžka oxidácie.



Obr. 16 (a) Experimentálne a simulované závislosti R(t)/R(t=0) od dĺžky oxidácie krycej AlN vrstvy. Prerušovanou čiarou sú znázornené teoretické limitné hodnoty odporu R pri podmienkach $N_{d surf} = 0 \text{ cm}^{-2}$,

 $N_{d,surf} = N_{p,surf} = 3,9.10^{13} \text{ cm}^{-2}$. Krivka so symbolmi zobrazuje experimentálne merané závislosti: (a) termálnu oxidáciu pri 750 °C; (b) plazmatickú oxidáciu pri izbovej teplote. Šípky značia bod preoxidovania AlN vrstvy.

Obr. 16 (a) zobrazuje závislosť plošného odporu termicky oxidovanej vzorky pri 750 °C od oxidačného času, vrátane simulovaných závislosti pre okrajové podmienky $N_{d,surf} = 0$ cm⁻² a $N_{d,surf} = N_{p,surf}$. Experimentálne meraná závislosť presne kopíruje teoretickú závislosť za podmienky $N_{d,surf} = N_{p,surf}$. AlN je plne preoxidované po 3 minútach oxidácie, kedy meraný plošný

odpor $R_{SH}(t)$ saturuje. Závislosť pre plazmatickú oxidáciu je zobrazená na Obr. 16 (b). K preoxidovaniu AlN dochádza po približne 10 min. Meraním bol

určený R_{SH} v bode saturácie ~ 30 000x vyšší ako v čase t = 0 min. Z dosiahnutého výsledku predpokladáme zníženú hustotu N_{d.surf}, ktorý tak plne nekompenzuje negatívny N_{p.surf} na rozhraní AlO_vN/AlGaN. Úspešnosť oxidácie je potvrdená aj materálovou analýzou metódou Augerovej spektroskopie (AES) (Obr. 17). Z grafu identifikuieme bariérovú vrstvu Al_{0.45}Ga_{0.55}N a GaN kanálovú vrstvu.



Obr. 17 AES materiálová analýza oxidácie AlN vrstvy heteroštruktúry AlN/AlGaN/GaN.

Z výrazného poklesu N smerom k povrchu a nárastu O v tej istej oblasti usudzujeme, že dochádza k náhrade atómov N atómami O počas oxidačného procesu. V povrchovej vrstve pozorujeme konštantný, približne 20 % podiel O a N a vysokú koncentráciu Al. Takmer 2/3 atómov N v pôvodnej vrstve AlN bola nahradených atómami O. Pozorujeme preoxidovanie celej AlN vrstvy O₂ plazmou po 12 min. oxidácie.

Elektrické vlastnosti tranzistorov pripravených na štruktúre AIN/AIGaN/GaN

Pre elektrické merania bola pripravená sada vzoriek s hradlom s $L_G = 2 \ \mu\text{m}$ a $W_G = 60 \ \mu\text{m}$ symetricky umiestneným medzi kontakty kolektora a emitora vzdialené od seba $L_{DS} = 10 \ \mu\text{m}$.

DC elektrická charakterizácia je zobrazená na Obr. 18. V grafoch porovnávame neoxidovanú SB HFET štruktúru so štruktúrami termicky a plazmaticky oxidovanými, ako aj s dvomi štruktúrami s plazmaticky preoxidovanou AlN vrstvou následne prerastenou 10 nm a 20 nm Al_2O_3 rasteného pomocou ALD pri teplote 100 °C. Obr. 18 (a) zobrazuje evolúciu prahového napätia smerom od – 0,9 V SB HFET štruktúry až po + 1,6 V MOS štruktúr s celkovou hrúbkou oxidovej vrstvy 12, resp. 22 nm. Výrazne posuny U_T pre prípady plazmatickej oxidácie korelujú s výrazným nárastom R_{SH} (Obr. 16 (b)), čo potvrdzuje hypotézu o znížení hustoty $N_{d,surf}$ nízkoteplotnou oxidáciou. Posun U_{τ} medzi 12 nm a 22 nm oxidovou vrstvou nie je žiadny, čo môže byť spôsobené nenulovou hodnotou $N_{d,surf}$.

Obr. 18 (b) zobrazuje porovnanie strmosti pripravených tranzistorov. Len malý rozdiel v strmosti medzi SB HFFT štruktúrou a plazmaticky oxidovanou štruktúrou, 140 mS/mm a 125 mS/mm, poukazuje na bezpečné nízkoteplotné oxidovanie AlN vrstvy, pri ktorom nedochádza k porušeniu kanálu kyslíkovými radikálmi z O2 plazmy v okolí vzorky. Strmosť termicky oxidovanei vzorkv $g_m \cong 100 \text{ mS/mm}$ je výrazne nižšia ako u SB HFET vzorky. Tento výrazný pokles môže indikovať degradáciu 2DEG-u [38]. Zachovanie vvsokei strmosti plazmaticky oxidovanei štruktúry by malo viesť k zachovaniu vysokého výstupného prúdu I_{max}. Porovnaním hodnôt I_{max} štruktúr SB HFET so vzorkou s plazmaticky oxidovaným AIN vidíme pokles o takmer 50%, ktorý je však spôsobený zvodovými prúdmi cez hradlo IGS obmedzujúcimi činnosť tranzistora pri vyšších U_{GS} (Obr. 18 (c)). Pre potlačenie IGS sme prerástli vrstvu AlO_vN oxidom Al₂O₃, čo v prípade 10 nm aj 20 nm hrúbky efektívne potlačilo I_{GS} pri kladnom U_{GS} . Výrazne zníženie IGS pri vysokých kladných



Obr. 18 DC elektrická charakterizácia a porovnanie rozlične pripravených štruktúr: (a) Prevodová charakteristika; (b) Charakteristika strmosti pripravených tranzistorov; (c) Troj-terminálová charakteristika zvodových prúdov cez hradlovú elektródu.

hodnotách U_{GS} dovoľuje dosiahnuť vysoký $I_{max} = 0,48$ A/mm aj napriek zníženej g_m .

Študovaná heteroštruktúra bola pripravená na 150 mm Si substráte a vykazovala priehyb 95 μm spôsobený tlakovým pnutím. Toto pnutie následne spôsobilo popraskanie povrchu v okolí MESA izolácie a nedovolilo študovať výkonové vlastnosti pripravených tranzistorov.

Analýza elektrických meraní vo vzťahu k N_{d.surf}

Na základe výsledkov DC elektrických meraní sme využitím analytického modelu pre výpočet pásmového diagramu zostrojili novú závislosť U_T od $N_{d,surf}$ (Obr. 19) [20]. prislúchajúcim K závislostiam jednotlivým hrúbkam oxidu d_{ox} sú zvýraznené zodpovedajúce body meranému Uτ z prevodových charakteristík analyzovaných tranzistorov z Obr. 18 (a).

Korelovaním vynesených závislosti



Obr. 19 Vypočítaná závislosť $U_{T}(d_{ox}) = f(N_{d,surf})$. V závislosti sú bodmi znázornené dosiahnuté

výsledky na meraných tranzistoroch.

 $U_T(d_{ox}) = f(N_{d,surf})$ s výsledkami meraných tranzistorov sme stanovili pre termicky oxidovanú štruktúru $N_{d,surf} \cong 3.10^{13} \text{ cm}^{-2}$ a pre plazmaticky oxidovanú štruktúru sme stanovili $N_{d,surf} \cong 1,4.10^{13} \text{ cm}^{-2}$. Nepredpokladáme závislosť $N_{d,surf}$ od hrúbky prerastenej oxidovej vrstvy.

Záver

V dizertačnej práci sme sa zaoberali normálne-zatvorenými HFET štruktúrami na báze GaN pre vysoko-výkonové spínacie aplikácie. Štruktúry na báze GaN sú priamo predurčené pre tieto aplikácie, dokážu spínať vysoké výkony takmer bez strát a pritom je možné ich aplikovať aj v prostrediach so sťaženými podmienkami. Tieto výhody ich predurčujú k nahradeniu menej efektívnych kremíkových spínacích tranzistorov, ktoré sú široko aplikované v rozličných elektronických zariadeniach od spotrebnej elektroniky až po elektricky napájané automobily. Vývoj spínacích HFET na báze GaN v posledných rokoch postúpil, avšak iba teraz sa začínajú na trhu objavovať prvé elektronické zariadenia obsahujúce normálne-zatvorené spínacie HFET na báze GaN. Predkladaná práca by nás mala oboznámiť s problematikou normálne-zatvorených HFET na báze GaN a predstaviť možné riešenia.

V experimentálnej časti predstavujeme najprv koncept obohacovacieho tranzistora na báze heteroštruktúry InAlN/GaN s tenkou krycou vrstvou z nedopovaného GaN, ktorá vyprázdňuje 2DEG. Jej odleptaním z prístupových oblastí odstránime negatívny polarizačný a populujeme 2DEG. Dôkladne sa venujeme selektívnemu leptaniu tenkých vrstiev GaN voči bariérovým vrstvám s obsahom Al pomocou RIE. Leptaním v CCl₂F₂ plazme sme dosiahli veľmi vysokú selektivitu leptania GaN voči vrstvám s obsahom Al. Pripravené tranzistory vykazovali výstupný prúd I_{DS} = 140 mA/mm, prahové napätie U_T = 0,5 V a pomer výstupných prúdov medzi zapnutým a vypnutým stavom 10⁵. Zachovaním GaN vrstvy pod hradlom a zároveň efektívnou pasiváciou Al₂O₃ vrstvou sme výrazne potlačili zvodové prúdy. Prierazné napätie vyvinutých tranzistorov je až 310 V pri vzdialenosti L_{GD} = 3 µm, čo je doteraz najvyššie prierazné napätie SB HFET na báze InAIN/GaN.

Koncept MOSHFET štruktúry na báze AlN/AlGaN/GaN s nastaviteľným U_{τ} predstavujeme ako možné riešenie pre dosiahnutie $U_{\tau} > 1$ V. Koncept vychádza z teoretického modelu MOSHFET štruktúr, ktorý uvažuje s existenciou povrchových donorov na rozhraní heteroštruktúry a izolačnej oxidovej vrstvy, ktoré kompenzujú negatívny polarizačný náboj povrchovej vrstvy heteroštruktúry. Úplným potlačením náboja povrchových donorov by

malo byť možne nastavovať prahové napätie v kladnom smere hrúbkou oxidačnej vrstvy. Z elektrických meraní môžeme vidieť výrazný kladný posun prahového napätia plazmaticky oxidovanej štruktúry, ako aj MOSHFET štruktúry s 10 a 20 nm dodatočného Al_2O_3 pod hradlom v porovnaní s SB HFET štruktúrou a termicky oxidovanou štruktúrou. Plazmaticky oxidovaná štruktúra a MOSHFET štruktúry vykázali prahové napätie ≥ 1 V, pritom sme dokázali zachovať vysoký výstupný prúd a potlačili sme zvodové prúdy. Simuláciami sa nám podarilo ukázať potlačenie náboja povrchových donorov. Predstavený koncept ukazuje smer budúceho výskumu tranzistorov na báze GaN pri požiadavke dosiahnutia vysokého prahového napätia a zároveň vysokého výstupného prúdu.

Summary

This thesis discusses normally-off HFETs based on GaN for high-power switching applications with low losses. At the same time, they can be applicated in harsh environments. This makes them perfect candidates for replacing Si based switching transistors, which are widely used in devices ranging from consumer electronics to electrically powered vehicles. Only recently first devices with GaN HFETs were brought to the market. This work should introduce normally-off GaN-based HFETs and provide new solutions to realizing high-power normally-off switching GaN HFET.

In experimental part of this thesis, we provide new concept for normally-off HFET based on GaN/InAlN/AlN/GaN structure. Undoped GaN cap depletes 2DEG. By etching of GaN cap from access regions we remove negative polarization charge from GaN/InAlN interface and thus populate the 2DEG. We closely study selective etching of thin GaN layers against Alrich barrier layers and develop novel selective etching recipe by using CCl_2F_2 plasma, which provides selectivity of GaN over Al-rich barriers of more than 50:1. Developed transistors demonstrate output current $I_{DS} = 140$ mA/mm, threshold voltage $U_T = 0.5$ V and ON/OFF ratio 10^5 . Passivation by Al_2O_3 together with GaN cap under the gate effectively suppresses gate leakage current. Demonstrated breakdown voltage 310 V for $L_{GD} = 3$ µm is the highest obtained for SB HFETs based on InAlN/GaN. Second topic of experimental part discusses novel MOSHFET structure based on AlN/AlGaN/GaN with adjustable threshold voltage. The concept is based on theoretical model of MOSHFET structures, which accounts with existence of surface donors located on oxide/heterostructure interface. These surface donors compensate negative polarization charge of top heterostructure layer. By suppressing surface donors it should be possible to freely adjust threshold voltage in positive direction by the thickness of oxide layer. From electrical measurements of prepared transistors we observe dramatic positive shift of threshold voltage for plasma oxidized samples, including samples with 10 and 20 nm overgrown oxide, compared to SB HFET and thermally oxidized samples. We observe $U_{\tau} \ge 1 \text{ V}$ for all plasma oxidized samples. In combination with simulations we show partial suppression of surface donors. Presented concept provides direction for future research of normally-off GaN-based HFET with high threshold voltage requirement.

Zoznam publikácii doktoranda

Časopisecké publikácie (Current content)

Kuzmik J., **Jurkovič M.,** Gregušová D., Ťapajna M., Brunner F., Cho M., Meneghesso G., Wurfl J." *Degradation of AlGaN/GaN high-electron mobility transistors in the current-controlled off-state breakdown*, J. Appl. Phys. 115, 164504 (2014).

Gregušová D., Jurkovič M., Haščík Š., Blaho M., Seifertová A., Fedor J., Ťapajna M., Fröhlich K., Vogrinčič P., Liday J., Derluyn J., Germain M. and Kuzmík J.: *Adjustment of threshold voltage in AlN/AlGaN/GaN high-electron mobility transistors by plasma oxidation and Al2O3 atomic layer deposition overgrowth*, Appl. Phys Lett. 104, 013506 (2014)

Ťapajna M., **Jurkovič M.**, Válik L., Haščík Š., Gregušová D., Brunner F., Cho E. and Kuzmík J.: Bulk and interface trapping in the gate dielectric of GaN based metal-oxide-semiconductor high-electron mobility transistors, Appl. Phys. Lett. 102, 243509 (2013)

Blaho M., Gregušová D., **Jurkovič M.**, Haščík Š., Fedor J., Kordoš P., Fröhlich K., Brunner F., Cho M., Hilt O., Würfl J. and Kuzmík J.: *Ni/Au-Al*₂O₃ gate stack prepared by *low-temperature ALD and lift-off for MOS HEMTs*, Microelectronic Engineering 112, 204-207 (2013)

Jurkovič M., Gregušová D., Palankovski V., Haščík Š., Blaho M., Čičo K., Fröhlich K., Carlin J.-F., Grandjean N. and Kuzmík J.: *Schottky-barrier normally-off GaN/InAIN/AIN/GaN HEMT with selectively etched access region*, IEEE Electron Dev. Lett 34, pp. 432-434 (2013)

Gregušová D., Hušeková K., Stoklas R., Blaho M., Jurkovič M., Carlin J.-F., Grandjean N., Kordoš P.: ZrO2/InAIN/GaN metal-oxide-semiconductor heterostructure fieldeffect transistors with InAIN barrier of different compositions, Japan J. Applied Phys. 52, 08JN07 (2013)

Čičo K., Gregušová D., Kuzmík J., **Jurkovič M.**, Alexewicz A., di Forte Poisson M., Pogany D., Strasser G., Delage S., Fröhlich K.: *Influence of processing and annealing steps on electrical properties of InAIN/GaN high-electron mobility transistor with Al2O3 gate insulation and passivation*, Solid-State Electr. 67, pp. 74-78 (2012)

Príspevky na medzinárodných konferenciách

Ťapajna M., **Jurkovič M.**, Válik L., Haščík Š., Gregušová D., Brunner F., Cho E.-M., Hashizume T., and Kuzmík J.: Detail Analysis of Interface Traps in Al2O3/(GaN)/AlGaN/GaN MOS-HEMT Structures using Capacitance Measurements and Simulations, In: Inter. Workshop on Nitride Semicond. 2014 – IWN Wroclau 2014 (prijaté k publikovaniu)

Jurkovič M., Gregušová D., Haščík Š., Blaho M., Fröhlich K., Carlin J.-F., Grandjean N., and Kuzmík J.: Self-Aligned Metal-Oxide-Semiconductor Normally-off N++ GaN/InAlN/AlN/GaN High-Electron Mobility Transistors, In: Inter. Workshop on Nitride Semicond. 2014 – IWN Wroclau 2014 (prijaté k publikovaniu)

Ťapajna M., Jurkovič M., Válik L., Haščík Š., Gregušová D., Brunner F., Cho E.-M., Hilt O., Bahat-Triedel E., Wuerfl J. and Kuzmík J.: *On the Bulk and Interface States Trapping Phenomena in the GaN-Based MOS Heterostructure Gate Dielectric*, In: 10th Inter. Conference on Nitride Semicond. – ICNS-10, Washington DC (2013)

Gregušová D., Jurkovič M., Haščík Š., Seifertová A., Blaho M., Ťapajna M., Fröhlich K., Derluyn J., Germain M. and Kuzmík J.: Controlled Barrier Oxidation and 100 °C ALD for Gate Insulation: A way towards High-Performance Normally-off GaN HEMTs?, In: 10th Inter. Conference on Nitride Semicond. – ICNS-10, Washington DC (2013)

Gregušová D., Jurkovič M., Haščík Š., Seifertová A., Blaho M., Ťapajna M., Fröhlich K., Derluyn J., Germain M. and Kuzmík J.: Normally-off AlGaN/GaN HEMTs with plasma oxidation and 100 °C ALD Gate Insulation, In: Topical Workshop on Heterostructure materials – TWHM, Hakodate, Japan (2013)

Jurkovič M., Gregušová D., Haščík Š., Blaho M., Molnár M., Palankovski V., Donoval D., Carlin J.-F., Grandjean N., Kuzmík J.: GaN/InAlN/AIN/GaN normally-off HEMT with etched access region, In: WOCSDICE-EXMATEC 2012, Eds. Y. Cordier and J.-Y. Duboz, Island of Porquerolles, CRHEA & CNRS (2012)

Jurkovič M., Gregušová D., Haščík Š., Blaho M., Čičo K., Palankovski V., Carlin J.-F., Grandjean N., Kuzmík J.: Polarization engineered normally-off GaN/InAIN/AIN/GaN HEMT, In: Inter. Workshop on Nitride Semicond. 2012 – IWN. Sapporo 2012.

Čičo K., Jurkovič M., Gregušová D., Kuzmík J., Alexewicz A., di Forte Poisson M.-A., Pogany D., Strasser G., Delage S., and Fröhlich K.: Impact of Forming Gas Annealing on Performance of InAIN/GaN High Electron Mobility Transistor with Al2O3 Gate Insulation and Passivation, In: 9th Inter. Conference on Nitride Semicond. – ICNS-9, Glasgow (2011)

Zborníky z domácich konferencií

Jurkovič M., Hušeková K., Čičo K., Dobročka E., Nemec M., Fedor J., Fröhlich K.: *Characterization of high-permittivity GdScO3 films prepared by liquid injection MOCVD*, In: *ASDAM* `10. Ed. J. Breza et al. Piscataway: IEEE 2010. ISBN: 978-1-4244-8572-7. P. 247-250.

Nemec M., Jurkovič M., Harmatha L., Mokryš P., Weber B., Písečný P., Fröhlich K.: *Characterization of MOS structures by conductance method*, In: *APCOM 2010*. Eds. J. Vajda and M. Weis. Bratislava: FEI STU, 2010. ISBN: 978-80-227-3307-6. P. 150-153.

ZOZNAM CITOVANEJ LITERATÚRY

[1] Quay R.: Gallium Nitride Electronics, Springer Series in Materials Science 96, 2008

[2] Morkoç H., Cingolani R., Gil R.: *Polarization effects in nitride semiconductor device structures and performance of modulation doped field effect transistors*, Solid-State Electronics, 43 (1999), 1909-1927

[3] Stutzmann M., Ambacher O., Eickhoff M., Karrer U., Lima Pimenta A., Neuberger R., Schalwig J., Dimitrov R., Schuck P.J., Grober R.D.: *Playing with polarity*, Phys. Stat. Sol. (b),228, (2001), 505-512

[4] Kuzmík J.: InAIN/(In)GaN high electron mobility transistors: some aspects of the quantum well heterostructure proposal, Semicond. Sci. Technol., 17, (2002), 540-544

[5] Palacios T., Suh C.-S., Chakraborty A., Keller S., DenBaars S. P., and Mishra U. K.: *High-Performance E-Mode AlGaN/GaN HEMTs*, IEEE Electron Device Letters, Vol. 27, No. 6, June 2006

[6] Khan M. A., Chen Q., Sun C. J., Yang J. W., Blasingame M., Shur M. S., and Park H.: *Enhancement and depletion mode GaN/AlGaN heterostructure field effect transistors*, Appl. Phys. Lett., vol. 68, No. 4, pp. 514/516, 1996.

[7] Kuzmík J., Ostermaier C., Pozzovivo G., Basnar B., Schrenk W., Carlin J.-F., Gonschorek M., Feltin E., Grandjean N., Douvry Y., Gaquiére Ch., De Jaeger J.-C., Čičo K., Fröhlich K., Škriniarová J., Kováč J., Strasser G., Pogany D. and Gornik E.: *Proposal and Performance Analysis of Normally off n++ GaN/InAIN/AIN/GaN HEMTs With 1-nm-Thick InAIN Barrier*, IEEE Trans. Electron. Devices, Vol. 57, No. 9, 2010

[8] Lanford W.B., Tanaka T., Otoki Y., and Adesida I.: *Recessed-gate enhancement-mode GaN HEMT with high treshold voltage*, Electronics Letters Vol. 41, No.7, pp. 449-450 (2005)

[9] Wang R., Saunier P., Tang Y., Fang T., Gao X., Guo S., Snider G., Fay P., Jena D., and Xing H.: *Enhancement-Mode InAIN/AIN/GaN HEMTs With* 10⁻¹² *A/mm Leakage Current and* 10¹² *ON/OFF Current Ratio*, IEEE Electron Device Letters, Vol. 32, No. 3, 2011

[10] Ota K., Endo K., Okamoto Y., Ando Y., Miyamoto H., and Shimawaki H.: A Normally-off GaN FET with High Treshold Voltage Uniformity Using A Novel Piezo Neutralization Technique, IEEE Electron Device Meeting (IEDM), 2009 [11] Anderson T.J., Tadjer M.J., Mastro M.A., Hite J.K., Hobart K.D., Eddy Ch.R.Jr., and Kub F.J.: *An AIN/Ultrathin AlGaN/GaN HEMT Structure for Enhancement-Mode Operation Using Selective Etching*, IEEE Electron Device Letters, Vol. 30, No. 12., (2009)

[12] Pearton S.J., Zolper J.C., Shul R.J., and Ren F.: GaN: *Processing, defects, and devices,* Journal of Applied Physics, Vol. 86, No. 1, 1999

[13] Green R. T., Luxmore I. J., Houston P. A., Ranalli F., Wang T., Parbrook P. J., Uren M. J., Wallis D. J. and Martin T.: *Comparison of introduced into GaN/AlGaN/GaN heterostructures using selective dry etch recipes*, Semicond. Sci. Technol. 24, 075020, 2009

[14] Ostermaier C., Pozzovivo G., Carlin J-F., Basnar B., Schrenk W., Douvry Y., Gaquiére Ch., DeJaeger J-C., Čičo K., Fröhlich K., Gonschorek M., Grandjean N., Strasser G., Pogany D., and Kuzmik J.: *Ultrathin InAlN/AlN Barrier HEMT With High Performance in Normally Off Operation*, IEEE Electron Device Letters, Vol. 30, No. 10., 2009

[15] Zhang N.: High Voltage GaN HEMTs with low on-resistance for switching applications, školiteľ Mishra U.K., dizertačná práca, University of California Santa Barbara, 2002

[16] Hancock J. M.: *Superjunction FETs Boost Efficiency in PWMs,* dostupné na internete <u>www.powerelectronics.com</u>

[17] Ťapajna M. and Kuzmík J.: A comprehencive analytical model for threshold voltage calculation in GaN based metal-oxide-semiconductor high-electron-mobility transistors, Appl. Phys. Lett. 100, 113509 (2012)

[18] Čičo K., Gregušová D., Kuzmík J., Jurkovič M., Alexewicz A., di Forte Poisson M.-A., Pogany D., Strasser G., Delage S., and Fröhlich K.: *Influence of processing and annealing steps on electrical properties of InAIN/GaN high electron mobility transistor with Al₂O₃ gate insulation and passivation, Solid-State Electronics 67 (2012) 74–78*

[19] Gonschorek M., Carlin J.-F., Feltin E., Py M. A. and Grandjean N.: *High electron mobility lattice-matched AllnN/GaN field-effect transistor heterostructures*, Appl. Phys. Lett. 89, 062106 (2006)

[20] Tan I.H., Snider G.L., Chang L.D. and Hu E.L.: A self-consistent solution of Schrödinger-Poisson equations using a nonuniform mesh, J. Appl. Phys., 68 (8), 1990

[21] Schroder D.K.: *Semiconductor material and device characterization*, Wiley-Interscience, New Jersey (2006) ISBN-13: 978-0-73906-7

[22] Kuzmik J., Carlin J.-F., Gonschorek M., Kostopoulos A., Konstantinidis G., Pozzovivo G., Golka S., Georgakilas A., Grandjean N., Strasser G. and Pogany D.: *Gate-*

lag and drain-lag effects in (GaN)/InAIN/GaN and InAIN/AIN/GaN HEMTs, Phys. Stat. Sol. (a) 204, No.6, 2019-2022 (2007)

[23] Bahl S. R. and del Alamo J. A.: A New Drain-Current Injection Technique for the Measurement of Off-State Breakdown Voltage in FET's, IEEE Trans. Electron. Devices, Vol. 40, No. 8 (1993)

[24] Minj A., Cavalcoli D., Cavallini A.: Indium Segregation in AlInN/AIN/GaN heterostructures, Appl. Phys. Lett. 97, 132114 (2010)

[25] Sun M., Lee H.-S., Lu B., Piedra D. and Palacios T.: *Comparative Breakdown Study* of Mesa- and Ion-Implantation-Isolated AlGaN/GaN High-Electron-Mobility Transistors on Si Substrate, Appl. Phys. Express 5, 074202 (2012)

[26] Esposto M., Chini A., and Rajan S.: *Analytical Model for Power Switching GaN-Based HEMT Design*, IEEE Trans. Electron. Devices, Vol. 58, No. 5, 2011

[27] Kuzmík J.: Power Electronics on InAIN/ (In)GaN: Prospect for a record performance, IEEE EDL 22, (2001), 510

[28] Vitanov S., Palankovski V., Maroldt S., Quay R., Murad S., Rödle T., Selbeherr S.: *Physics-Based Modeling of GaN HEMTs*, IEEE Trans. Electron. Devices, vol. 59, no.3, pp. 685-693, (2012)

[29] Mizutani T., Ito M., Kishimoto S. and Nakamura F.: AlGaN/GaN HEMTs With Thin InGaN Cap Layer for Normally Off Operation, IEEE EDL 28, no. 7, pp. 549-551 (2007)

[30] Vetury R.: Polarization induced 2DEG in AlGaN/GaN HEMTs: On the origin, DC and transient characterization, dizertačná práca, University of California, Santa Barbara (2000)

[31] Ganguly S., Verma J., Li G., Zimmermann T., Xing H. and Jena D.: *Presence and origin of interface charges at atomic-layer deposited* Al₂O₃/III-nitride heterojunctions, Appl. Phys. Lett. 99, 193504 (2011)

[32] Blaho M., Gregušová D., Jurkovič M., Haščík Š., Fedor J., Kordoš P., Fröhlich K., Brunner F., Cho M., Hilt O., Würfl J. and Kuzmík J.: *Ni/Au-Al₂O₃ gate stack prepared by low-temperature ALD and lift-off for MOS HEMTs*, Microelectronic Engineering 112, 204-207 (2013)

[33] Harada N., Hori Y., Azumaishi N., Ohi K. and Hashizume T.: Formation of Recessed-Oxide gate for Normally-Off AlGaN/GaN High Electron Mobility Transistors Using Selective Electrochemical Oxidation, Appl. Phys. Express 4, 021002 (2011)

[34] Huang S., Jiang Q., Yang S., Zhou Ch. and Chen K.J.: *Effective passivation of AlGaN/GaN HEMTs by ALD-Grown AlN Thin Film*, IEEE Electron Device Letters vol. 33, no. 4, pp. 516-518 (2012)

[35] Derluyn J., Van Hove M., Visalli D., Lorenz A., Marcon D., Srivastava P., Geens K., Sijmus B., Viaene J., Kang X., Das J., Medjdoub F., Cheng K., Degroote S., Leys M., Borghs G. and Germain M.: *Low leakage high breakdown e-mode GaN DHFET on Si by selective removal of in-situ grown Si*₃ $N_{4\nu}$ *prispevok na konferencii*, Proceeding of Electron Devices Meeting (IEDM), IEEE Int. (2009)

[36] Ambacher O., Foutz B., Smart J., Shealy J.R., Weimann N.G., Chu K., Murphy M., Sierakowski A.J., Schaff W.J. and Eastman L.F.: *Two dimensional electron gases induced by spontaneous and piezoelectric polarization in undoped and doped AlGaN/GaN heterostructure*, Journal of Applied Physics, 87 (2000), 334

[37] Robertson J. and Falabretti B.: Band offsets of high K gate oxides on III-V semiconductors, J. Appl. Phys. 100, 014111 (2006)

[38] Medjdoub F., Van Hove M., Cheng K., Marcon D., Leys M. and Decoutere S.: *Novel E-Mode GaN on Si MOSHEMT using a Selective Thermal Oxidation*, IEEE Electron Device Letters vol. 31, no. 9, pp. 948-950 (2010)