

Vedecká rada Fakulty elektrotechniky a informatiky
Slovenskej technickej univerzity v Bratislave

Ing. Michal Blaho

Autoreferát dizertačnej práce

**Nové technológie a ich využitie v GaN
HEMT tranzistoroch**

na získanie vedecko-akademickej hodnosti philosophiae doctor

vo vednom odbore doktorandského štúdia:
5.2.13 Elektronika

Bratislava, 2016

**Dizertačná práca bola vypracovaná v externej forme doktorandského štúdia
na Elektrotechnickom ústave Slovenskej akadémie vied v Bratislave**

Predkladateľ: **Ing. Michal Blaho**
Oddelenie III-V polovodičov
Elektrotechnický ústav SAV
Dúbravská cesta 9, 841 04 Bratislava

Školiteľ: **RNDr. Dagmar Gregušová, DrSc.**
Oddelenie III-V polovodičov
Elektrotechnický ústav SAV
Dúbravská cesta 9, 841 04 Bratislava

Školiteľ špecialista: **Ing. Ján Kuzmík, DrSc.**
Oddelenie III-V polovodičov
Elektrotechnický ústav SAV
Dúbravská cesta 9, 841 04 Bratislava

Oponenti:
.....
.....
.....

.....
.....
.....
.....

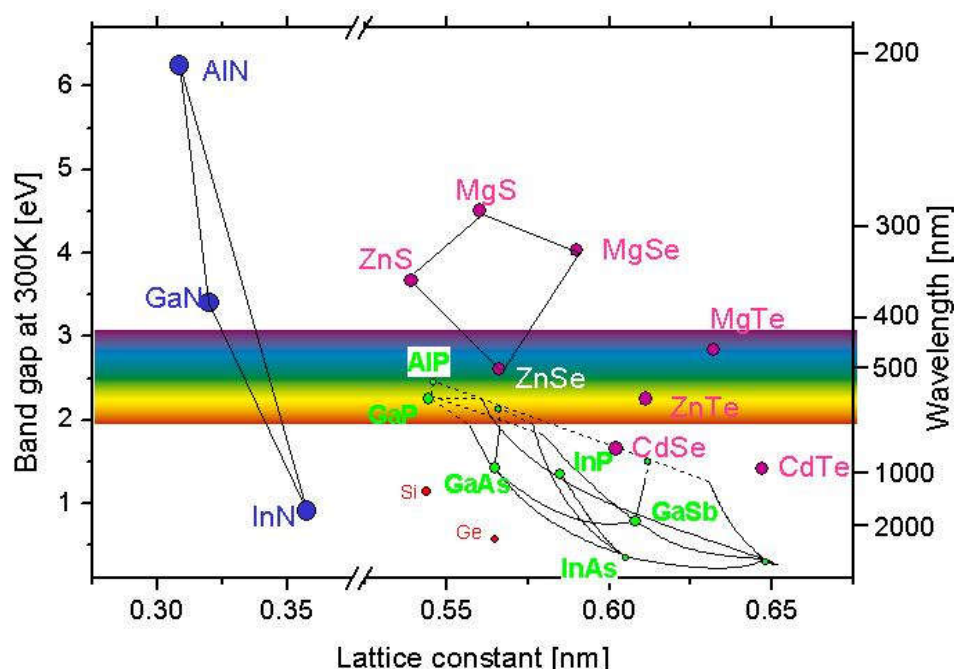
Autoreferát bol rozoslaný dňa:

Ohajoba dizertačnej práce sa koná dňa o hod. pred komisiou pre
obhajobu dizertačnej práce v odbore doktorandského štúdia 5.2.13 Elektronika, vymenovanou
predsedom spoločnej odborovej komisie na Elektrotechnickom ústave SAV, Dúbravská cesta
9, v zasadačke ústavu.

.....
Prof. Dr. Ing. Miloš Oravec
Dekan FEI STU
Ilkovičova 3, 812 19 Bratislava

Úvod

V súčasnej dobe sa stávame svedkami obrovského rozmachu bezdrôtovej komunikácie. Pre uspokojenie požiadaviek trhu je potrebné prenášať stále viac dát na väčšie vzdialenosti. Základné faktory, ktoré tento prenos ovplyvňujú, sú frekvencia a výkon. Pri väčšej frekvencii dokážeme preniesť viac dát za jednotku času, avšak pri vyššej frekvencii je signál vo voľnom priestore viac tlmený, preto je potrebné zvyšovať výkon vysielačov. Štandardne používané polovodiče štvrtej skupiny ako kremík (Si) alebo germánium (Ge) už dosiahli svoje hranice, preto sa čoraz viac začína upriamovať pozornosť na viaczložkové polovodiče (binárne, ternárne, kvarternárne). Vynikajúcim kandidátom sú III-N polovodiče. Do tejto skupiny patria nitrid india (InN), nitrid gália (GaN) a nitrid hliníka (AlN).



Obr. 1 Závislosť šírky energetickej medzery od mriežkovej konštanty pri izbovej teplote (300K) [1].

Malá hodnota mriežkovej konštanty III-N skupiny naznačuje veľmi dobrú mechanickú stabilitu. Šírka energetickej medzery III-N polovodičov sa pohybuje od 0,7 eV (InN), ktorá koreluje s nízkou efektívnou hmotnosťou elektrónov, a teda je vhodná pre vysokofrekvenčné aplikácie, cez 3,2 (GaN) až po 6,2 eV (AlN) s vysokou teplotnou stabilitou vhodnou pre vysokovýkonové a vysokoteplotné aplikácie. Kombináciou týchto binárnych polovodičov

vieme vytvoriť ternárne polovodiče s rôznou hodnotou mriežkovej konštanty a šírkou energetickej medzery.

V tejto práci prezentujeme pokročilé technológie prípravy tranzistorov, ktoré výrazne zlepšujú vlastnosti tranzistorov. Postupne v práci opisujeme technológiu prípravy submikrónových T-hradíel a nízkoteplotných ohmických kontaktov, ktoré sú kľúčové pre vysokofrekvenčné tranzistory. V ďalšej časti sme sa venovali príprave tranzistorov s oxidovou vrstvou pod hradlom pripravenou cez rezistívnu masku, čo umožňuje použiť rôzne typy oxidov v prístupových oblastiach a pod hradlom tranzistora. Rozšírením technológie z predchádzajúceho experimentu sme selektívne odleptali n^{++} vrstvu pod hradlom a následne nadeponovali oxidovú vrstvu a metalizačnú úroveň cez tú istú rezistívnu masku, čím vznikol samozákrytový $n^{++}\text{GaN}/\text{InAlN}/\text{AlN}/\text{GaN}$ obohacovací tranzistor. V poslednej časti sme pripravili logický invertor, pozostávajúci z obohacovacieho a ochudobňovacieho tranzistora, pripraveného na jednej podložke, čo je zároveň doteraz prvý logický obvod na svete pripravený na InAlN/GaN heteroštruktúre..

Tézy dizertačnej práce

Na základe súčasného stavu riešenej problematiky HEMT na báze GaN boli stanovené nasledujúce ciele dizertačnej práce:

- 1.) Výskum a realizácia T-hradíel GaN HEMT tranzistorov.
- 2.) Vplyv technologických operácií na posuv prahového napätia V_{th} .
- 3.) Príprava a charakterizácia obohacovacieho HEMT tranzistora na báze GaN-u pomocou inžinierstva polarizačného náboja.
- 4.) Príprava obohacovacieho a ochudobňovacieho tranzistora na jednej podložke.
- 5.) Príprava a charakterizácia monolitického logického invertora.

Súčasný stav problematiky

Väčšia šírka energetickej medzery GaN (3,4 eV), oproti Si, GaAs, InP, naznačuje vyššie prierné napätie súčiastok vyrobených z III-N materiálov. Ďalšími dôležitými vlastnosťami je vysoká saturačná rýchlosť elektrónov a vysoká koncentrácia nosičov v kvantovej jame vďaka vysokým hodnotám polarizácií. To ho predurčuje pre použitie vo vysokoteplotných, vysokovýkonových a vysokofrekvenčných aplikáciách. Súčiastky na báze GaN-u ponúkajú kompromis medzi vysokofrekvenčným, ale nízkovýkonovým fosfidom india (InP) a vysokovýkonovým, nízkofrekvenčným karbidom kremíka (SiC).

GaN je progresívny materiál vďaka svojim výnimočným vlastnostiam. V porovnaní s ostatnými bežnými polovodičmi (Tab. 1) vyniká schopnosťou pracovať pri vysokých teplotách (900 °C), čo je až 4,5-krát viac ako maximálna pracovná teplota bežne používaného kremíka. Rovnako vysoká hodnota pohyblivosti elektrónového plynu v dvojdimenzionálnom kanáli a vysoká saturačná rýchlosť ho predurčujú na použitie v oblasti mikrovln. GaN spolu s SiC sú schopné znášať vysokú intenzitu elektrického poľa, preto sú vhodné pre vysokovýkonové aplikácie.

Materiál	Si	GaAs	GaN	AlN	6H-SiC
Šírka energetickej medzery E_g [eV] (300K)	1,1	1,4	3,4	6,2	2,9
Elektrónová pohyblivosť μ_n [cm ² /Vs] (300K)	1400	8500	1000(bulk) 2000(2DEG)	135	600
Dierová pohyblivosť μ_p [cm ² /Vs] (300K)	600	400	30	14	40
Dielektrická konštanta	11,8	12,5	8,9	9,1	12,5
Driftová saturačná rýchlosť v_{sat} [$\times 10^7$ cm/s]	1	2	2,5	1,4	2
Maximálna pracovná teplota T_{max} [°C]	150	200	900	1000	1000
Prierná intenzita E_{crit} [MV/cm]	0,3	0,4	3,3	8	4
Tepelná vodivosť σ_t [W/K.cm]	1,5	0,5	1,5	2	5

Tab. 1 Porovnanie materiálových a elektrických vlastností rôznych polovodičov [2].

V súčasnej dobe prebieha aktívny výskum HEMT tranzistorov za účelom dosiahnuť čo možno najlepšie parametre GaN tranzistorov. Ako už bolo v úvode spomenuté, GaN tranzistory dokážu pracovať pri veľmi vysokých frekvenciách, kde momentálny rekord f_T je 450 GHz [3]. Zaujímavé sú aj ďalšie vlastnosti nitridu gália, ako napríklad vysoké prierné pole, ktoré je základom pre vysokovýkonové a spínacie tranzistory, kde môžeme dosiahnuť prierné napätie až 1400 V [4]. Okrem už spomínaných parametrov je veľmi dôležitá aj spoľahlivosť HEMT tranzistorov, ktorej sa v súčasnosti začína venovať väčšia pozornosť a začínajú sa vytvárať rôzne spôsoby testovania spoľahlivosti tranzistorov.

Hradlo hrá významnú úlohu ako pri vysokofrekvenčných, tak aj pri vysokovýkonových tranzistoroch. Pri vysokofrekvenčných tranzistoroch je dôležité minimalizovať kapacitu zmenšovaním hradla. Zmenšovaním hradla klesá jeho vodivosť, čo je možné vyriešiť použitím T-hradla, ktorého úzka noha zabezpečuje malú kapacitu hradla a široká hlava dostatočnú vodivosť. Preto pre všetky tranzistory pracujúce pri veľmi vysokých frekvenciách je nevyhnutné T-hradlo.

Ďalšom veľmi aktuálnou témou, ktorou sa zaoberá množstvo výskumných inštitúcií na celom svete, sú obohacovacie tranzistory na báze gálium nitridu. Dôvodov, prečo potrebujeme vytvoriť obohacovací tranzistor je hneď niekoľko. Vo výkonových aplikáciách, kde sú tranzistory použité ako spínače, je kvôli bezpečnosti potrebné, aby tranzistor v kritickej situácii, bez privádzaného napätia na hradlo, zostal zatvorený. Ďalší dôvod je použitie napájacieho a ovládacieho napätia rovnakej (kladnej) polarizácie, čo zjednoduší obvodové riešenie. Obohacovací tranzistor je potrebný aj pri vysokofrekvenčných zosilňovačoch, ktoré kvôli účinnosti pracujú v triede AB. Tu sa využíva priamo viazaná tranzistorová logika (DCTL), pri ktorej sú potrebné oba typy tranzistorov, obohacovací aj ochudobňovací.

Tranzistory s heteroštruktúrou využívajú rôznu šírku zakázaného pásma a rozdiel polarizácií materiálov, čo má za následok populáciu elektrónov v kvantovej jame. Tranzistor bez privedeného napätia je prirodzene otvorený, preto všetky štandardné GaN tranzistory pracujú v ochudobňovacom režime. Ak chceme dosiahnuť obohacovací režim, musíme zabezpečiť, aby kanál pod hradlom bol vyprázdnený a zaplnil sa po privedení kladného napätia na hradlo. Prvý obohacovací tranzistor vytvoril už v roku 1996 Khan a kol. [5]. E-HEMT využívali AlGaIn/GaN, kde vrchná bariérová AlGaIn vrstva bola hrubá iba 10 nm

a obsahovala málo hliníka (10 %) v AlGaIn vrstve. Podarilo sa im dosiahnuť kompletne vyprázdenie kanála pri 0 V a prahové napätie takto vytvoreného tranzistora bolo 0,05 V. Avšak výstupný prúd tranzistora bol iba 30 mA. To naštartovalo ďalší vývoj obohacovacích tranzistorov s vyšším prahovým napätím, vyšším maximálnym prúdom a vyšším prierným napätím. Postupne vzniklo viacero konceptov ako vytvoriť obohacovací tranzistor. Prahové napätie je priamo úmerné počtu nosičov v kanáli a vzdialenosti hradla od kanála, preto mnohé koncepty využívajú zmenšenie vzdialenosti medzi hradlom a kanálom zapustením hradla suchým leptaním [6]–[8], kde je však problém s nastavením hĺbky leptania, a tým kolísaním prahového napätia tranzistorov. Ďalším spôsobom je vyprázdenie

kanála pomocou plazmového opracovania pod hradlom tranzistora [9]–[11], ale tieto tranzistory začínajú degradovať už pri nižšej teplote, čo značne limituje ich použitie. Veľmi sľubný koncept predstavil Ostermaier a kol [12], [13], kde použili dotovanú n^{++} kryciu vrstvu na InAlN/GaN heteroštruktúre, ktorá bola selektívne odleptaná pod hradlom, kde InAlN vrstve sa zastavil lept vytvorením AlF_3 vrstvy.

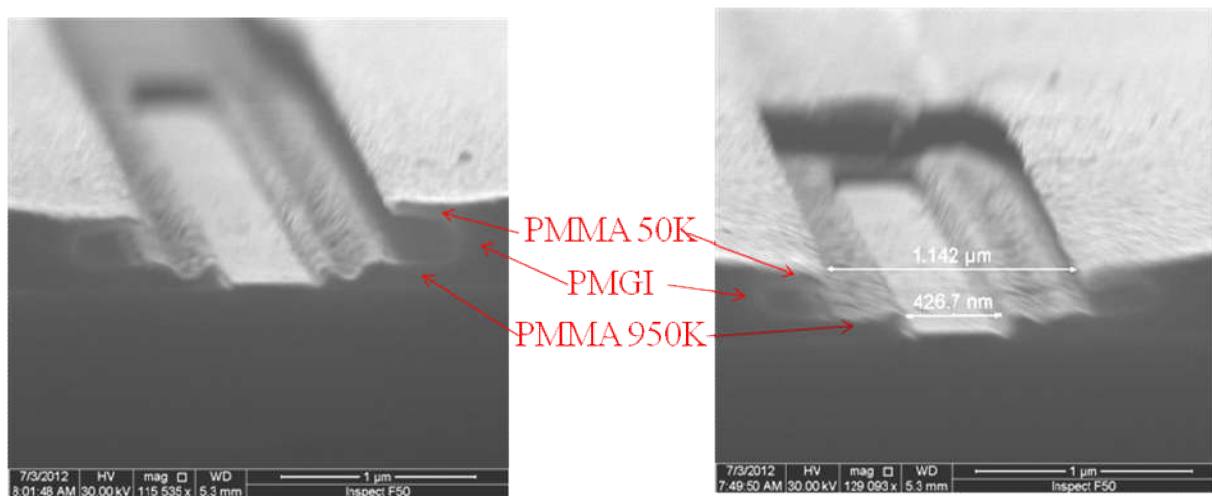
Dosiahnuté výsledky

Výsledky je rozdelená do štyroch častí. V prvej som sa venoval príprave štandardných a špeciálnych hradiel pre HEMT tranzistory pomocou elektrónovej litografie. Zo špeciálnych hradiel sme pripravovali a optimalizovali T-hradlá a hradlá s prídavnou elektródou (nie je uvedené v práci). Súčasne bola optimalizovaná príprava ohmických kontaktov žíhaných pri nízkej teplote. Spojením týchto dvoch technológií, T-hradla a nízkotepelných kontaktov, je v budúcnosti možné dosiahnuť samozákrytový tranzistor s veľmi malou SD vzdialenosťou. V druhej časti sme sa venovali príprave oxidových vrstiev pod hradlom, kde boli hradlový oxid a kov v zákryte a definované tou istou litografickou maskou, čo bol nový spôsob prípravy. Vďaka príprave hradlovej oxidovej vrstvy pri nízkej teplote sme zaznamenali po žíhaní posun prahového napätia smerom ku kladným napätiam. Spojenie tohto javu a zaleptania bolo využité v tretej časti, kde sme pripravili obohacovací tranzistor. Prahové napätie tranzistora sme dokázali zvyšovať pomocou rastúcej hrúbky oxidovej vrstvy. V poslednej podkapitole sme využili poznatky z predchádzajúcich kapitol a pripravili sme základný logický člen – invertor. Tu boli z prvej časti využité submikrometrové hradlá pripravené pomocou elektrónovej litografie. Spojením samozákrytového hradla z druhej časti a selektívneho odleptania vrstvy pod hradlom sme vytvorili obohacovací tranzistor. Využitím vhodnej štruktúry sme pripravili súčasne obohacovací a ochudobňovací tranzistor. Navrhnutím vhodných veľkostí tranzistorov a ich vhodným pospájaním sa nám podarilo vytvoriť invertor.

1 Tvarovania hradiel v HEMT tranzistoroch

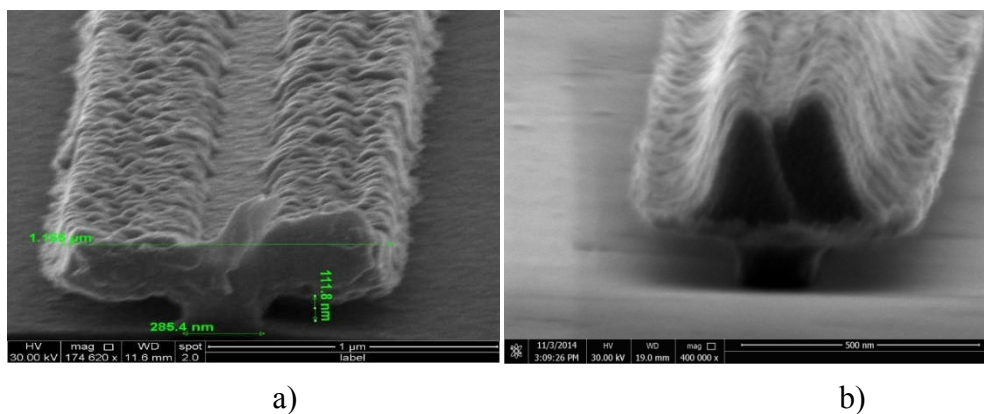
Hradlá tvarované pomocou elektrónovej litografie sú nevyhnutnou súčasťou vysokofrekvenčných III-N HEMT tranzistorov. Na prípravu T-hradiel sme sa rozhodli pre trojzložkový rezist z dôvodu spoľahlivého lift-off-u, ktorý zabezpečuje stredná podleptaná vrstva rezistu. Bola použitá kombinácia rezistových vrstiev PMMA 950K/PMGI/PMMA 50K o hrúbkach 150/ 400/150 nm . Na expozíciu T-hradiel bola použitá metóda rozdelenej dávky (Dose Split Method), ktorá využíva rozdielne citlivosti rezistov. Vrchná vrstva rezistu je citlivejšia ako spodná, preto dochádza najprv k exponovaniu vrchnej vrstvy. Na vytvorenie

profilu T-hradla je potrebné vykresliť do rezistu 3 čiary. Šírka strednej čiary definuje dĺžku nohy a hodnota dávky je stanovená tak, aby boli preexponované všetky rezistové vrstvy. Ďalšie dva obdĺžniky po stranách definujú dĺžku hlavy T-hradla. Tu je hodnota dávky stanovená tak, aby došlo k expozícii iba vrchnej vrstvy bez poškodenia spodnej. Medzi jednotlivými exponovanými oblasťami sú ponechané medzery, aby sme dosiahli takmer kolmé hrany nohy hradla. Ak by sme neurobili medzery medzi exponovanými oblasťami, vplyvom proximity efektu by sa ovplyvňovali exponované časti rezistu. Na obrázku 2 z elektrónového mikroskopu môžeme vidieť odtlačky T-hradiel v reziste.



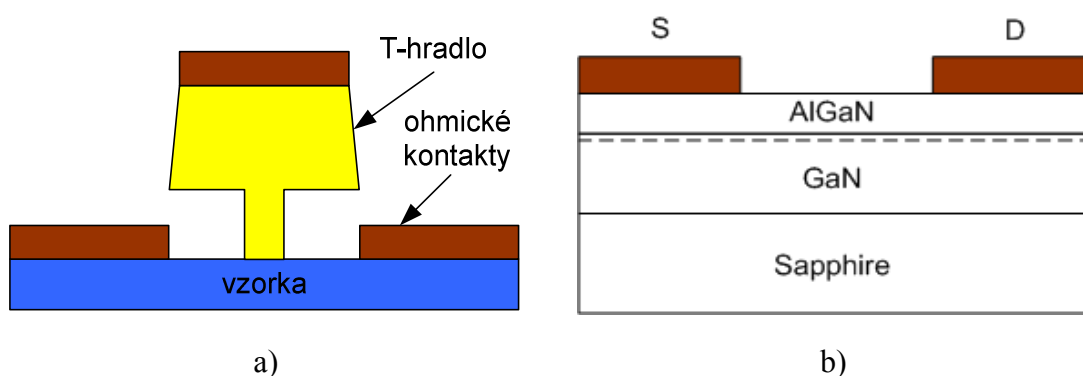
Obr. 2 SEM snímka štruktúry T-hradiel v trojvrstvovom reziste

Kalibráciou vyvolávania a leptania a exponovania rezistov sme postupne znižovali rozmery T-hradiel. Na nastavenie dávok sme vytvorili maticu T-hradiel, kde v smere osi x sme postupne menili dávku pre expozíciu nohy hradla a v smere osi y hlavy hradla. Po nastavení dávok sa nám podarilo vytvoriť T-hradlo, ktoré malo rozmer nohy 250 nm a výšku 120 nm pri šírke hlavy 1 μm (Obr. 3a). V tomto štádiu bolo treba zmeniť už len dva kľúčové parametre hradla, a to zúžiť a zároveň zvýšiť nohu hradla. Pri ďalšom optimalizovaní sa nám podarilo znížiť rozmer nohy až na 150 nm pri šírke hlavy 650 nm (Obr. 3b). Vytvorenie T-hradla tranzistora nám dáva možnosť ďalšieho vylepšenia vlastností tranzistora a to použitím samozákrytovej technológie, tiež známej ako „gate first technology“. Princíp spočíva v tom, že T-hradlo použijeme ako masku tvarovanie ohmických kontaktov, ktoré sú vytvorené až po príprave hradla. Hlava T-hradla definuje dĺžku tranzistora, čím sa skráti prístupové oblasti tranzistora.



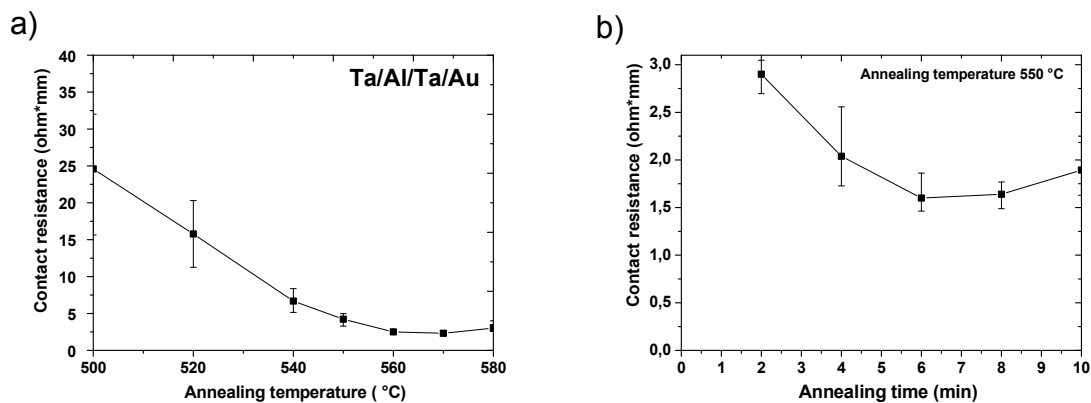
Obr.3 SEM snímky T-hradíel s dĺžkou hradla (e) 280 nm a (f) 150 nm.

Vďaka medzere pod hlavou T-hradla príde na roztrhnutiu ohmickej metalizácie a vytvoreniu samozákrytového tranzistora (obr. 4a). Ohmické kontakty však musia byť žihané pri nízkej teplote ($<600\text{ }^{\circ}\text{C}$), aby k degradácii hradla. My sme sa zamerali na ohmické kontakty zložené na báze tantalu. Kontakty boli testované na štandardnej heteroštruktúre narastenej na zafíre, kde bola narastená GaN vrstva a 22 nm hrubá bariérová AlGaIn vrstva s obsahom hliníka 22 % (obr. 4b). Následne sme kontakty žihali pri rôznych teplotách, aby sme našli optimálnu teplotu a čas žihania (obr.5).



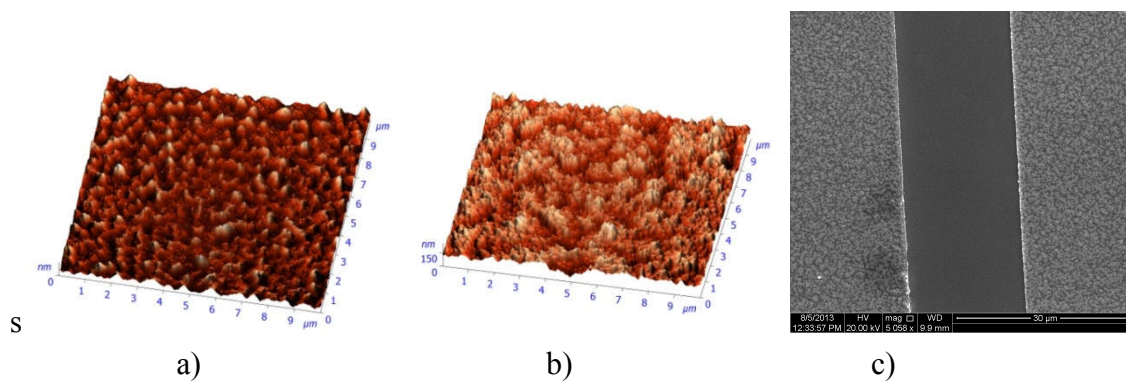
Obr. 4 Princíp samozákrytovej technológie a heteroštruktúra na testovanie nízkoteplotných ohmických kontaktov.

Na vzorku bola naparená Ta/Al/Ta/Au o hrúbke 5/100/20/50 nm. Následne boli všetky vzorky žihané pri teplote od 500 do 580 $^{\circ}\text{C}$. Odpor kontaktov bol vyhodnotený z merania na TLM štruktúrach, kde minimálny odpor $\sim 1,6\text{ }\Omega\text{mm}$ tantalových kontaktov sme dosiahli pri teplote $\sim 550\text{ }^{\circ}\text{C}$ a čase 6 minút.



Obr. 5 Závislosti odporu ohmických tantalových kontaktov (a) od teploty žihania po dobu 2 minúty a od času žihania pri teplote 550 °C.

Okrem elektrických vlastností sme vyšetrovali drsnosť kontaktov, ktorá je tiež veľmi dôležitá v technológii tranzistorov. Štandardné ohmické kontakty v zložení Ti/Al/Ni/Au vykazujú výraznú drsnosť vzhľadom na to, že sú žihané pri teplote 850 °C, kde hliník má teplotu topenia 660 °C. To spôsobuje nerovnosť hrán tranzistora a povrchovú drsnosť, preto sa snažíme nájsť nízkoteplotné kontakty, ktoré sú žihané pod touto teplotou. Na obrázku 6 môžeme vidieť porovnanie topológie medzi žihanými ohmickými kontaktmi (a) Ta/Al/Ta/Au a (b) Ti/Al/Ni/Au získané pomocou AFM. Drsnosť (RMS) bola získaná z plochy $10 \times 10 \mu\text{m}$. Drsnosť štandardných kontaktov bola 31 nm po žíhaní pri teplote 850 °C, zatiaľ čo drsnosť nízkoteplotných tantalových kontaktov bola 16 nm, čo je takmer polovičná hodnota oproti štandardným kontaktom. Taktiež okraje kontaktov boli presne definované, čo sa nezmenilo ani po žíhaní na teplote 560 °C.

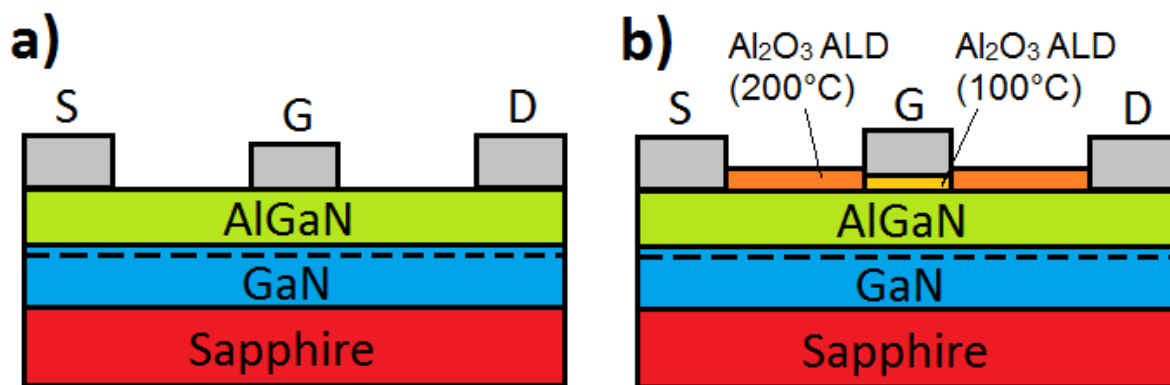


Obr. 6 Porovnanie drsnosti (a) Ta/Al/Ta/Au (16nm), (b) Ti/Al/Ni/Au (31nm) kontaktov a (c) SEM snímka tantalových kontaktov po žíhaní pri teplote 550 °C.

V tomto experimente sa nám podarilo vyvinúť a otestovať na EIÚ SAV prípravu T-hradíel so šírkou nohy 250 nm, ktorá bola postupne znížená až na 150 nm. V druhej časti sa nám podarilo pripraviť ohmické kontakty, ktorých výhodami bolo: žihanie pri nízkej teplote, nízka drsnosť a zníženie hrúbky metalizácie. Zachovanie presného okraju aj po žíhaní zvyšuje homogenitu intenzity elektrického poľa pozdĺž kontaktu. Tieto vlastnosti nám umožňujú pripraviť samozákrytový tranzistor s veľmi malou vzdialenosťou medzi kolektorom a emitorom. Zníženie tejto vzdialenosti by malo zvýšiť pracovnú frekvenciu tranzistora, preto je tento koncept veľmi sľubný pri využití vo vysokofrekvenčných aplikáciách.

2 Izolačné a pasivačné vrstvy pre HEMT tranzistory

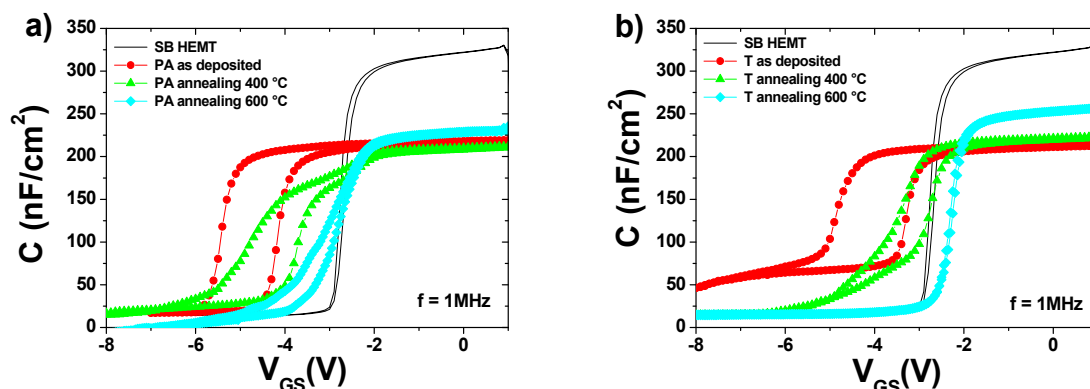
Tranzistory na báze GaN by mohli v blízkej dobe nahradiť kremíkové tranzistory vo vysokofrekvenčných a vysokovýkonových aplikáciách. Jeden z limitujúcich faktorov je zvodový prúd hradla tranzistora, spôsobený povrchovými defektmi a konečnou výškou Schottkyho bariéry. Na vyriešenie tohto problému sa používajú MIS (kov-izolant-polovodič) alebo MOS (kov-oxid-polovodič), kde ako izolačnú vrstvu môžeme použiť SiO_2 , Si_3N_4 , HfO_2 alebo Al_2O_3 . Posledný menovaný oxid hlinitý vykazuje veľmi sľubné výsledky v GaN tranzistoroch, ktoré boli publikované. Medzi jeho výhody patrí veľká energetická medzera (9 eV), veľká dielektrická konštanta (8-9), vysoké prierné napätie (10^7 V/cm), a teplotná stabilita až do 1000 °C. Al_2O_3 je tiež prirodzený oxid AlGaN-u, preto sme sa ho rozhodli použiť aj v našom experimente. Al_2O_3 bol pripravený pomocou depozície po atómových vrstvách, čo nám zaručilo jeho presne definovanú hrúbku. Teplota, pri ktorej boli vrstvy oxidu narastené, bola iba 100 °C, čo nám zároveň otvorilo cestu k novému technologickému postupu. Zvyčajne sa vrstvy oxidu deponujú na celú vzorku, a následne sa odleptajú z miest, kde nie je potrebný. Na to, aby sme oxid umiestnili iba na určené miesto, potrebujeme použiť tvarovanie pomocou fotolitografie, ktorá sa nedala použiť pri vysokoteplotných depozíciách oxidov, keďže fotorezist začína degradovať pri teplote 120 – 130 °C. Technológia prípravy Al_2O_3 depozíciou po atómových vrstvách (ALD) pri nízkej teplote (100 °C) však umožňuje použiť fotolitografický proces na definíciu oxidu. Jednu litografickú úroveň tak vieme použiť na definovanie oxidu aj hradlového kontaktu. Následne sa použije technika lift-off a odstránia sa časti, pod ktorými bol rezist. Týmto spôsobom tak dostávame oxid a hradlo, ktoré sú v zákryte.



Obr.8 Prierez (a) SB HEMT a (b) pasivovaného MOSHEMT tranzistora.

Tranzistory boli pripravené na heteroštruktúre, ktorú nám epitaxným rastom pomocou MOCVD. Na zažiarovej podložke boli postupne narastené 2 μm hrubá vrstva nedotovaného GaN a 22 nm bariérová vrstva AlGaN-u s molárnym obsahom hliníka 22 %. MESA oblasť bola definovaná pripravená pomocou ECR RIE leptania. Po dôkladnom očistení boli nadeponované ohmické kontakty. Bola použitá multivrstva Ti/Al/Ni/Au o hrúbkach 30/180/40/50 nm. Po lift-off procese boli kontakty vyžíhané pri teplote 850 °C po dobu 60 sekúnd v dusíkovej atmosfére, čo zabezpečilo nakontaktovanie na dvojdimenzionálny elektrónový plyn. Potom bola vzorka rozdelená na 3 časti. Jedna časť bola dokončená ako referenčná, to znamená že nebolo použité MOS hradlo, ale Ni/Au hradlo a vytvorený tranzistor so Schottkyho prechodom (SB HEMT). Na ďalšie vzorky bol nanesený Al_2O_3 pomocou depozície po atómových vrstvách (ALD) pri teplote 100 °C. Použili sme dva módy na prípravu oxidu. Pri prvom tzv. termálnom móde (T) boli použité prekurzor trimetylaluminium a voda. Pri druhom tzv. plazma móde (PA) bol opäť použitý prekurzor trimetylaluminium. Kyslík bol do oxidu dodávaný vo forme ozónu (O_3), ktorý vznikol vo vzdialenej plazme. Hrúbka takto pripravených oxidov bola 10 nm, čo bolo zistené pomocou merania XR reflektivity pomocou röntgenového difraktometra. Použili sme jednu fotolitografickú úroveň, cez ktorú bol zadaný oxid aj hradlová metalizácia, a následne urobili lift-off. Nakoniec boli MOSHEMT tranzistory pasivované 20 nm hrubou vrstvou oxidu hlinitého deponovaného pri teplote 200 °C v termálnom móde. Al_2O_3 a jeho rozhranie s polovodičom boli stabilizované pomocou post-depozičného žihania, ktoré pomohlo zlepšiť vlastnosti tranzistorov.

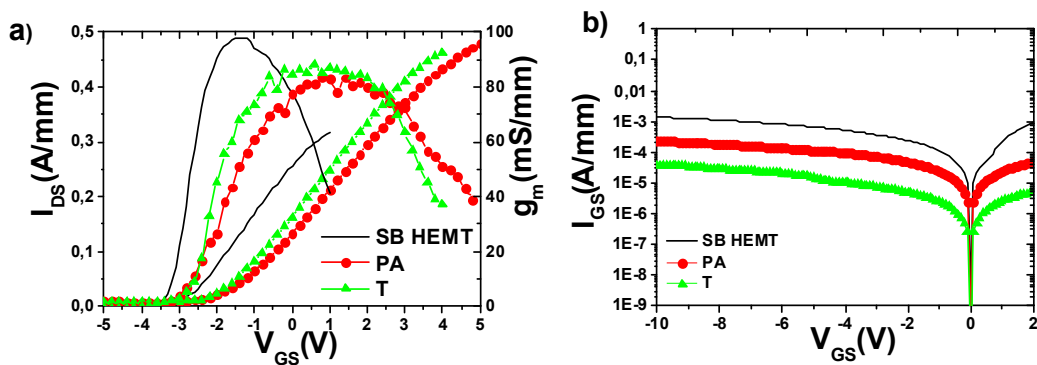
Tranzistory a diódy boli charakterizované pri izbovej teplote kapacitno-napäťovými (C - V) a prúdovo-napäťovými meraniami. Kapacitné merania oxidu pripraveného plazmovým a termálnym módom sú znázornené na obrázku 9. Z hodnoty konštantnej kapacity (plató) C - V charakteristík oxidov bez dodatočného teplotného spracovania (as deposited) bola určená hodnota dielektrickej konštanty 7,7 a 7,2 pre plazmový, respektíve termálny mód (červená krivka), čo bola akceptovateľná hodnota vzhľadom na to, že oxid bol pripravený pri nízkej teplote. Avšak hodnota hysterézie bola veľká, čo bolo spôsobené existenciou hlbokých zachytných centier na rozhraní oxid/polovodič, kde sa počas zvyšovania napätia zachytávajú elektróny, ktoré sa nestihnú uvoľniť pri aplikovaní napätia v opačnom smere [53 – 55]. Zníženie hysterézie nastalo po post-depozičnom žíhaní pri teplote 400 °C, po ktorom klesla na hodnotu približne 1 V (zelená krivka) a po ďalšom žíhaní pri teplote 600 °C takmer zmizla (modrá krivka).



Obr. 9 Porovnanie kapacitno-napäťových charakteristík SB a MOSHEMT tranzistorov pripravených pomocou (a) plazmového a (b) termálneho módu po rôznych teplotách žíhania.

Pomocou teplotných operácií sme tak dosiahli zníženie počtu hlbokých stavov na rozhraní AlGaIn/Al₂O₃, čo bolo publikované aj v iných prácach [53, 54]. To sa odzrkadlilo aj na prahovom napätí. Obe vzorky s oxidom vykazovali posun prahového napätia ku kladnejším napätiam, dokonca sme u vzoriek s oxidom dosiahli vyššie prahové napätie ako pri vzorke bez oxidu. Tomuto efektu sa budeme bližšie venovať v časti venovanej príprave obohacovacieho tranzistora. Pri žíhaní vzorky pri teplote 600 °C sme zaznamenali aj nárast konštantnej kapacity (plató) v C - V charakteristikách. Nárast hodnoty kapacity sa prejavil aj výpočte dielektrickej konštanty ϵ_r , ktorá dosahovala hodnotu 8,8 pri plazmovom móde a 13 pri termálnom móde. Tento výraznejší nárast, hlavne pri termálnom móde,

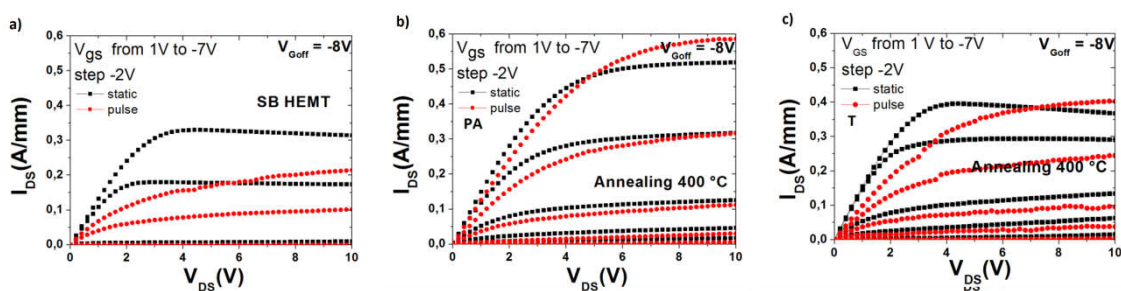
môžeme vysvetliť vznikom efektu poklesu hradla (gate sinking), pri ktorom dochádza k difúzii hradového kovu do oxidu, čím sa znižuje vzdialenosť ku kanálu [56, 57], takže nárast ϵ_r bol do určitej miery zdanlivý. Rovnaký trend, ako sme pozorovali pri kapacitných meraniach, nastal aj pri prúdovo-napäťových meraniach a to, že pri vyžíhaní pri teplote 600 °C sa prahové napätie posunulo doprava až nad úroveň prahového napätia SB HEMT tranzistora. Na obrázku 10a sú znázornené prevodové charakteristiky a charakteristiky strmosti tranzistora. Maximálny prúd SB HEMT tranzistora bol 315 mA/mm pri $V_{GS} = 1$ V a pre pasivované MOSHEMT tranzistory 462 mA/mm pri $V_{GS} = 4$ V a 478 mA/mm pri $V_{GS} = 5$ V pre T a PA vzorky. Na obrázku 10b sú znázornené vstupné charakteristiky, kde je jasne vidieť potlačenie zvodového prúdu. Vloženie oxidovej vrstvy pod hradlo sa prejavilo v priepustnom smere, kde prúd pri $V_{GS} = 2$ V poklesol až o dva rády v porovnaní s SB HEMT tranzistormi. Tu vidieť, že usmerňujúci Schottkyho kontakt sa zmenil na symetrický nepriepustný v oboch smeroch.



Obr. 10 Porovnanie (a)výstupných charakteristík, strmostí a (b)vstupných charakteristík SB a MOSHEMT tranzistorov pripravených pomocou plazmového a termálneho módu po rôznych teplotách žihania.

Zmerali sme tiež impulzné výstupné charakteristiky tranzistorov. Napätové impulzy boli privádzané na hradlo tranzistora, ktoré bolo medzi jednotlivými impulzami v zatvorenom stave. Dĺžka pulzu bola 100 ns počas periódy 100 μ s. Vnútrošným osciloskopom bol počas impulzu zaznamenaný prúd tečúci cez tranzistor. Nepasivovaný SB HEMT vykazuje značný pokles prúdu v impulznom režime, tzv. prúdový kolaps. Po žíhaní MOSHEMT tranzistorov pri teplote 400 °C sme pre oba módy depozície hradlového oxidu sme zaznamenali zvýšenie prúdu v impulznom režime a nepozorovali takmer žiadny prúdový kolaps.

V tomto experimente sme pripravili oxidové vrstvy technikou depozície po atómových vrstvách (ALD), ktorá je v súčasnosti veľmi žiadaná pre vynikajúcu kontrolovateľnosť hrúbky vrstvy. Navyše sme dokázali narásť kvalitnú a kompaktnú vrstvu pri teplote 100 °C. Príprava oxidových vrstiev pri nízkej teplote nám zároveň dovolila vyvinúť nový technologický postup, ktorým sme dokázali pomocou jednej fotolitografickej masky pripraviť oxidovú vrstvu, a zároveň aj hradlovú metalizáciu. Po rozpustení rezistu v acetóne a odplavení prebytočného oxidu a kovu nám vzniklo hradlo v samozákryte s oxidom. Táto technológia nám umožňuje použiť rôzne typy a hrúbky oxidových alebo izolačných vrstiev pre oblasť pod hradlom a v prístupových oblastiach. Rovnako sme pomocou vhodného post-depozičného žihania dokázali znížiť hysteréziu C - V charakteristík a minimalizovať prúdový kolaps. Ako ďalej ukážeme ALD v kombinácii so zapusteným hradlom a vysoko dotovanou krycou vrstvou je možné použiť v príprave samozákrytových FET štruktúrach.



Obr. 11 Porovnanie statických a impulzných charakteristík (a) SB HEMT a pasivovaných MOSHEMT tranzistorov žihaných pri teplote 400 °C s Al_2O_3 pripraveným (b) plazmovým a (c) termálnym módom pomocou ALD.

3 Samozákrytové obohacovacie MOS tranzistory so selektívne zapusteným hradlom

Výskum tranzistorov s kladným prahovým napätím je v súčasnosti veľmi aktuálnou témou. Ako bolo v teoretickej časti spomenuté, bolo vyvinutých niekoľko spôsobov ako dosiahnuť kladné prahové napätie v HEMT tranzistoroch na báze GaN, avšak mnoho prístupov malo obmedzenia, ktoré neumožňovali naplno využiť potenciál GaN tranzistorov. Ak chceme obohacovacie tranzistory použiť pre vysokofrekvenčné aplikácie, začne dôležitú úlohu hrať dĺžka hradla a veľkosť ochudobnenej oblasti pod hradlom, ktorá určuje oneskorenie elektrónov, a tým frekvenciu, na ktorej môže tranzistor pracovať, preto je dôležitá aj metóda prípravy tranzistora. Tu sme využili technologický proces popísaný

v predchádzajúcej kapitole, aby sme dosiahli oxid a hradlo v zákryte. Bol použitý koncept obohacovacieho tranzistora, ktorú navrhol Ostermaier a kol. [12] so štruktúrou $n^{++}\text{GaN}/\text{InAlN}/\text{AlN}/\text{GaN}$, kde bola selektívne odleptaná vrstva $n^{++}\text{GaN}$ -u pod hradlom. V našom prípade sme však jednu fotolitografickú úroveň použili tak na zaleptanie hradla ako i depozíciu oxidu a hradlového kovu. Následne bola použitá technika lift-off. Tento samozákrytový koncept eliminuje rozšírenie ochudobnenej oblasti [19], a tým je vhodný pre aplikácie pracujúce pri extrémne vysokých frekvenciách. Týmto spôsobom zabránime zvýšeniu kapacity hradla oproti štandardne používaným metódam, kde sa využíva buď dvojité expozičné alebo pasivácia celého povrchu. Tiež krycia vrstva $n^{++}\text{GaN}$ -u chráni povrch pred stykom s okolitým prostredím, stabilizuje povrch a zabraňuje fluktuácii potenciálu povrchu. Zároveň zabezpečuje dostatočný počet elektrónov v kvantovej jame s tienením od nabíjajúcich efektov. Na druhej strane, po zaleptaní hradla môže tiecť cez hradlo značný zvodový prúd, ktorý môže byť spôsobený tunelovaním elektrónov cez veľmi tenkú bariéru a poškodením povrchu polovodiča. To možno eliminovať správnym nastavením leptacieho času a použitím kvalitnej izolačnej vrstvy pod hradlom. V koncepte, ktorý bol použitý na prípravu obohacovacích tranzistorov, sa nám podarilo splniť základné požiadavky:

1. Vysoké prahové napätie.
2. Vysoký výstupný prúd.
3. Samozákryt hradlovej oblasti s okrajom $n^{++}\text{GaN}$ -u

Pomocou zmeny hustoty povrchových donorov na rozhraní polovodič/oxid dokážeme ovplyvňovať prahové napätie. Znížením ich hustoty pod hodnotu záporného polarizačného náboja, ktorého hodnota je $1,8 \times 10^{13} \text{ cm}^{-2}$, dokážeme so zvyšujúcou hrúbkou oxidu posúvať prahové napätie ku kladným hodnotám. Jednou z možností, ako dosiahnuť pokles hustoty povrchových donorov, je vhodne upraviť rozhranie medzi polovodičom a oxidom, či už plazmatickou oxidáciou bariéry alebo použitím ALD oxidu pripraveného pri teplote 100°C .

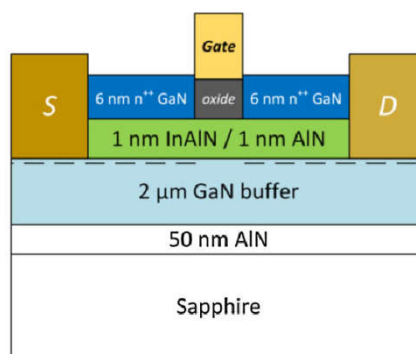
Tranzistory boli pripravené na heteroštruktúre, ktorá pozostávala zo 6 nm krycej vysoko dotovanej vrstvy ($2 \times 10^{20} \text{ cm}^{-3}$) GaN-u, 1 nm InAlN bariérovej vrstvy s obsahom indiu

17 %, 1 nm hrubej prispôsobovacej vrstvy a 2 μm GaN vrstvy narastenej na zafire pomocou MOCVD (Obr 12). MESA leptanie bolo vykonané pomocou odprašovania argónovými iónmi.

Následne boli pripravené ohmické kontakty so systémom metalizácie Ti/Al/Ni/Au, ktorá bola vyžíhaná pri teplote 850 °C po dobu 60 sekúnd v dusíkovej atmosfére. Ďalej bola pripravená hradlová litografia. Cez 2 μm dlhé hradlové otvory v reziste bolo vykonané selektívne leptanie n^{++} GaN krycej vrstvy, ktoré sa zastavilo na InAlN bariérovej vrstve.

Leptanie prebehlo v ECR RIE aparátúre v zmesi plynov $\text{SiCl}_4:\text{SF}_6$ v pomere 7:3 pri zachovaní nízkeho napätia (pod 100 V) pre zabezpečenie nízkeho poškodenia povrchu. Po vyleptaní bola cez tú istú rezistovú masku nadeponovaná oxidová vrstva pri teplote 100 °C. Tesne pred depozíciou boli vzorky vložené do roztoku $\text{HCl}:\text{H}_2\text{O}$ 1:2 na 15 sekúnd, na odstránenie vzniknutých oxidov na povrchu. Ako izolačné vrstvy boli použité buď oxid hafnia HfO_2 (5,4 nm) s prekursorom tetrakishafnium a ozónu alebo hliníka Al_2O_3 (3 až 15 nm) s prekursorom trimetylaluminia a vody. Nakoniec, opäť cez tú istú masku

bola naparená vrstva hradlových kovov a vykonaný lift-off pre odstránenie rezistu s prebytočným oxidom a kovom, čím vzniklo samozákrytové MOS hradlo. Taktiež bola pripravená aj štruktúra bez použitia oxidu (SB HEMT). Oxid bol následne post-depozične teplotne spracovaný žihaním v dusíku pri teplote 400 °C po dobu 15 minút. Z predchádzajúcich pokusov na kremíku bola hodnota dielektrickej konštanty po tomto žíhaní $\epsilon_{\text{HfO}_2} = 18$ a $\epsilon_{\text{Al}_2\text{O}_3} = 8,5$. Ako bolo spomenuté, nízкотеплотné ALD a predpríprava povrchu pred depozíciou oxidu mali zabezpečiť posun prahového napätia ku kladným hodnotám so zmenou hrúbky oxidovej vrstvy do vyšších hodnôt ($\text{Al}_2\text{O}_3 = 3, 5, 10$ alebo 15 nm), opačným smerom ako bolo prezentované vo viacerých publikáciách. Tento efekt pripisujeme zníženiu hustoty povrchových donorov, ktorý teoreticky opísal Ganguly a kol. vo svojej práci [20] na oxid/AlN/GaN. Ako vidno na obrázku 13, pri vysokej hodnote hustoty povrchových donorov Q_{it} prahové napätie tranzistora stúpa so zvyšujúcou hrúbkou oxidu. Dostatočným znížením



Obr.12 Štruktúra obohacovacieho tranzistora so selektívne zaleptaným samozákrytovým hradlom.

Q_{it} dokážeme pripraviť tranzistor s prahovým napätím nezávislým od hrúbky oxidu ($Q_{it}=Q_{\pi(\text{GaN})}$). Ďalším znižovaním Q_{it} začne prahové napätie narastať zo zvyšujúcou hrúbkou.

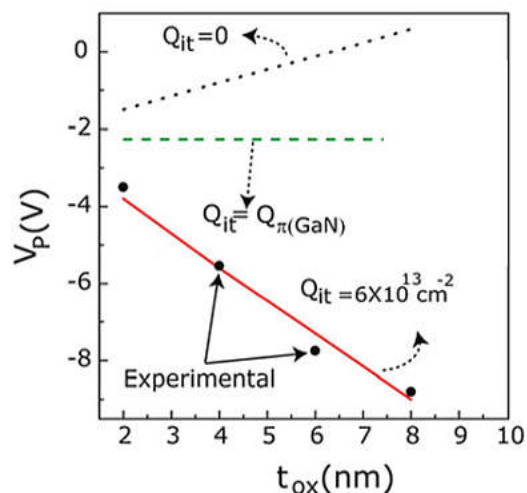
Presnejšie správanie popísal Ťapajna a Kuzmík [15] vo svojej práci, kde odvodili rovnicu pre výpočet prahového napätia, ktorú môžeme pre našu štruktúru prepísať v nasledujúcom tvare:

$$V_T = \phi_b - \sum \Delta E_C - \frac{t_{ox} E_{OT}}{\epsilon} (P_{\text{GaN}} + qN_{d,surf}) - \frac{t_{bar}}{\epsilon} P_{QW} \quad (4.1)$$

kde ϕ_b je výška bariéry medzi oxidom a kovom, $\sum \Delta E_C$ je súčet nespojitosti vo vodivostnom pásme cez hradlový kontakt, $t_{ox} E_{OT}$ je ekvivalentná hrúbka oxidu, P_{GaN} je polarizácia na povrchu GaN-u, P_{QW} je polarizácia v kvantovej jame (v tomto prípade $P_{\text{AlN/GaN}} + P_{\text{InAlN/AlN}}$) a t_{bar} je hrúbka bariéry. Pre zjednodušenie boli náboje v oxide a na rozhraní zanedbané. Z rovnice teda vyplýva, že sklon priamky (S) určujúcej závislosti prahového napätia od hrúbky oxidu $V_T = f(t_{ox})$ je závislý od hustoty povrchových donorov. Hodnotu hustoty povrchových donorov tak dokážeme odhadnúť z rovnice:

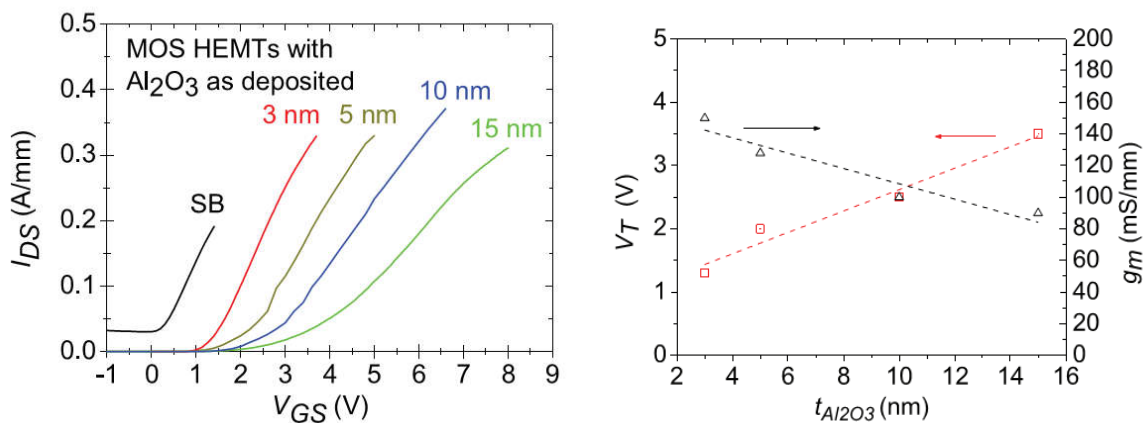
$$N_{D,surf} = \frac{-(P_{\text{GaN}} + S\epsilon)}{q} \quad (4.2)$$

Z extrahovanej hodnoty $N_{d,surf}$ a riešením Schrödinger-Poissonovej rovnice vieme vyrátať energetický pásmový diagram našej skúmanej MOSHEMT štruktúry. Jednosmerná elektrická charakterizácia bola použitá na zistenie vplyvu žihania na MOSHEMT štruktúru. Na obrázku 14a sú ukázané prevodové charakteristiky obohacovacích tranzistorov s rôznou hrúbkou Al_2O_3 pod hradlom v porovnaní s referenčnou vzorkou bez oxidu (SB HEMT). Okrem toho, že oxid pod hradlom výrazne znížil zvodový prúd, prahové napätie podľa nášho predpokladu so zvyšujúcou sa hrúbkou oxidu stúpalo, čo signalizovalo, že sa nám podarilo znížiť hustotu povrchových donorov. Táto situácia je rozdielna od bežných prípadov, kde oxid je deponovaný pri vysokej teplote a prahové napätie sa posúva smerom k negatívnym



Obr.13 Experimentálna a simulovaná závislosť prahového napätia V_P od hrúbky oxidovej vrstvy [20]

hodnotám [21]. Navyše so zvyšujúcou sa hrúbkou oxidu sa zvyšuje aj rozdiel prúdu medzi vypnutým a zapnutým tranzistorom. Pri kolektorovom napätí $V_{DS} = 8$ V bol prúd vo vypnutom stave pri 3 nm $\text{Al}_2\text{O}_3 \sim 10^{-4}$ A/mm, a pri 15 nm Al_2O_3 klesol na $\sim 10^{-7}$ A/mm. Pri hrúbke oxidu 10 nm sme dosiahli excelentný pomer medzi vypnutým a zapnutým tranzistorom (on/off ratio) až 10^8 . Ak použijeme tenšiu hrúbku oxidu, začne sa zvyšovať zvodový prúd cez hradlo a na druhej strane zvyšovaním hrúbky sa začína pomalšie zatvárať tranzistor, klesá tzv. subthreshold slope. Zhoršujúca sa kvalita rozhrania oxid/polovodič so zvyšujúcou sa hrúbkou oxidu bola zaznamenaná aj v ďalšej štúdii [22].



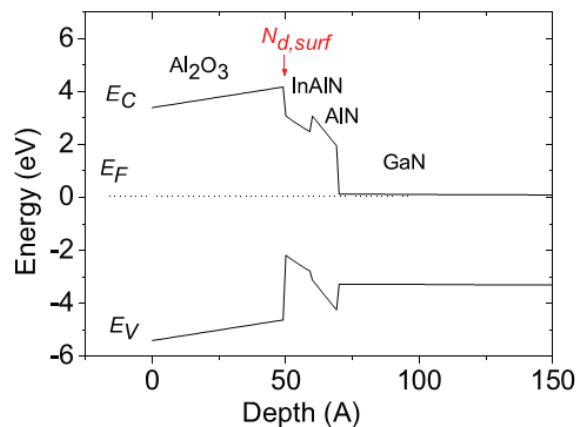
Obr. 14 Prevodové charakteristiky (a) v lineárnej mierke samozákrytového $n^{++}\text{GaN}/\text{InAlN}/\text{AlN}/\text{GaN}$ SB a MOSHEMT tranzistorov s rôznou hrúbkou Al_2O_3 oxidu pod hradlom. Na obrázku (b) sú znázornené závislosti prahového napätia a strmosti MOSHEMT tranzistorov od hrúbky Al_2O_3 .

Na obrázku 14b je znázornená závislosť prahového napätia a maximálnej strmosti g_m MOSHEMT tranzistorov od hrúbky oxidovej vrstvy a lineárnej aproximácie týchto závislostí. Prahové napätie použité v tomto grafe bolo získané extrapolovaním prevodovej charakteristiky v lineárnej mierke do nulovej hodnoty prúdu dotyčnicou v bode s najväčšou hodnotou strmosti. Ako bolo očakávané, hodnota strmosti klesala so zvyšujúcou sa hrúbkou oxidu. Zo závislosti $V_T = f(t_{\text{ox}})$ bola nájdená hodnota sklonu priamky S , ktorá bola dosadená do rovnice 4.2 a vypočítaná hustota $N_{\text{d,surf}}$, ktorej hodnota je $1 \times 10^{13} \text{ cm}^{-2}$. Z toho vyplýva, že väčšina polarizačného náboja na povrchu InAlN bariéry ($\sim 4,5 \times 10^{13} \text{ cm}^{-2}$ [23]) ostala nevykompenzovaná. Nakoniec bol vyrátaný energetický pásmový diagram (Obr. 15) pomocou voľne prístupného programu 1D Poisson, ktorý rieši jednodimenzionálnu Poissonovú a Schrodingerovú rovnicu. Prierez prechádza cez oblasť hradla, kde bola

selektívne odpletaná $n^{++}\text{GaN}$ vrstva a nadeponovaná 5 nm vrstva oxidu a predpokladaná hustota povrchových donorov rovná $1 \times 10^{13} \text{ cm}^{-2}$. V diagrame je významný pozitívny sklon vodivostného pásu Al_2O_3 , čo je priamym dôsledkom toho že $N_{d,\text{surf}} < P_{\text{GaN}}/q$, a to zaručuje nárast prahového napätia so zvyšujúcou sa hrúbkou oxidu.

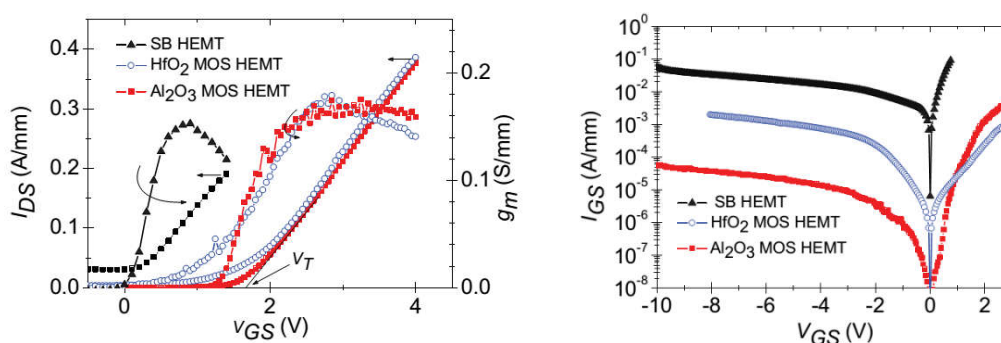
MOSHEMT tranzistory s oxidovou vrstvou pripravenou pomocou ALD boli podrobené tepelnému spracovaniu. Keďže teplota depozície bola veľmi nízka, rozhodli sme sa vzorky vyžíhať v dusíkovej atmosfére pri teplote 400°C po dobu 15 min. Tieto parametre žihania sa nám osvedčili už pri teplotnom spracovaní v experimente, ktorý som popísal v predošlom texte. Žíhané boli tranzistory s nasledujúcimi oxidovými vrstvami: 3 nm Al_2O_3 a 5,4 nm HfO_2 . Prahové napätie po žíhaní stúplo o $\sim 0,3 \text{ V}$, zatiaľ čo hodnota strmosti g_m zostala takmer rovnaká. Tento trend môže byť vysvetlený zvýšením permitivity oxidu alebo efektom poklesu hradla (gate sinking) [17], ktorý bol pozorovaný aj v predchádzajúcom experimente. To nám naznačuje aj kapacitno-napäťová charakteristika, kde vidieť nárast

konštantnej kapacity (plata), čo naznačuje zníženie vzdialenosti medzi hradlom a kanálom alebo zvýšenie permitivity oxidu. Taktiež boli merané aj impulzné charakteristiky pomocou rovnakej metodiky ako v predchádzajúcom experimente. Pokles prúdu bol na úrovni 25 % pre oba typy oxidu (Al_2O_3 a HfO_2). To naznačuje, že v oboch prípadoch je podobná hodnota hlbokých stavov. Vznik hlbokých stavov mohol byť spôsobený nízkou leptacou rýchlosťou ECR RIE leptacieho systému a nedostatočnou kalibráciou leptacieho času, čo mohlo spôsobiť, že po odleptaní $n^{++}\text{GaN}$ -u bol povrch bariéry v oblasti hradla vystavený leptaniu dlhší čas, čo je niekoľko násobne viac ako pri leptaní v suchom leptacom zariadení s induktívne viazanou plazmou (ICP RIE), kde sme potrebnú vrstvu odleptali za 30 sekúnd [13].



Obr. 15 Energetický pásmový diagram $n^{++}\text{GaN}/\text{InAlN}/\text{AlN}/\text{GaN}$ MOSHEMT tranzistor so selektívne odleptanou vrstvou $n^{++}\text{GaN}$ -u a 5 nm hrubou vrstvou Al_2O_3 oxidu a $N_{d,\text{surf}} = 1 \times 10^{13} \text{ cm}^{-2}$ na povrchu InAlN -u.

Samozákrytové tranzistory by mali nájsť uplatnenie vo vysokofrekvenčných obvodoch. Pre dosiahnutie vysokej rýchlosti je dôležitá hĺbka ochudobnenia kanála. Pri zmenšovaní dĺžky hradla pod 100 nm by bolo kritické, ak by neboli oxid a hradlový kov v zákryte. Pokles hrúbky oxidu pri nanometrových rozmeroch vedie k tunelovaniu elektrónov cez dielektrikum. To viedlo k použitiu oxidov s vysokou hodnotou permitivity, kde rovnakú hodnotu kapacity dosiahneme pri väčšej hrúbke. Boli hodnotené vlastnosti MOSHEMT tranzistorov s oxidom s vysokou permitivitou, ktoré nie sú až tak bežne používanými oxidmi pre tranzistory. Na obrázku 16a je porovnanie prevodových charakteristík SB HEMT



Obr. 16 (a) Prevodové charakteristiky, strmosti a (b) vstupné charakteristiky MOSHEMT tranzistorov a tranzistorov s 3 nm Al_2O_3 vrstvou a 5,4 nm HfO_2 vrstvou po žíhaní. Pre porovnanie sú znázornené charakteristiky SB HEMT tranzistora.

a MOSHEMT tranzistorov po žíhaní. Hrúbka Al_2O_3 bola 3 nm a HfO_2 5,4 nm, čo je približne rovnaká hodnota efektívnej hrúbky oxidu (EOT). Obidva MOSHEMT tranzistory vykazovali takmer identické správanie s jasným vylepšením oproti SB HEMT štruktúre. Boli porovnané aj vstupné charakteristiky pre rôzne oxidy. Ako vidno na Obr. 16b v závernom smere, Al_2O_3 vykazuje menšie zvodové prúdy oproti HfO_2 . To je spôsobené vyššou hodnotou zakázaného pásma oxidu hliníka. Na druhej strane, v priepustnom smere je zvodový prúd oxidu hliníka väčší kvôli tomu, že je použitá tenšia vrstva oproti oxidu hafnia, čo spôsobuje ľahšie tunelovanie elektrónov. Z toho vyplýva, že oxid hafnia je vhodný najmä pre MOSHEMT tranzistory s veľmi krátkymi hradlami.

V tomto experimente sa nám podarilo pripraviť samozákrytový obohacovací $n^{++}GaN/InAlN/AlN/GaN$ MOSHEMT tranzistor, kde bola iba jedna hradlová litografia použitá súčasne na zahĺbenie hradla selektívnym leptaním, depozíciu oxidovej vrstvy a naparenie hradlového kontaktu. Prípravy oxidovej vrstvy pri nízkej teplote (100 °C) viedla

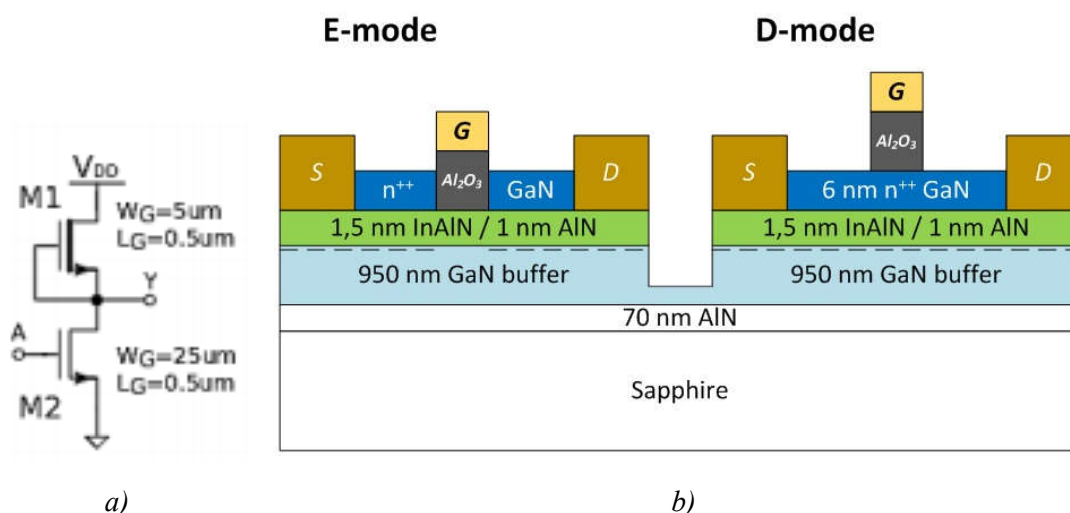
k výraznému poklesu hustoty povrchových donorov. Dôsledkom toho sme dokázali zvyšovať prahové napätie zo zvyšujúcou sa hrúbkou oxidu, čo je opačný efekt, ako bol doteraz publikovaný v mnohých publikáciách pri použití oxidu pripraveného pri vysokej teplote. Bol tiež otestovaný aj oxid hafnia, ktorý vykazoval excelentné výsledky a pripravený tranzistor by mohol byť v budúcnosti použitý v zosilňovačoch a zmiešavačoch pracujúcich pri veľmi vysokých frekvenciách.

4 Príprava monolitického logického obvodu na GaN-e

Tranzistory na báze gálium nitridu poskytujú obrovské možnosti v oblasti vysokých frekvencií. Jednou z možností ich využitia je vytvorenie integrovaných obvodov pracujúcich pri veľmi vysokých frekvenciách. Základné tranzistory s 2DEG-om v kanáli sú prirodzene ochudobňovacie. Tie však potrebujú na riadenie vodivosti kanála záporné napätie, čo je značný problém, keďže pri logických obvodoch sa používa napätie iba jednej polarizácie. Na vytvorenie najzákladnejšej logickej jednotky – invertora – je nutné použiť obohacovací tranzistor. To je ďalší dôvod, prečo je dôležité vyvinúť spoľahlivý obohacovací tranzistor. Doteraz bolo vyvinutých množstvo typov logík, z ktorých každá má svoje výhody. Asi najlepšie riešenie poskytuje CMOS logika, ktorá využíva oba typy vodivosti tranzistorov (P a N). Pri GaN tranzistoroch máme k dispozícii iba N kanál, ktorý môžeme buď zatvárať záporným napätím (ochudobňovací mód) alebo otvárať kladným napätím (obohacovací mód). Z toho vyplýva, že spodná časť invertora bude pracovať s obohacovacím tranzistorom rovnako ako v CMOS technológii. Vo vrchnej časti budeme nútení urobiť zmenu a hradlo vrchného tranzistora nezapojíme na vstup, ale na výstup invertora, čím vytvoríme z vrchného ochudobňovacieho tranzistora prúdový zdroj. Tento typ logiky sa nazýva priamo viazaná tranzistorová logika (direct coupled transistor logic - DCTL) a schéma zapojenia invertora je znázornená na obrázku 17a. V porovnaní s CMOS technológiou v statickom režime budeme mať rovnakú spotrebu pri log 0 na vstupe a zvýšenie spotreby nastane, až keď bude na vstupe log 1, kedy bude tiecť cez vrchný tranzistor prúd definovaný prúdovým zdrojom.

Ako vidno, na vytvorenie funkčnej logickej jednotky potrebujeme oba typy tranzistorov, ochudobňovacie aj obohacovacie, preto je veľmi dôležitý návrh štruktúry, ktorá umožňuje vytvorenie obohacovacieho a ochudobňovacieho tranzistora na jednej podložke. Ešte väčší problém je komplikovaný rast a príprava takýchto štruktúr. Bolo vytvorených už

niekoľko invertorov, invertor pripravený na heteroštruktúre AlGaN/GaN, a tiež na AlN/GaN. V našom koncepte sme využili podobnú heteroštruktúru, ako v predchádzajúcom experimente, ktorá je vhodná pre použitie na vysokofrekvenčné a logické aplikácie. Využitím vhodnej heteroštruktúry v kombinácii so selektívnym leptaním, nízko-teplotným deponovaním oxidovej vrstvy a hradlového kovu a použitím samozákrytovej technológie dokážeme vytvoriť spoľahlivý obohacovací tranzistor s nastaviteľným prahovým napätím podľa hrúbky oxidu. Taktiež samozákrytový prístup znižuje plochu hradla, ktorá je bežne rozšírená vplyvom dvojitého súkrytovania hradla. V tomto experimente bola využitá štruktúra $n^{++}\text{GaN}/\text{InAlN}/\text{AlN}/\text{GaN}$, kde obohacovacie tranzistory boli vytvorené odleptaním $n^{++}\text{GaN}$ vrstvy pod hradlom, kde bola následne nanosená vrstva oxidu. Ochodobňovací tranzistor bol tiež pripravený samozákrytovou technikou, avšak iba depozíciou oxidu. Následne boli zmerané napäťovo-prúdové charakteristiky oboch tranzistorov a overená funkčnosť invertora.

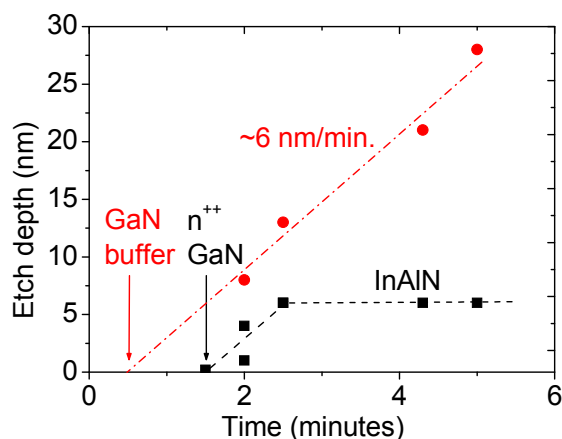


Obr. 17 Schéma zapojenie invertora v priamo viazanej tranzistorovej logike (DCTL). a prierez ochudobňovacieho a obohacovacieho $n^{++}\text{GaN}/\text{InAlN}/\text{AlN}/\text{GaN}$ MOSHEMT GaN tranzistora na jednom substráte.

Logické obvody boli pripravené na heteroštruktúre, ktorá pozostávala zo 6 nm krycej vysoko dotovanej vrstvy ($2 \times 10^{20} \text{ cm}^{-3}$) GaN-u, 1,5 nm InAlN bariérovej vrstvy s obsahom india 17 %, 1 nm hrubej AlN prispôsobovacej vrstvy a 2 μm GaN vrstvy narastenej na zaříre pomocou MOCVD. MESA leptanie bolo vykonané pomocou ICP RIE do hĺbky $\sim 200 \text{ nm}$. Následne boli pripravené ohmické kontakty so systémom metalizácie Ti/Al/Ni/Au, ktorá bola vyžíhaná pri teplote 850°C po dobu 60 sekúnd v dusíkovej atmosfére. Ďalej boli vytvorené

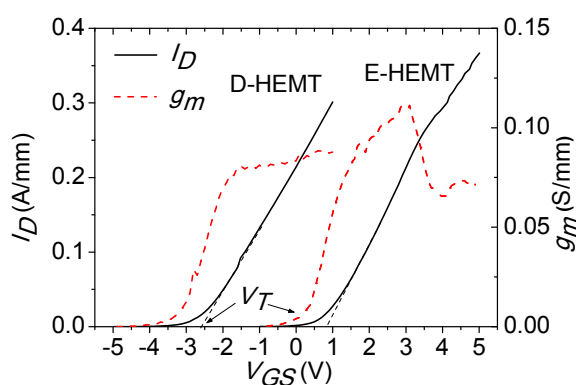
500 nm hradlové otvory pre obohacovacie tranzistory pomocou elektrónovej litografie, cez ktoré bolo vykonané selektívne leptanie $n^{++}\text{GaN}$ krycej vrstvy, ktoré sa zastavilo na InAlN bariérovej vrstve. Leptanie prebehlo v ICP RIE aparátúre v zmesi plynov $\text{SiCl}_4:\text{SF}_6$ s 25% obsahom SF_6 pri zachovaní nízkeho napätia (75 V) pre zabezpečenie nízkeho poškodenia povrchu a tlaku 2,7 Pa. Keďže sme používali podobnú štruktúru ako v predchádzajúcom experimente, bolo treba kalibrovať leptanie pomocou nového zariadenia IPC RIE, ktoré spôsobuje menšie poškodenie povrchu ako ECR RIE. Ako východiskové hodnoty sme zvolili parametre publikované v práci Ostermaiera a kol. [13]. Kalibrácia leptania $n^{++}\text{GaN}$ vrstvy bola testovaná po dobu 2 až 5 minút pre zistenie leptacej rýchlosti, mŕtveho času leptania a selektivity na skúšobných vzorkách. Súčasne bolo vyhodnocované leptanie GaN -u mimo MESA ostrovčeka. Po nastavení leptacieho procesu bola odleptaná $n^{++}\text{GaN}$ vrstva a cez tú istú rezistovú masku nadeponovaná oxidová vrstva pri teplote 100 °C. Ako izolačná vrstva bol použitý oxid hliníka Al_2O_3 s hrúbkou 10 nm s použitím prekursorov trimetylaluminia a vody. Nakoniec, opäť cez tú istú masku bola naparená vrstva hradlových kovov a vykonaný lift-off pre odstránenie rezistu s prebytočným oxidom a kovom, čím vzniklo samozákrytové MOS hradlo. Následne prebiehala ďalšia elektrónová litografia, kde boli opäť definované 500 nm hradlá, ale už pre ochudobňovacie tranzistory. Nasledovala depozícia 10 nm oxidu pri rovnakých podmienkach ako pre obohacovací tranzistor, a nakoniec opäť depozícia Ni/Au hradla a lift-off. Posledným krokom bola prepojovacia úroveň, ktorou sa prepojili jednotlivé tranzistory a vytvorili kontaktné plochy pre meranie tranzistorov. Source-drain vzdialenosť pripravených tranzistorov bola 5 μm . Šírka tranzistorov pre invertor bola 5 μm pre ochudobňovací a 25 μm pre obohacovací mód. Pomocou kontaktovacej metalizácie bol invertor zapojený do priamo viazanej tranzistorovej logiky.

Jednou zo základných požiadaviek bolo vytvoriť obohacovací tranzistor s kladným prahovým napätím a minimálnym prúdom pri 0 V. To bolo možné dosiahnuť po odleptaní celej $n^{++}\text{GaN}$ vrstvy. Z experimentov na testovacích vzorkách sme získali závislosť hĺbky leptania od leptacieho času. Ako vidno z obrázku 19, leptacia rýchlosť nedotovaného GaN-u je vyššia ako dotovaného. Dôležité bolo, že vrstva InAlN-u bola odolná voči tomuto leptaniu, čo ukazuje aj graf leptania, na ktorom je vidieť, že sa leptanie zastavilo na InAlN vrstve po odleptaní 6 nm $n^{++}\text{GaN}$ -u. Leptacia rýchlosť GaN-u a $n^{++}\text{GaN}$ -u bola približne rovnaká. Rozdielny bol mŕtvy čas leptania, ktorý bol približne o 1 minútu dlhší, čo mohlo byť spôsobené vysokou dotáciou kremíka v $n^{++}\text{GaN}$ vrstve. Po dokončení vzorky boli najprv testované jednotlivé ochudobňovacie a obohacovacie tranzistory. Drainový prúd oboch tranzistorov bol na úrovni ~ 350 mA/mm. Cez obohacovací tranzistor pri nulovom napätí netečie takmer žiadny prúd, čo bolo veľmi dôležité pre správnu



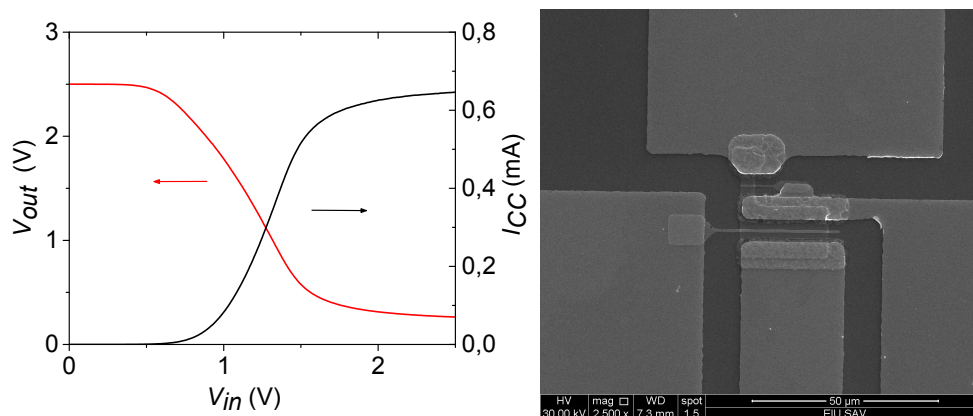
Obr.19 Závislosť hĺbky leptania od času nedotovaného GaN-u (červená) a dotovaného GaN (čierna), ktorý sa po kompletnom odleptaní (6 nm) zastavil na InAlN stop vrstve.

funkciu invertora. Na obrázku 22 sú zobrazené prevodové charakteristiky a strmosti pripravených tranzistorov. Extrapolované prahové napätie ochudobňovacieho tranzistora bolo -2,6 V a obohacovacieho tranzistora +0,8 V, čo je posun o vyše 3 V. Strmost' a výstupný prúd oboch tranzistorov zostal na približne rovnakej úrovni. To je dosť ojedinelý jav, pretože v mnohých publikovaných prácach je prúd obohacovacieho tranzistora výrazne nižší ako ochudobňovacieho.



Obr.22 Prevodové charakteristiky a strmosti ochudobňovacieho a obohacovacieho tranzistora.

Ako posledná bola zmeraná prevodová charakteristika invertora v zapojení priamo viazanej logiky pri napájacom napätí 2,5 V. Výstupné logické hodnoty invertora vykazovali plný rozkmit, t. j. logická 1 mala hodnotu $\sim 2,5$ V a logická 0 približne 0 V. Ako sme očakávali, spotreba invertora bola najväčšia, keď bol otvorený spodný obohacovací tranzistor a tiekol cez neho konštantný prúd, ktorý bol definovaný vrchným tranzistorom v zapojení prúdového zdroja. Vpravo na obrázku 23 je snímka invertora z elektrónového mikroskopu. V tomto experimente sa nám podarilo využiť výsledky získané v predošlých experimentoch. Vďaka príprave dielektrickej vrstvy pri nízkej teplote pomocou nanášania po atómových vrstvách sa nám podarilo znížiť hustotu povrchových donorov, a tak zabezpečiť posun prahového napätia smerom ku kladným hodnotám pri zvyšujúcej sa hrúbke oxidu. Nízka teplota depozície nám dovolila vyvinúť nový technologický postup, pomocou ktorého sme jednu fotolitografickú masku použili na odleptanie krycej vrstvy, depozíciu oxidovej vrstvy a hradlového kovu. Po lift-off-e vznikla samozákrytová štruktúra. Tento postup bol použitý pri príprave oboch typov tranzistorov na dosiahnutie čo najvyššej rýchlosti logických členov. Taktiež sa nám podarilo na štruktúre $n^{++}\text{GaN}/\text{InAlN}/\text{AlN}/\text{GaN}$ vytvoriť oba typy MOSHEMT tranzistorov, obohacovací a ochudobňovací, ktoré boli vhodne pospájané, a tak sme vytvorili invertor a ďalšie logické členy v priamo viazanej tranzistorovej logike. Funkcia oboch tranzistorov bola overená jednosmernými meraniami, a nakoniec meraním prevodovej charakteristiky invertora.



Obr. 23 Prevodová charakteristika a spotreba prúdu invertora pripraveného na jednej podložke pri napájacom napätí 2,5 V.

5 Záver

Súčasný vývoj telekomunikačnej techniky zaznamenáva obrovský rozmach. Ľudia potrebujú sťahovať, zdieľať, a mať prístup k množstvu dát. Zároveň požadujú, aby tento prenos prebehol v priebehu pár sekúnd, v ideálnom prípade v reálnom čase. Preto je obrovský tlak na to, aby koncové zariadenia a vysielacie stanice pracovali pri čo najvyššej možnej frekvencii. Sekundárnou, ale nie zanedbateľnou požiadavkou je výkon, ktorý musia tieto vysielacie vyžiarit', kde zníženie stratového výkonu vo forme tepla je veľmi dôležité. Vhodným kandidátom, ktorý spĺňa tieto kritériá, je gálium nitrid (GaN). Vďaka dvojdimenzionálnemu elektrónovému plynu v kvantovej jame sa dokážu elektróny pohybovať obrovskou rýchlosťou. Veľká šírka zakázaného pásma a vysoká pracovná teplota ho predurčujú pre použitie vo vysokofrekvenčných a zároveň vysokovýkonových aplikáciách. V súčasnosti sa vývoju týchto tranzistorov venuje mnoho výskumných skupín po celom svete. Prvé tranzistory sa už začínajú integrovať do elektronických zariadení. V tejto práci sa snažíme vysvetliť obrovský potenciál GaN HEMT tranzistorov a posunúť ďalej riešenie problémov, ako sú izolácia hradla, príprava obohacovacieho tranzistora a logických obvodov.

V prvej časti bolo našou úlohou pripraviť tranzistor samozákrytovou technológiou. Podarilo sa nám pripraviť pomocou elektrónovej litografie T-hradlo s dĺžkou nohy a hlavy 250 nm, resp. 1 μm . Po čiastočnej optimalizácii sa nám podarilo dĺžku nohy znížiť až na 150 nm. Taktiež sa nám podarilo vytvoriť ohmické kontakty na báze tantalu, ktoré boli žihané pri relatívne nízkej teplote (550 °C) oproti bežne používaným kontaktom (850 °C). Spojením týchto dvoch výsledkov budeme môcť vytvoriť samozákrytový HEMT tranzistor. Ďalej sme sa zamerali na prípravu tranzistorov s dielektrickou vrstvou pod hradlom (MOSHMT). Vrstva oxidu hlinitého (Al_2O_3) bola pripravená metódou nanášania po atómových vrstvách (ALD). Nízka teplota depozície (100 °C) nám dovolila využiť nový technologický postup. Použili sme jednu fotolitografickú úroveň na definovanie oxidu a hradlového kovu. Týmto spôsobom sme vytvorili hradlo, ktoré bolo v zákryte s oxidom. Jeho výhodou bolo, že môžeme použiť rôzne typy oxidov na izoláciu hradla a pasiváciu tranzistora. Oxid bol spracovaný post-depozičným žihaním, ktoré znížilo hysteréziu a prúdový kolaps tranzistorov. V nasledujúcich prácach sme pripravovali nový typ samozákrytového obohacovacieho tranzistora bez nutnosti epitaxného prerastenia prístupových oblastí. Na heteroštruktúre

$n^{++}\text{GaN}/\text{AlGaIn}/\text{AlN}/\text{GaN}$, kde sme selektívne odleptali $n^{++}\text{GaN}$ pod hradlom. Taktiež sme tu využili a rozšírili technológiu z predchádzajúcej kapitoly, kde sme použili jednu fotolitografickú úroveň na odleptanie $n^{++}\text{GaN}$ vrstvy a depozíciu dielektrickej vrstvy a hradlového kovu. Vďaka oxidu pripravenom pri nízkej teplote sa nám podarilo znížiť hodnotu povrchových donorov, čo malo za následok, že so zvyšujúcou sa hrúbkou oxidu sa zvyšovalo prahové napätie tranzistorov, čo ešte nebolo pozorované. Pri 15 nm hrubej vrstve Al_2O_3 sme dosiahli prahové napätie $\sim 3,5$ V, čo je výrazný posun v porovnaní s tranzistormi bez dielektrika, kde bolo na úrovni ~ 0 V. Výstupný prúd bol $\sim 400\text{mA/mm}$ a rozdiel prúdu medzi otvoreným a zatvoreným tranzistorom bol excelentných osem rádov. V poslednom experimente sme použili opäť heteroštruktúru $n^{++}\text{GaN}/\text{AlGaIn}/\text{AlN}/\text{GaN}$ na vytvorenie oboch typov tranzistorov, ochudobňovacieho a obohacovacieho, na jednej podložke. Navrhnutím vhodných rozmerov sme vytvorili rôzne obvody priamo viazanej logiky, z ktorých bol v práci prezentovaný invertor. Obohacovací tranzistor bol dosiahnutý odleptaním $n^{++}\text{GaN}$ vrstvy pod hradlom a použitím oxidovej vrstvy. Pri ochudobňovacom tranzistore bola tiež pod hradlo nadeponovaná oxidová vrstva technológiou samozákrytového hradla pre zníženie zvodového prúdu. Invertor bol otestovaný pri napájacom napätí 2,5 V, kde vstupnej pri logickej 0 a logickej 1 bolo na výstupe napätie 2,5 V, resp. 0,2 V, čo je v súčasnosti jeden z najlepších výsledkov na svete v GaN logike.

Summary

Telecommunications industry has seen unprecedented growth. People need to download, share and access large amounts of data, and that should be in real time or in a matter of seconds. End devices and broadcasting stations are thus expected to run at the highest possible frequencies. And importantly, they should lose as little power as possible in the form of heat. A suitable material, which is capable of meeting such criteria, is gallium nitride (GaN). The material is undoubtedly predetermined for high frequency and high power applications because it has a large energy gap, devices based on it can be operated at high temperatures, and GaN-based quantum wells with two-dimensional electrons gases let electrons move at very high speeds. Such promises have attracted a number of research groups toward intensive work on GaN-based transistors.

This thesis generally looks more closely into why GaN HEMT transistors are so promising, and in particular, it reports on our efforts to address some remaining problems, such as the gate isolation and the preparation of normally-off transistors and logic circuits.

Our first task was to prepare a self-aligned T-gate GaN HEMT transistor employing the following processes. Electron beam lithography was used to prepare T-gates with foot and head widths of 250 nm and 1 μm , respectively. The process was then partially optimized, and we succeeded at a further downsizing of the foot width to 150 nm. We prepared ohmic contacts based on tantalum and annealed them at 550 $^{\circ}\text{C}$. This is a much lower temperature compared with a standard annealing temperature of 850 $^{\circ}\text{C}$ used for common contacts.

In next experiment, we formed a transistor with an aluminum dioxide (Al_2O_3) dielectric layer under the gate (MOSHEMT). The layer was prepared by atomic layer deposition (ALD). As the layer was deposited at a low temperature, we were able to test a new technological process: the same photolithographic mask was used for the definition of the oxide and gate metal layers. We applied this approach to form a gate that was aligned with the oxide layer. One can benefit from this process as one type oxide can be used under the gate and another in the access region. Post-deposition annealing of the oxide layer helped to suppress the hysteresis and current collapse of the transistors.

We then prepared a new type of normally-off transistor without the need to overgrow the access region. The technological process from the previous experiment was extended to the processing of an $\text{n}^{++}\text{GaN}/\text{AlGaIn}/\text{AlN}/\text{GaN}$ heterostructure. We used the same photolithographic gate mask to selectively etch away the n^{++}GaN layer and to deposit the oxide and metal layers. The low-temperature deposited oxide helped to reduce the density of surface donors. This caused that the threshold voltage (V_T) increased with increased oxide layer thickness – a result that has not yet been observed. V_T was $\sim +3.5$ V at a 15 nm thick Al_2O_3 layer, whereas HEMTs without a dielectric layer exhibited a V_T of ~ 0 V. The output current of the transistor was 400 mA/mm, and the on/off ratio was remarkably 10^8 .

The $\text{n}^{++}\text{GaN}/\text{AlGaIn}/\text{AlN}/\text{GaN}$ heterostructure was finally used to process both types of transistor (normally-off and normally-on) on the same wafer. We designed and fabricated different circuits for directly coupled transistor logic, including the inverter, which is presented in this thesis. The normally-off regime was achieved with transistors that had the

n^{++} GaN layer etched away and had an oxide layer inserted under the gate. The normally-on regime was reached with transistors that had the oxide layer put under the gate on the heterostructure. The inverter was tested at a supply voltage of 2.5 V. For the input logic 0 and logic 1, it exhibited output voltages of 2.5 and 0.2 V, respectively, which is currently one of the best results in the world.

Referencie

- [1] “LightEmittingDiodes.org Chapter 21.” [Online]. Available: <https://www.ecse.rpi.edu/~schubert/Light-Emitting-Diodes-dot-org/chap21/chap21.htm>. [Accessed: 13-Feb-2016].
- [2] “Design, Fabrication, and Characterization of GaN High Power Rectifiers PowerPoint Presentation.” [Online]. Available: <http://www.slideserve.com/ashanti/design-fabrication-and-characterization-of-gan-high-power-rectifiers>. [Accessed: 13-Feb-2016].
- [3] Y. Tang, K. Shinohara, D. Regan, A. Corrion, D. Brown, J. Wong, A. Schmitz, H. Fung, S. Kim, and M. Micovic, “Ultrahigh-Speed GaN High-Electron-Mobility Transistors With f_T/f_{max} of 454/444 GHz,” *IEEE Electron Device Lett.*, vol. 36, no. 6, pp. 549–551, Jun. 2015.
- [4] S. L. Selvaraj, A. Watanabe, A. Wakejima, and T. Egawa, “1.4 kV breakdown voltage for MOCVD grown AlGaIn/GaN HEMTs on Si substrate,” in *70th Device Research Conference*, 2012, pp. 53–54.
- [5] M. A. Khan, Q. Chen, C. J. Sun, J. W. Yang, M. Blasingame, M. S. Shur, and H. Park, “Enhancement and depletion mode GaN/AlGaIn heterostructure field effect transistors,” *Appl. Phys. Lett.*, vol. 68, no. 4, p. 514, Jan. 1996.
- [6] W. B. Lanford, T. Tanaka, Y. Otoki, and I. Adesida, “HEMT with high threshold voltage,” vol. 41, no. 7, 2005.
- [7] A. Wakejima, A. Ando, A. Watanabe, K. Inoue, T. Kubo, Y. Osada, R. Kamimura, and T. Egawa, “Normally off AlGaIn/GaN HEMT on Si substrate with selectively dry-etched recessed gate and polarization-charge-compensation δ -doped GaN cap layer,” *Appl. Phys. Express*, vol. 8, no. 2, p. 026502, Feb. 2015.
- [8] K. Ota, K. Endo, Y. Okamoto, Y. Ando, H. Miyamoto, and H. Shimawaki, “A normally-off GaN FET with high threshold voltage uniformity using a novel piezo neutralization technique,” *Tech. Dig. - Int. Electron Devices Meet. IEDM*, pp. 153–156, 2009.
- [9] Y. Cai, Z. Cheng, W. C. W. Tang, K. M. Lau, and K. J. Chen, “Monolithically Integrated Enhancement/Depletion-Mode AlGaIn/GaN HEMT Inverters and Ring Oscillators Using CF₄ Plasma Treatment,” *IEEE Trans. Electron Devices*, vol. 53, no. 9, pp. 2223–2230, Sep. 2006.
- [10] K. J. Chen and K. M. Lau, “High-performance enhancement-mode AlGaIn/GaN HEMTs using fluoride-based plasma treatment,” *IEEE Electron Device Lett.*, vol. 26, no. 7, pp. 435–437, Jul. 2005.
- [11] D. Song, J. Liu, Z. Cheng, W. C. W. Tang, K. M. Lau, K. J. Chen, and S. Member, “Normally Off AlGaIn / GaN Low-Density Drain HEMT (LDD-HEMT) With Enhanced Breakdown Voltage and Reduced Current Collapse,” vol. 28, no. 3, pp. 189–191, 2007.
- [12] C. Ostermaier, G. Pozzovivo, J. Carlin, B. Basnar, W. Schrenk, K. Fröhlich, M. Gonschorek, Y. Douvry, C. Gaquière, J. Dejaeger, K. Čiř, N. Grandjean, G. Strasser, D. Pogany, and J. Kuzmik, “Ultrathin InAlN / AlN Barrier HEMT With High Performance in Normally Off Operation,” vol. 30, no. 10, pp. 1030–1032, 2009.
- [13] C. Ostermaier, G. Pozzovivo, B. Basnar, W. Schrenk, J.-F. Carlin, M. Gonschorek, N. Grandjean, A. Vincze, L. Tóth, B. Pécz, G. Strasser, D. Pogany, and J. Kuzmik, “Characterization of Plasma-Induced Damage of Selectively Recessed GaN/InAlN/AlN/GaN Heterostructures Using SiCl₄ and SF₆,” *Jpn. J. Appl. Phys.*, vol. 49, no. 11, p. 116506, Nov. 2010.

- [14] C. Mizue, Y. Hori, M. Miczek, and T. Hashizume, "Capacitance–Voltage Characteristics of Al₂O₃/AlGa_N/Ga_N Structures and State Density Distribution at Al₂O₃/AlGa_N Interface," *Jpn. J. Appl. Phys.*, vol. 50, no. 2, p. 021001, Feb. 2011.
- [15] M. Ľapajna and J. Kuzmík, "A comprehensive analytical model for threshold voltage calculation in Ga_N based metal-oxide-semiconductor high-electron-mobility transistors," *Appl. Phys. Lett.*, vol. 100, no. 11, p. 113509, Mar. 2012.
- [16] S. Huang, S. Yang, J. Roberts, and K. J. Chen, "Threshold Voltage Instability in Al₂O₃/Ga_N/AlGa_N/Ga_N Metal–Insulator–Semiconductor High-Electron Mobility Transistors," *Jpn. J. Appl. Phys.*, vol. 50, no. 11R, p. 110202, Oct. 2011.
- [17] C. Ostermaier, G. Pozzovivo, B. Basnar, W. Schrenk, M. Schmid, L. Tóth, B. Pécz, J.-F. Carlin, M. Gonschorek, N. Grandjean, G. Strasser, D. Pogany, and J. Kuzmík, "Metal-related gate sinking due to interfacial oxygen layer in Ir/InAl_N high electron mobility transistors," *Appl. Phys. Lett.*, vol. 96, no. 26, p. 263515, Jul. 2010.
- [18] L. H. Chu, E. Y. Chang, L. Chang, Y. H. Wu, S. H. Chen, H. T. Hsu, T. L. Lee, Y. C. Lien, and C. Y. Chang, "Effect of Gate Sinking on the Device Performance of the InGaP/AlGaAs/InGaAs Enhancement-Mode PHEMT," *IEEE Electron Device Lett.*, vol. 28, no. 2, pp. 82–85, Feb. 2007.
- [19] V. Palankovski and J. Kuzmík, "A Promising New n⁺⁺-Ga_N/InAl_N/Ga_N HEMT Concept for High-Frequency Applications," *ECS Trans.*, vol. 50, no. 3, pp. 291–296, Mar. 2013.
- [20] S. Ganguly, J. Verma, G. Li, T. Zimmermann, H. Xing, and D. Jena, "Presence and origin of interface charges at atomic-layer deposited Al₂O₃/III-nitride heterojunctions," *Appl. Phys. Lett.*, vol. 99, no. 19, p. 193504, 2011.
- [21] M. Ľapajna, M. Jurkovič, L. Válik, Š. Haščík, D. Gregušová, F. Brunner, E.-M. Cho, T. Hashizume, and J. Kuzmík, "Impact of Ga_N cap on charges in Al₂O₃/(Ga_N/)AlGa_N/Ga_N metal-oxide-semiconductor heterostructures analyzed by means of capacitance measurements and simulations," *J. Appl. Phys.*, vol. 116, no. 10, p. 104501, Sep. 2014.
- [22] D.-K. Kim, V. Sindhuri, Y.-W. Jo, D.-S. Kim, H.-S. Kang, J.-H. Lee, Y. S. Lee, Y. Bae, S.-H. Hahm, and J.-H. Lee, "Performance of AlGa_N/Ga_N MISHFET using dual-purpose thin Al₂O₃ layer for surface protection and gate insulator," *Solid. State. Electron.*, vol. 100, pp. 11–14, Oct. 2014.
- [23] J. Kuzmík, "InAl_N/(In)Ga_N high electron mobility transistors: some aspects of the quantum well heterostructure proposal," *Semicond. Sci. Technol.*, vol. 17, no. 6, pp. 540–544, Jun. 2002.

Zoznam publikácií doktoranda

Časopisecké publikácie (Current content)

- 1) Gregušová, D., Hušeková, K., Stoklas, R., **Blaho, M.**, Jurkovič, M., Carlin, J., Grandjean, N., Kordoš, P., :ZrO₂/InAlN/GaN metal-oxide-semiconductor heterostructure field-effect transistors with InAlN barrier of different compositions. Japan. J. Applied Phys. 52 (2013) 08JN07.
- 2) Jurkovič, M., Gregušová, D., Palankovski, V., Haščík, Š., **Blaho, M.**, Čičo, K., Fröhlich, K., Carlin, J., Grandjean, N., Kuzmík, J., : Schottky-barrier normally off GaN/InAlN/AlN/GaN HEMT with selectively etched access region,. IEEE Electron Dev. Lett. 34 (2013) 432-434.
- 3) Laurenčíková, A., Hasenöhrl, S., Eliáš, P., Stoklas, R., **Blaho, M.**, Novotný, I., Križanová, Z., Novák, J., :Ohmic contacts to p-GaP/n-ZnO core/shell nanowires based on Au metallization,. Applied Surface Sci 267 (2013) 60-64.
- 4) **Blaho, M.**, Gregušová, D., Jurkovič, M., Haščík, Š., Fedor, J., Kordoš, P., Fröhlich, K., Brunner, F., Cho, E., Hilt, O., Würfl, H., Kuzmík, J., : Ni/Au-Al₂O₃ gate stack prepared by low-temperature ALD and lift-off for MOSHEMTs. Microelectr. Engn. 112 (2013) 204-207.
- 5) Gregušová, D., Jurkovič, M., Haščík, Š., **Blaho, M.**, Seifertová, A., Fedor, J., Ľapajna, M., Fröhlich, K., Vogrinčič, P., Liday, J., Derluyn, J., Germain, M., Kuzmík, J., : Adjustment of threshold voltage in AlN/AlGaIn/GaN high-electron mobility transistors by plasma oxidation and Al₂O₃ atomic layer deposition overgrowth. Applied Phys. Lett. 104 (2014) 013506.
- 6) **Blaho, M.**, Gregušová, D., Haščík, Š., Jurkovič, M., Ľapajna, M., Fröhlich, K., Dérier, J., Carlin, J., Grandjean, N., Kuzmík, J., : Self-aligned normally-off metal-oxide semiconductor n⁺⁺GaN/InAlN/GaN high electron mobility transistors. Phys. Status Solidi A 112 (2015) 1086-1090. (MORGaN).
- 7) Čičo, K., Jančovič, P., Dérier, J., Šmatko, V., Rosová, A., **Blaho, M.**, Hudec, B., Gregušová, D., Fröhlich, K., :Resistive switching in nonplanar HfO₂-based structures with variable series resistance. J. Vacuum Sci Technol. B 33 (2015) 01A108.
- 8) **Blaho, M.**, Gregušová D., Haščík Š., Seifertová A., Ľapajna M., Šoltýs J., Šatka A., Nagy, L., Chvála A., Marek, J., Carlin J.-F., Grandjean N., Konstantinidis, G., Kuzmík, J.,: Technology of integrated self-aligned E/Dmode n⁺⁺GaN/InAlN/AlN/GaN MOS HEMTs for mixed-signal electronics. Semicond. Sci. Technol. 31 (2016) 065011.
- 9) Gregušová D., Gucmann F., Kúdela R., Mičušík M., Stoklas R., Válik L., Greguš J., **Blaho M.**, Kordoš P.: Properties of InGaAs/GaAs metal-oxide-semiconductor heterostructure field-effect transistors modified by surface treatment, Applied Surface Science (2016), in press

Príspevky na medzinárodných konferenciách

- 1) Dujavová, A., Hasenöhrl, S., Eliáš, P., Stoklas, R., **Blaho, M.**, Novák, J., Novotný, I.,: Ohmic contacts to p-GaP/n-ZnO core/shell nanowires based on Au metallization, SURFINT-SREN, poster, May 2012.
- 2) Jurkovič, M., Gregušová, D., Haščík, Š., **Blaho, M.**, Molnár, M., Palankovski, V., Donoval, D., Carlin, J.-F., Grandjean, N., Kuzmík, J.: GaN/InAlN/AlN/GaN normally-off HEMT with etched access region, WOCSDice 2012, oral presentation, May 2012.
- 3) **Blaho, M.**, Gregušová, D., Hušeková, K., Jurkovič, M., Šoltýs, J., Fedor, J., Ľapajna, M., Carlin, J.-F., Grandjean, N., Kuzmík, J., Kordoš, P.,: Fabrication and characterization of InAlN/GaN HEMT with sub-micron gate formed by electron-beam lithography, Wilhelm and Else Heraeus Physics School, poster, June 2012.
- 4) **Blaho, M.**, Gregušová, D., Jurkovič, M., Haščík, Š., Fedor, J., Kordoš, P., Fröhlich, K., Brunner, F., Cho, M., Hilt, O., Wurfl, J., Kuzmík, J.,: Ni/Au-Al₂O₃ gate stack prepared by low-temperature ALD and lift-off for MOS HEMTs, Micro&Nano 2012, poster, October 2012.
- 5) Jurkovič, M., Gregušová, D., Haščík, Š., **Blaho, M.**, Čičo, K., Palankovski, V., Carlin, J.-F., Grandjean, N., Kuzmík, J.,: GaN/InAlN/AlN/GaN normally-off HEMT, IWN 2012 conference, oral presentation, October 2012.
- 6) Gregušová, D., Hušeková, K., Stoklas, R., **Blaho, M.**, Jurkovič, M., Carlin, J.-F., Grandjean, N., Kordoš, P.,: ZrO₂/InAlN/GaN MOSHFETs with InAlN barrier of different compositions, IWN 2012, poster, October 2012.
- 7) **Blaho, M.**, Gregušová, D., Stoklas, R., Hušeková, K., Jurkovič, M., Novák, J., Kordoš, P.,: Fabrication and characterization of InAlN/GaN HEMT with sub-micron gate formed by electron-beam lithography, HETECH 2012, poster, November 2012.
- 8) Gucmann, F., Kúdela, R., Gregušová, D., Fröhlich, K., Gaži, Š., Dérier, J., Stoklas, R., **Blaho, M.**, Novák, J.,: HEMTs prepared on MOVPE grown InGaP/AlGaAs/InGaAs/GaAs structures, EWMOVPE 2013, poster June 2013.
- 9) Gregušová, D., Jurkovič, M., Haščík, Š., Seifertová, A., **Blaho, M.**, Ľapajna, M., Fröhlich, K., Derluyn, J., Germain, M., Kuzmík, J.,: Controlled barrier oxidation and 100 C ALD for gate insulation: a way towards high-performance normally-off GaN HEMTs, ICNS 10, poster presentation, Aug. 2013.
- 10) Gregušová, D., Jurkovič, M., Haščík, Š., Seifertová, A., **Blaho, M.**, Dérier, J., Ľapajna, M., Fröhlich, K., Derluyn, J., Germain, M., Kuzmík, J.,: Normally-off AlGaIn/GaN HEMTs with plasma oxidation and 100 C ALD gate insulation., TWHM 2013, poster presentation, Sept. 2013.

- 11) **Blaho, M.**, Jurkovič, M., Haščík, Š., Fedor, J., Ľapajna, M., Gregušová, D.,: Low temperature ohmic contacts for self-aligned GaN HEMTs, HETECH 2013, oral presentation, June 2013.
- 12) Stoklas, R., Gregušová, D., **Blaho, M.**, Čičo, K., Fröhlich, K., Novák, J., Kordoš, P., : Gate leakage reduction of AlGaIn/GaN MOS-HFETs with HfO₂ prepared by ALD, ASDAM 2014.
- 13) Jurkovič, M., Gregušová, D., Haščík, Š., **Blaho, M.**, Ľapajna, M., Fröhlich, K., Carlin, J.-F., Grandjean, N., Kuzmík, J.,: Self-Aligned Normally-off Metal-Oxide-Semiconductor N⁺⁺ GaN/InAlN/AlN/GaN High-Electron Mobility Transistors, IWN 2014, oral presentation, Aug. 2014.
- 14) **Blaho, M.**, Gregušová, D., Haščík, Š., and Kuzmík, J.,: Normally-off InAlN/GaN HEMTs with selectively etched region TWHM 2015, oral presentation, Aug. 2015.
- 15) Gregušová, D., Bahat Treidel, E., Haščík, Š., **Blaho, M.**, Ľapajna, M., Derluyn, J., Germain, M., Hilt, O., Würfl, J., Kuzmík, J.,: Normally-off AlGaIn/GaN high-electron mobility transistors with inherent metal-oxide interface, E-MRS Fall Meeting, Sept 2015.

Zborníky z domácich konferencií

- 1) Gregušová, D., Kúdela, R., Stoklas, R., **Blaho, M.**, Guemann, F., Fedor, J., Kordoš, P.,: The influence of an AlO_x film in-situ deposited on the GaAs-based HFETs properties. ASDAM 2012, IEEE 2012. ISBN 978-1-4673-1195-3. P. 107-110 November 2012.
- 2) Stoklas, R., Gregušová, D., **Blaho, M.**, Čičo, K., Fröhlich, K., Novák, J., Kordoš, P., : Gate leakage reduction of AlGaIn/GaN MOS-HFETs with HfO₂ prepared by ALD In: ASDAM 2014. Eds. J. Breza et al. IEEE 2014. ISBN 978-1-4799-5474-2. P. 133-136.
- 3) **Blaho, M.**, Dérier, J., Liday, J., Vogrinčič, P., Kordoš, P., Novák, J., Gregušová, D., : Low temperature ohmic contacts for self/aligned GaN-based HEMTs In: Proc. ADEPT. 2st Inter. Conf. on Advan. in Electronic and Photonic Technol. Eds. D. Pudis et al. Žilina: Univ. Žilina 2014. ISBN 978-80-554-0881-1. P. 124-128.
- 4) Gregušová, D., Kúdela, R., Guemann, F., Stoklas, R., **Blaho, M.**, Ľapajna, M., Kordoš, P., Fröhlich, K., : Technology and application of in-situ alox layers on III-V semiconductors. In: Progress in Applied Surface, Interface and Thin Film Sci. 2015 - SURFINT-SREN IV. Extend. Abstract Book. Ed. R. Brunner. Bratislava: CU 2015. ISBN: 978-80-223-3975-9. P. 58.