SLOVENSKÁ TECHNICKÁ UNIVERZITA V BRATISLAVE Fakulta elektrotechniky a informatiky Ústav elektroniky a fotoniky

Energetická autonómnosť implantovateľných elektronických systémov

Energy autonomy of implantable electronic systems

Autoreferát dizertačnej práce na získanie vedecko-akademickej hodnosti Philosophiae Doctor (PhD.)

v štúdijnom programe: Elektronika a fotonika v štúdijnom odbore: Elektronika forma štúdia: denná

Evidenčné číslo: FEI-104404-55712

autor: Ing. Martin Kováč školiteľka: prof. Ing. Viera Stopjaková, PhD.

Bratislava, august 2018

Dizertačná práca bola vypracovaná na Ústave elektroniky a fotoniky, Fakulta elektrotechniky a informatiky Slovenskej technickej univerzity v Bratislave.

Predkladateľ:	Ing. Martin Kováč Ústav elektroniky a fotoniky Fakulta elektrotechniky a informatiky Slovenská technická univerzita v Bratislave Ilkovičova 3, 812 19 Bratislava email: martin_kovac@stuba.sk
Školiteľka:	prof. Ing. Viera Stopjaková, PhD. Ústav elektroniky a fotoniky Fakulta elektrotechniky a informatiky Slovenská technická univerzita v Bratislave Ilkovičova 3, 812 19 Bratislava email: viera.stopjakova@stuba.sk
Oponenti:	prof. Ing. Miroslav Husák, CSc. Katedra mikroelektroniky Fakulta elektrotechnická České vysoké učení technické v Praze Technická 2, Praha 6, ČR email: husak@feld.cvut.cz prof. Ing. Ivan Kneppo, DrSc. Nové Sady 240 95124 Nové Sady email: ivan.kneppo@gmail.com

> Predseda skúšobnej komisie prof. Ing. Daniel Donoval, DrSc.

Dekan fakulty FEI STU v Bratislave prof. Dr. Ing. Miloš Oravec

Obsah

1	Úvo	od a m	otivácia	1
	1.1	Zozna	m kľučových publikácií autora tvoriacich jadro dizertačnej práce	3
2	\mathbf{Cie}	le dize	rtačnej práce	4
3	Prí	spevok	k pasívnym častiam bezdôtovej komunikácie a zberačov energie	5
	3.1	RF ar	tény integrované na IO čipe	5
		3.1.1	Súčasný stav	5
		3.1.2	Navrhnuté riešenia a prínos	6
	3.2	Zbera	č energie elektromagnetického poľa integrovaný na IO čipe	12
		3.2.1	Súčasný stav	12
		3.2.2	Navrhnuté riešenia a prínos	13
4	Prí	spevok	k aktívnym častiam zberačov energie	18
	4.1	Usme	rňovače	18
		4.1.1	Súčasný stav	18
		4.1.2	Navrhnuté riešenia a prínos	19
	4.2	Náboj	ové Pumpy	23
		4.2.1	Súčasný stav	23
		4.2.2	Navrhnuté riešenia a prínos	24
			4.2.2.1 Nábojové pumpy s MOS v podprahovom režime	30
5	Prí	spevok	k návrhu, kalibrácii a testovaniu IO	34
	5.1	Príspe	evok k návrhu nízkonapäťových IO	34
		5.1.1	Súčasný stav	34
		5.1.2	Prínos v oblasti návrhu nízkonapäťových IO	35
	5.2	Príspe	evok ku kalibrácii a testovaniu IO	38
		5.2.1	Súčasný stav	38
		5.2.2	Prínos v oblasti kalibrácie a testovania IO	39
6	Súh	ırn dos	siahnutých výsledkov a prínosov	41
7	Záv	er		44
Li	tera	túra		46
P	ublik	ácie aı	itora	57
	Kľu	čové pu	blikácie autora	57
	Kon	npletný	zoznam publikácií autora	58

1 Úvod a motivácia

Domáca elektronická zdravotná starostlivosť je významne podmienená úrovňou a kvalitou monitorovacích, transportných a spracovateľských schopností a služieb tzv. pacientovo-centrického systému zdravotníckej starostlivosti. Jeden z troch jej systémov tvorí tzv. bezdrôtovú telovú sieť (WBAN), ktorá je najkritickejšou časťou celého systému a je možné konštatovať, že bezprostredne determinuje celkový rozvoj zdravotníckej starostlivosti. Odvolávajúc sa na [Pa1] môžeme tiež povedať, že vývoj biosenzorov a biokompatibilných materiálov významne predbieha rozvoj samotných výrobných polovodičových technológií, či oblasť zdrojov energie pre elektronické systémy v rámci WBAN. Základnou stavebnou jednotkou WBAN je senzorický uzol alebo hub, ktorý môže byť reprezentovaný i tzv. aktívnou implantovateľnou zdravotníckou pomôckou AIZP, ktorá je zadefinovaná podľa ISO 13485 ako: aktívne medicínske zariadenie určené k úplnému alebo čiastočnému zavedeniu, buď chirurgicky alebo medikamentne do ľudského tela, alebo tiež zdravotníckym zákrokom do prirodzeného otvoru s úmyslom zotrvania v ľudskom tele aj po ukončení procedúry.

Z pohľadu rozmerov systému a priestorovej náročnosti, kritickými prvkami sú hlavne mikromechanické systémy/štruktúry (*MEMS*) zahrňujúce tzv. zberače energie (*ZE*) a moderné zásobníky energie. Navyše vysielacia/príjmacia anténa komunikačného subsystému taktiež patrí medzi priestorovo náročné štruktúry *AIZP*. Z toho dôvodu dizertačná práca a výskum v nej obsiahnutý je zameraný na zvýšenie kompaktnosti a zníženie energetickej náročnosti prostredníctvom návrhu nových *MEMS* štruktúr (zberač energie) a antén integrovaných priamo na čipe (*OCA*) s podporou inovatívneho konceptu, a to všetko v štandardnom *CMOS* výrobnom procese.

Je možné predpokladať, že ak by bolo možné redukovať energetické nároky najkritickejších častí jednotlivých subsystémov, automaticky by to viedlo k miniaturizácii potrebných *MEMS* štruktúr a teda aj celého *AIZP*, nakoľko ich vlastnosti sú značne limitované dostupným priestorom. Z uvedeného vyplýva, že návrh nízkonapäťových a nízkopríkonových blokov integrovaných obvodov (*IO*) musí byť nevyhnutne súčasťou výskumu a rozvoja *AIZP*. Tieto *IO* musia byť vzhľadom na trend znižujúceho sa napájacieho napätia vybavené (auto)kalibračnými technikami, prípadne vstavaným testovacím hardvérom pre samočinné testovanie, tzv. *BIST*.

Predložená dizertačná práca sa sústreďuje hlavne na integráciu (kompaktnosť), konverziu energie a úsporu energie vybraných subsystémov s cieľom zabezpečenia úplnej alebo aspoň čiastočnej energetickej autonómnosti AIZP systémov. Práca je zostavená ako súhrn získaných poznatkov a dosiahnutých výsledkov a prínosov publikovaných v rámci celkovo 31 publikácií, z ktorých sedem kľúčových prác (referencovaných ako [MK]) doplnených o sprievodný text tvorí jadro dizertačnej práce.

Vzhľadom na obšírnosť analyzovanej problematiky [1,2], stanovené ciele práce boli sústredené hlavne na problematiku návrhu a rozvoja pasívnych častí ZE, ktoré sa dajú z praktického hľadiska zkonkretizovať na riešenie týchto otázok:

- 1. vyšetrenie možnosti integrácie prijímacej/vysielacej antény na čip
- 2. vyšetrenie integrácie prijímacej cievky na čip

Ďalšou oblasťou, na ktorú sú nasmerované ciele dizertačnej práce je výskum a návrh aktívnych častí (manažmentu napájania) pre ZE, kde sme sa zamerali na:

- 1. AC zdroj: konverzia energie z blízkeho reaktívneho (induktívny prenos) a radiatívneho elektromagnetického poľa
- DC zdroj: konverzia energie z nízkonapäťových obnoviteľných zdrojov elekrickej energie ako mikrobiálny/enzýmový/abiotický palivový článok, termoelektrický generátor, fotovoltaický článok [3–19]

Práca tiež obsahuje opis príspevkov k návrhu, kalibrácii a testovaniu IO, pretože rozvoj nízkonapäťových IO pokladáme za dôležitú súčasť samotnej myšlienky podporujúcej úsporu energie, či energetickú autonómnosť systémov. Taktiež aj problematika testovania IO priamo na čipe a rozvoj kalibračných techník sa stávajú neoddeliteľnými súčasťami moderných integrovaných systémov realizovaných v nanotechnologiách, akými sú aj AIZP.

1.1 Zoznam kľučových publikácií autora tvoriacich jadro dizertačnej práce

- 1. "Novel Approach to Gain Enhancement of an Antenna Integrated in 90 nm CMOS Process" (3.1.2a, [MK1])
- 2. "Improved UWB Antennas in Novel IC Concept for Active Implantable Medical Devices" (3.1.2b, [MK2])
- 3. "Investigation of On-Chip Coil in 130 nm Standard CMOS for WPT and Bio-Applications" (3.2.2a, [MK3])
- 4. "Self V_{TH} Compensating CMOS On-Chip Rectifier for Inductively Powered Implantable Medical Devices" (4.1.2a, [MK4])
- 5. "Novel CMOS Bulk-driven Charge Pump for Ultra Low Input Voltage" (4.2.2a, [MK5])
- 6. "Ultra-Low Voltage Driver for Large Load Capacitance in 130 nm CMOS" $(4.2.2\mathrm{b},\,[\mathrm{MK6}])$
- 7. "Ultra-Low-Voltage Boosted Driver for Self-Powered Systems" (4.2.2c, [MK7])

2 Ciele dizertačnej práce

Na základe vykonanej analýzy v rámci uvedených referencií a písomnej práce k dizertačnej skúške o aktuálnom stave AIZP systémov, získaných poznatkov a potrieb podporujúcich trend ich úplnej alebo čiastočnej energetickej autómnosti, boli hlavné ciele výskumu dizertačnej práce stanovené nasledovne:

- Preskúmať možnosť implementácie antén integrovaných na čipe i pre AIZP systémy s malou až strednou hĺbkou implantácie. Navrhnúť a implementovať konkrétne riešenie antény kompatibilné so štandardným CMOS procesom výroby IO.
- Vyšetriť možnosti realizácie AC/DC a DC/DC meničov pre vybrané nízkonapäťové obnoviteľné zdroje energie smerom k zabezpečeniu energetickej autonómnosti AIZP systémov.
- Navrhnúť a implementovať vybrané obvodové bloky pracujúce pri nízkej hodnote napájacieho napätia (pod 600 mV) a odolné voči vplyvu fluktuácie parametrov výrobného procesu.
- Vyšetriť možnosť implementácie zberača energie z obnoviteľných zdrojov plne integrovaného na čipe. Navrhnúť a zrealizovať zberač energie v štandardnom CMOS procese a overiť jeho vlastnosti prostredníctvom meraní prototypových čipov.

3 Príspevok k pasívnym častiam bezdôtovej komunikácie a zberačov energie



Obr. 3.1: AIZP systém s vyznačením časti skúmanej v tejto podkapitole

3.1 RF antény integrované na IO čipe

3.1.1 Súčasný stav

V súčasnosti existuje veľké množstvo rôznych diskrétnych antén používaných v AIZP systémoch pre bezdrôtový komunikačný prenos. V prípade hĺbky implantácie AIZP systému $h \approx 35 \ mm$ v mäkkom tkanive, je demonštrovaný ich celkový zisk okolo $-29 \ dB$ pri ploche $> 1 \ cm^2$ [20]. Vzhľadom na požiadavku miniaturizácie AIZP systémov je logické, že existuje tendencia integrovať anténu, nazývanú aj OCA (angl. On- $Chip \ Antenna$), priamo na čip (podobne ako v prípade ZE) a vytvoriť tak tzv. systém na čipe (SOC) o ploche $< 1 \ cm^2$ alebo objeme $< 1 \ cm^3$. Snaha integrovať antény na čip IO zaznamenala významnejší rozmach najmä v poslednej dekáde, čo prispelo rozvoju pomerne lacných, nízkopríkonových a kompaktných elektronických riešení vo forme rozličných SoC systémov [21–28]. Mnohé z konvenčných techník nárhu OCA (formovanie tvarovacej šošovky, použitie superstrátovej štruktúry, mikroobrábanie, atď.) predstavujú pomerne nákladný spôsob realizácie a navyše môžu mať obmedzenú spoľahlivosť i reprodukovatelnosť výrobného procesu. Dôležitejšou skutočnosťou ale je, že mnohé z techník (využitie AMC štruktúr či vlnovodov, bezstratové využitie vyšších módov v rezonančný dutinách, atď.), ktoré robia integráciu antény efektívnou, nie je možné aplikovať na elektricky malé štruktúry akými sú napríklad aj OCA. Tieto techniky sú priamo limitované minimálnymi fyzickými rozmermi zvyčajne prislúchajúcimi tzv. hraničnej (cut-off) frekvencii požadovaného módu alebo rezonančnej frekvencii danej štruktúry. S minimálnymi fyzickými požiadavkami vyššie uvedených techník, samotné OCA antény sú tiež charakteristické vlastnými nárokmi [25].

V prípade AIZP systémov je možné na základe meraní útlmu (strát) na prenosovej ceste usúdiť, že využitie frekvencií nad 5 GHz by bolo pre strednú hĺbku implantácie z hľadiska vysokých strát nevýhodné [29–31]. Takéto frekvencie však všeobecne predstavujú vážny problém pri riešení integrácie antény na čip. Realizácia antén na čipe pri frekvencii 5 GHz je možná s maximálnym ziskom nie väčším ako -20 dB, ktorý však prudko klesá smerom k nižším frekvenciám [32–39]. Pre integráciu antén na čip je teda nevyhnutné nájsť alternatívne riešenie uvedeného problému.

Riešenie vzniklo na základe synergie dvoch skupín nezávislých pozorovaní. Prvé pozorovania vychádzajú z konkrétnych aplikácií využitia materiálu s vysokou relatívnou permitivitou ε_r (či už ako dielektrického rezonátora [28, 40, 41] alebo ako superstrátovej vrstvy [42]). Druhá skupina pozorovaní súvisí s procesom puzdrenia *AIZP* systémov a vplyvom izolačnej dielektrickej vrstvy na vlastnosti antény a jej blízkeho poľa. Bolo dokázané, že čím bližšie je relatívna permitivita izolátora k relatívnej permitivite tkaniva (za predpokladu rovnakých stratových činiteľov $tg \delta$), tým k menšiemu útlmu na prenosovej ceste dôjde [20, 43, 44].

3.1.2 Navrhnuté riešenia a prínos

Príspevok k návrhu antén na čipe *IO* v štandardnej *CMOS* výrobnej technológii, zahrňujú nasledujúce publikácie:

- Martin, Kováč, Daniel Arbet, Viera Stopjaková, and Gabriel Nagy. Novel Approach to Gain Enhancement of an Antenna Integrated in 90 nm CMOS Process. ADEPT 2015: 3nd International Conference on Advances in Electronic and Photonic Technologies, pages 128 131, 2015 (3.1.2a, [MK1])
- Martin, Kováč, Viera Stopjaková, Daniel Arbet, and Matej Rakús. Improved UWB Antennas in Novel IC Concept for Active Implantable Medical Devices. ADEPT 2016: 4nd International Conference on Advances in Electronic and Photonic Technologies, pages 111 114, 2016 (3.1.2b, [MK2])

V týchto publikáciách je skúmaná možnosť zakomponovania nového konceptu na báze IPV vrstvy do procesu návrhu OCA antén pre AIZP systémy, ako aj riešená samotná implementácia OCA antény v štandardnom 90 nm CMOS procese.



Obr. 3.2: Grafické znázornenie navrhnutého konceptu s popisom rozmerov (upravené z [MK1])

Navrhovaný koncept integrovaného systému na čipe vrátane OCA antény je detailnejšie zobrazený na obrázku 3.2. Tento koncept bol vyšetrený na základe

troch konkrétnych scenárov. Základom je *IO* obalený dielektrickou *IPV* vrstvou s vysokou relatívnou permitivitou ε_r (v tomto prípade ≈ 50), ktorý je umiestnený v mäkkom tkanive (fantóme), svalovine, v mozgovom tkanive a pod. Obrázok 3.2 tiež zobrazuje počiatočné rozmery a plošnú predispozíciu, s ktorou sa pri analýze uvažovalo. Plocha čipu bola odhadnutá na základe vyšetrenia plošných nárokov dostupných realizácií *AIZP* systémov vyrobených v 90 *nm* procese, akými sú napr. *EKG*, *EEG* a *EMG*, čiže na veľkosť cca 20 mm^2 (4,5 $mm \ge 4,5 mm$). Ako bude vidieť z údajov prezentovaných v 3.1.2b, [MK2], sľubné výsledky je možné dosiahnuť už pri menšej ploche čipu (4,5 $mm \ge 1 mm$) ako je tu predpokladané.

Analýza konceptu *OCA* pre *AIZP* systémy bola uskutočnená na základe troch scenárov. Prvým (scenár *S1*) je vyšetrenie zisku a radiačnej účinnosti *OCA* v bežnom prostredí vyplneného vzduchom. Druhý scenár (*S2*) modeluje situáciu *OCA* v ich neprirodzenom in-vivo prostredí ako súčasť *AIZP* systémov, ktoré je imitované fantómom s celkovou hrúbkou 10 cm (uvažovaná hĺbka implantácie bola teda ≈ 5 cm, obrázok 3.2). Posledný scenár (*S3*) bol navrhnutý na porovnanie radiačných účinností *OCA* antén bez a v prítomnosti *IPV* vrstvy.



Obr. 3.3: Antény použité pri verifikácií konceptu: a) dipólová anténa, b) slučková anténa (rozmery sú v μm) [MK1])

Na overenie vhodnosti ako aj vlastností navrhnutého konceptu boli uvažované dva typy antén (obrázok 3.3), konkrétne magnetická slučková anténa (zastupuje budenie s využitím magnetického zdroja elektromagnetického žiarenia) a elektrická dipólová anténa (zastupuje budenie s využitím elektrického zdroja elektromagnetického žiarenia). Antény boli realizované na najvyššej prepojovocej kovovej vrstve o šírke vodičov 30 μm a rezistivite substrátu 8 Ωcm .



Obr. 3.4: Zisk dipólovej a slučkovej *OCA* antény pre scenár *S1* a *S2* (preformátovaný graf z [MK1])

Dosiahnuté hodnoty zisku OCA antén a radiačnej účinnosti sú uvedené v jednotlivých grafoch na obrázkoch 3.4 a 3.5. Graf na obrázku 3.4 zobrazuje typickú závislosť zisku elektricky malých antén realizovaných na čipe s nízkorezistívnym substrátom v naturálnom prostredí (S1). Radiačná účinnosť, ktorá je v tomto prípade definovaná prostredníctvom zisku antény, rastie so zmenšujúcou sa vlnovou dĺžkou. Pri frekvencii 5 GHz bol zaznamenaný zisk medzi -30 až $-20 \ dBi$. Je evidentné, že pre nízke frekvencie je OCA vo všeobecnosti charakteristická veľmi malým ziskom, čo limituje jej priamu aplikáciu pre AIZP systémy. Avšak, po vložení OCA 5 cm hlboko do vodivého prostredia-fantómu imutujúceho svalovinu (scenár S2) spolu s IPV vrstvou s hrúbkou 2 mm, bol pozorovaný na nízkych frekvenciách (do cca 2 GHz) podobne veľký zisk. Navyše ak by sme sa vrátili na začiatok časti 3.1.1, môžeme dokonca pozorovať porovnatelné vlastnosti OCA s diskrétnymi realizáciami antén pre ISM 2,4 GHz pásmo, avšak pri oveľa menších rozmeroch a dokonca aj väčšej hĺbke implantácie (z $3, 5 \ cm$ na 5 cm, odvolávame sa na zdroj [20]). Na druhej strane je možné evidovať fakt, že využitie frekvencií vyšších ako 5 GHz nemá praktické opodstatnenie z dôvodu vysokých strát na prenosovej komunikačnej ceste. Za zmienku stojí tiež potvrdenie lepšej radiačnej účinnosti slučkovej antény (budenie s využitím magnetického

zdroja elektromagnetického žiarenia) ako to bolo publikované napríklad v [20].

Na základe impedančnej analýzy, bolo preukázané, že reálne a imaginárne zložky v prípade simulácie S2 a S3 sú takmer identické, čo implikuje "uväznenie" veľkej časti blízkeho reaktívneho elektromagnetického poľa v IPV vrstve a nie vo vodivom tkanive. Logickým dôsledkom (aj keď nie priamym) je vyššia radiačná účinnosť. Sekundárnym dôsledkom zanedbateľnej vzájomnej fluktuácie je možnosť jednoduchšieho modelovania komunikačného kanála, pretože elektromagnatická vlna je vo vodivom prostredí reprezentovaná už len vlastnosťami blízkeho a ďalekého radiatívneho elektromagnetického poľa. Dodajme, že hrúbka IPV vrstvy činila 2 mm.



Obr. 3.5: Radiačná účinnosť dipólovej a slučkovej *OCA* antény pre scenár *S1* a *S3* (preformátovaný graf z [MK1], kde boli pridané ďalšie informácie)

Najväčšiu výpovednú hodnotu v súvislosti s možnými očakávanými výhodami predstaveného konceptu prezentuje graf na obrázku 3.5 zobrazujúci radiačné účinnosti prislúchajúce simuláciám S1 a S3. Uvedený graf jasne demonštruje markantné zlepšenie radiačnej účinnosti už pri pomerne nízkych hodnotách frekvencie (približne > 30 dB pre f < 2,5 GHz), kde sa nárast pohybuje od 20 - 30 dB v celom analyzovanom frekvenčnom pásme. Pre lepšiu predstavu možno uviesť, že maximálna radiačná účinnosť v prípade S1 nebola viac ako 0,5% v celom frekvenčnom rozsahu, pričom maximálna hodnota v prípade S3 dosahovala viac ako 50% pri 5 GHz. Z uvedeného vyplýva značný potenciál uvedeného konceptu, ktorý by mohol prelomiť pomyslenú bariéru možnej implementácie OCA antén pre AIZP systémy.

Vzhľadom na čerstvosť výskumu, veríme, že existuje v súčasnosti veľký priestor na prípadnú realizáciu OCA antén i so ziskom $\geq 0 \ dBi$ a radiačnou účinnosťou pohybujúcou sa v desiatkach percent. V [Pa2] sme uviedli anténu tvorenú zloženým elektrickým dipólom s induktívnou záťažou, ktorá bola realizovaná prostredníctvom základnej bunky z nepravidelného hexagonu. Anténa vykazovala kladný zisk už pri 3,75 GHz a impedančné prispôsobenie ($|S_{11}| \leq -10 \ dB$) v spodnom UWB frekvenčnom pásme, t.j. 3,1 – 5 GHz pre tradičný prístup (50 Ω) a aj aplikačne špecifický prístup (v tomto prípade 30 Ω a 0,8 pF). OCAvšak nevykazovala impedančné prispôsobenie na 2,4 GHz, ktoré je z pohľadu predpokladanej hybridnej konfigurácie príjmač/vysielač vyžadované. Navyše navrhnutá OCA predstavuje značnú plochu čipu 6,75 mm^2 .



Obr. 3.6: UWB anténa na čipe navrhnutá v 90 *nm CMOS* procese: a) štruktúra s fantómovým rozložením základnej bunky, b) detail základnej bunky [MK2]

Obrázok 3.6 predstavuje kompaktnejšiu verziu tejto OCA antény, ktorá je predstavená v príspevku (3.1.2b, [MK2]). Plocha alokovaná pre anténu v tomto prípade činila 4,5 mm^2 , čo je o 1/3 menšia plocha v porovnaní s predchádzajúcim návrhom. Grafy na obrázku 3.7 zobrazujú koeficient odrazu $|S_{11}|$ a zisk navrhnutej OCA pre aplikačne špecifický návrh 50 Ω a 3 pF, čo umožňuje vylúčenie objemného, prispôsobovacieho induktora z návrhu a tým výrazne redukovať plochu čipu. Bez prítomnosti bloku imitujúceho husté pokrytie čipu metalizáciou v jeho spodnej časti (šrafovaná časť na obrázku 3.6), anténa vykazuje pri 3,75 GHz len o 0,63 dBi menej ako predchádzajúci návrh, kde bola zaznamenaná kladná hodnota zisku. Šírka frekvenčného pásma bola však zredukovaná takmer na polovicu z 1,9 GHz na 1,02 GHz pre $|S_{11}| \leq -10 \ dB$. Avšak v prípade, keď bola uvažovaná prítomnosť hustého pokrytia spodnej časti čipu metalizáciou. dôjde k poklesu faktora kvality antény a tak k zväčšeniu šírky pásma na 3,59 GHz (pre $|S_{11}| \leq -6 \ dB$) a zníženiu jej radiačnej účinnosti. Pri impedančnom prispôsobení na $|S_{11}| \leq -6 \ dB$ a po zahrnutí spätných strát, to v najhoršom prípade činí zisk $\approx -10 \ dBi$ a teda navrhnutá OCA anténa stále disponuje značným aplikačným potenciálom pre AIZP systémy.



Obr. 3.7: Zisk a koeficient odrazu pre aplikačne špecifický prístup návrhu, t.j. 50 Ω a 3 *pF* s/bez metalizácie (preformátovaný a doplnený graf z [MK2])

3.2 Zberač energie elektromagnetického poľa integrovaný na IO čipe

3.2.1 Súčasný stav

Druhou oblasťou, ktorú sme skúmali v rámci pasívnych častí systému bezdrôtového prenosu energie (*SBPE*) pre AIZP systémy, je miniaturizácia príjímacej (sekundárnej) cievky ZE na báze blízkeho reaktívneho a radiatívneho elektromagnetického poľa. V súčasnosti existujú dva trendy: dlhodobo preferovaný **vysokofrekvenčný** (> 850 *MHz*), využívajúci blízke, radiatívne elektromagnetické pole [45–51] a **nízkofrekvenčný** (< 250 *MHz*), založený prevažne na blízkom, reaktívnom elektromagnetickom poli (vzájomnej magnetickej indukcii) [52–57]. Pri vysokofrekvenčnom riešení 2,7 *GHz* je deklarovaná výkonová účinnosť $\eta_P = -26,44 \ dB$ (*SOI technológia*, vzduch 10 *mm*, svalovina 10 *mm*) [51] alebo pri 986 *MHz* bola dosiahnutá výkonová účinnosť $\eta_P = -20,45 \ dB$ (*CMOS* 180 *nm*, vzduch 10 *mm*) pri kvalite cievky 21,7 [46]. Pri nízkofrekvenčnom riešení 160 *MHz* je avizovaná účinnosť $-20,96 \ dB$ (*CMOS* technológia, vzduch 2,5 *mm*, svalovina 7,5 *mm*) [55,56].

Problém návrhu ZE realizovaných priamo na čipe pre uvažované frekvenčné pásmo (100-ky MHz) by sa dal v počiatočnej fáze zadefinovať ako zoškálovanie existujúcich riešení induktorov do nižšieho frekvenčného pásma, pretože parazitné javy vzhľadom na zväčšenie rozmerov štruktúry stále v určitom pomere pretrvavajú. Riešenie induktorov pritom môže zahŕňať: symetrickú topológiu [58,59], vhodnú modifikáciu [60] a zgrupovanie [61] vinutia, vertikálnu [62,63] alebo horizontálnu [64] paralelizáciu kovových vrstiev (prípadne ich kombinácia [65]), vertikálne [66] alebo horizontálne [67–69] zmenšovanie šírky vodičov, aplikácia tzv. viac–vrstvovej techniky [61, 70–75] využívajúca diagonálny posun vrstiev [72] či solenoidnú [76] alebo pyramídovú [75] topológiu. Alternatívou je kombinácia horizontálnej paralelizácie závitov s multivrstvovou technikou, ktorá vykazuje zlepšenie všetkých hlavných parametrov pri rovnakej hodnote nízko-frekvenčnej indukčnosti [77]. Rovnako využitie techniky rozčlenenia vodičov na tzv. subvodiče by mohlo priniesť želaný efekt [78].

3.2.2 Navrhnuté riešenia a prínos

Martin, Kováč, Viera Stopjaková, Daniel Arbet, Lukáš Nagy, and Juraj Brenkuš. Investigation of On-Chip Coil in 130 nm Standard CMOS for WPT and Bio-Applications. ICETA 2017: 15th IEEE International Conference on Emerging elearning Technologies and Applications : Information and communication technologies in learning, pages 177 – 182, 2016. (3.2.2a, [MK3])

V tejto publikácii sú riešené dve primárne otázky:

- 1. Návrh a implementácia integrovaného ZE v štandardnej CMOS technológii s vylepšenými parametrami než predstavujú doposiaľ publikované riešenia.
- 2. Vyšetrenie vplyvu IPV na zmenu parametrov zberača vzhľadom na kompatibilitu s konceptom (navrhnutý a prezentovaný vyššie).



Obr. 3.8: Navrhnutý symetrický multivrstvový zberač energie (vľavo) a ZE z [55] (obrázok prevzatý z [MK3], vertikálne prepoje nie sú zobrazené) a) pohľad zpredu, b) pohľad zozadu

Na základe zámeru publikácie, boli teda zostavené dve štúdie (scenáre) pre každú otázku. V prípade prvej otázky sme zvolili isté referenčné riešenie a to konkrétne riešenie ZE uvedené v [55] vzhľadom na jeho možnú perspektívu aplikácie v SBPE systémoch. Navrhli sme symetrický multivrstvový zberač energie (SMZE) a následne sme porovnali jeho vlastnosti s referenčným zberačom, pričom sme vychádzali v oboch prípadoch z vopred alokovanej plohy pre realizáciu zberača (pri jeho optimálnych rozmeroch v danej CMOS technológii). Riešenie druhej otázky spočívalo v analýze vplyvu prítomnosti IPV s rôznou relatívnou permitivitou ϵ_r na parametre navrhnutého SMZE, konkrétne maximálneho faktora kvality $Q_{ZE,MAX}$, rezonančnej frekvencie $f_{ZE,REZ}$, frekvencie $f_{ZE,QMAX}$ a indukčnosti $L_{ZE,QMAX}$ zodpovedajúcej $Q_{ZE,MAX}$.

Śtruktúry navrhnutého a referenčného ZE sú zobrazené na obrázku 3.8. Navrhnutý ZE bol na základe diskusie uvedenej v predchádzajúcej časti práce realizovaný ako plne symetrický multivrstvový induktor s vertikálnou paralelizáciou závitov a prototypovo výrobený v štandardnom 130 *nm CMOS* procese. Celkové rozmery čipu sú 1500 μm x 1500 μm pri rezistivite základného substrátu 20 Ωcm . Jedná sa o 3 + 2 závitovú štruktúru, pričom horné tri závity využívajú vertikálnu paralelizáciu RF metalizačnej vstvy M8 a hrubej metalizačnej vstvy M7 s hrúbkami 2 μm respektíve 0, 8 μm . Spodné dva závity sú tvorené vertikálnou paralelizáciou tenkých kovových vrstiev M6-M4 s hrúbkou 0, 32 μm a sú polohované smerom dovnútra.



Obr. 3.9: Indukčnosť L_{ZE} a faktor kvality Q_{ZE} zberačov energie a ich percentuálne zlepšenie pre simuláciu 1 (a,c) a simuláciu 2 (b,d) [MK3]

Obrázok 3.9 zobrazuje porovnanie dosiahnutých parametrov navrhnutého SMZE a referenčného zberača (z obrázku 3.8), kde scenár simulácia 1 zodpovedá fyzickým plošným obmedzeniam pre výrobný proces nášho návrhu a simulácia 2 obmedzeniam pre výrobný proces referenčného zberača. Konkrétne údaje je možné nájsť v publikácii [MK3]. V oboch prípadoch (scenároch) bolo zaznamenané významné zlepšenie indukčnosti L_{ZE} a rovnako aj faktora kvality Q_{ZE}

nezávisle od plochy, čo implikuje dominantnosť navrhnutého SMZE voči doposiaľ zaužívanému riešeniu v podobe špirálového induktora (zlepšenie $Q_{ZE,MAX}$ o 24% a L_{ZE} @ $Q_{ZE,MAX}$ o 34%). Porovnaním grafov 3.8a) a 3.8b) je však možné pozorovať istú degradáciu Q_{ZE} oboch riešení pri zväčšení plochy, čo je dôsledkom nárastu reflektívnej rezistancie.



Obr. 3.10: Topografia 1. prototypového čipu (ZE–zberač energie) (vľavo) a výsledky experimentálnych meraní L_{ZE} a Q_{ZE} (vpravo)

Navrhnutý *SMZE* bol následne fyzicky implementovaný vo forme čipu IO v rámci dvoch prototypových výrobných behov. Obrázok 3.10 zobrazuje topografiu 1. prototypového čipu, ktorý bol čiastočne overený prostredníctvom experimentálnych meraní. Získané výsledky vykazujú čiastočný nesúlad s výsledkami simulácií, čo je spôsobené najmä vysokou hustotou kovových prepojov (kontaktovacích plôšok a polykryštalických kondenzátorov) v centrálnej oblasti experimentálneho čipu [55], parazitných slučiek z dôvodu neoptimalizovanej prepojovacej siete (angl. *routing*) [52, 54] a prítomnosti tzv. ochranného prstenca (angl. *seal ring*), ktorý nebol pri meraniach fyzicky prerušený [79]. V prípade 2. prototypového čipu (obrázok 4.5), došlo k modifikácii návrhu *SMZE* vo forme využitia redistribučnej 1, 2 μm hrubej najvyššej kovovej vrstvy a zoštvoreniu spodných kovových vrstiev s cieľom zvýšenia faktora kvality.

V podkapitole 3.1.2 sme uviedli nový koncept integrácie antén priamo na kremíkový čip. Tento koncept vyžaduje prítomnosť tzv. *IPV* vrstvy s vysokou permitivitou, ktorá modifikuje elektromagnetické pole v jej blízkosti. Podľa našich vedomostí, však bližšia analýza tohto vplyvu alebo preukázanie miery vplyvu na jednotlivé parametre integrovaného ZE však neboli doposiaľ skúmané a publikované. Vychádzajúc z tohoto pozorovania, sme opäť zostavili dve štúdie (aplikačné scenáre). Prvá štúdia vychádza z aplikácie bežnej, biokompatibilnej a biostabilnej izolačnej vrstvy GALXYL[®] Parylene–N s nízkou relatívnou permitivitou $\epsilon_r = 2,65$ a stratovým činiteľom $\delta = 0,006$, kým druhá štúdia bola postavená na použití bližšie nešpecifikovaného materiálu s vysokou relatívnou permitivitou $\epsilon_r = 43$ a stratovým činiteľom $\delta = 0,001$. Výstupy z numerických simulácií su zobrazené na obrázku 3.11, kde sú uvedené odchýlky jednotlivých parametrov navrhutého zberača ($Q_{ZE,MAX}$, rezonančnej frekvencie $f_{ZE,REZ}$, frekvencie $f_{ZE,QMAX}$ a indukčnosti $L_{ZE,QMAX}$ zodpovedajúcej $Q_{ZE,MAX}$) od ich nominálnych hodnôt, t.j bez prítomnosti makkého tkaniva a izolačnej vrstvy.



Obr. 3.11: Vplyv prítomnosti *IPV* vrstvy na odchýlku parametrov od ich nominálnych hodnôt, a) GALXYL[®] Parylene–N, b) materiál s $\epsilon_r = 43$ [MK3]

Z obrázku 3.11 je možné pozorovať, že prítomnosť izolačnej vrstvy má pomerne významný vplyv na všetky kľúčové parametre navrhnutého zberača. GALXYL® Parylene–N však vykazuje hodnoty parametrov blízke k ich nominálnym hodnotám pri hrúbke vrstvy väčšej ako 20 μm , čo je dôsledkom nízkeho ϵ_r porovnateľného so vzduchom. Naopak prítomnosť *IPV* s vysokou permitivitou spôsobuje trvalú odhýlku sledovaných parametrov zberača. V oboch prípadoch stačí hrúbka izolačnej vrstvy približne 30 μm , aby sa úplne eliminoval negatívny vplyv indukovaných vírivých prúdov v mäkkom tkanive.

4 Príspevok k aktívnym častiam zberačov energie



Obr. 4.1: AIZP systém s vyznačením časti skúmanej v tejto podkapitole

4.1 Usmerňovače

4.1.1 Súčasný stav

V rámci analýzy súčasného stavu boli pozorované problémy a výzvy spojené s manažmentom napájania AC zdroja na báze induktívneho prenosu a nízkonapäťových obnoviteľných zdrojov elektrickej energie ako sú vybrané palivové článoky, termogenerátor a iné. Vzhľadom na to, že existuje požiadavka na jednosmerné napájacie napätie na výstupe napájacieho subsystému, nevyhnutnou súčasťou ZE generujúceho AC signál (napätie/prúd) musí byť usmerňovací obvod, ktorého primárnym cieľom v oblasti nízkonapäťových aplikácií je najmä potlačiť vplyv prahových napätí V_{TH} usmerňovacích tranzistorov.

Pomerne rozšírenými sú aktívne synchorónne usmerňovače, ktoré na riadenie hlavných tranzistorov využívajú rýchle komparátory a kontrolné slučky, ktoré predurčujú použitie aktívnych usmerňovačov maximálne do frekvencií niekoľko jednotiek až desiatok 10 MHz a navyše v tradičnom ponímaní nie sú vhodné pre nízkonapäťové aplikácie [80–84]. Použitie pasívnych usmerňovačov patrí medzi konvenčné prístupy, ktoré sú štandardne realizovateľné aj pre GHz frekvencie, kde atraktívne z pohľadu nízkonapäťových aplikácií sú najmä riešenia, ktoré potlačujú vplyv prahového napätia V_{TH} a tým redukujú napäťový úbytok na usmerňovači. Táto reduckia môže byť statická alebo diferenciálna. Ucelený prehľad jednotlivých princípov redukcie vplyvu V_{TH} je možné nájsť v práci [85], kde jednou z najpoužívanejších techník je technika využívajúca tzv. "bootstrap" kondenzátory, vďaka ktorým je možné dosiahnuť veľmi dobré vlastnosti i pre vysokofrekvenčné aplikácie, akými sú napríklad RFID (z angl. Radio Frequecy IDentification, vysokofrekvenčná identifikácia) [86–89]. Špeciálnou technikou je redukcia využívajúca plávajúce hradlo [90,91], ktorá môže byť modifikovaná vzhľadom na kompatibilitu s CMOS procesom na techniku kvázi-plávajúceho hradla [92]. Veľmi dobré vlastnosti pre nízkonapätové aplikácie tiež ponúkajú usmerňovače využívajúce transformátor s centrálnym terminálom, ktorého realizácia na IO čipe v súčasnej dobe nepredstavuje závažný problém [93]. Poznamenajme, že usmerňovače triedy E sú charakteristické vysokými hodnotami η_P a η_V [94]. Tieto sú však určené hlavne pre vysokovýkonové aplikácie [95].

4.1.2 Navrhnuté riešenia a prínos

Príspevok k rozvoju nízkonapäťových usmeňovačov, rozširujúci myšlienku integrácie príjmacej cievky priamo na čip, obsahuje publikácia:

Miroslav Potočný, Viera Stopjaková, and Martin, Kováč. Self V_{TH} Compensating CMOS On-Chip Rectifier for Inductively Powered Implantable Medical Devices. In DDECS 2018: IEEE 21st International Symposium on Design and Diagnostics of Electronic Circuits and Systems, pp. 158-161, 2018. (4.1.2a, [MK4])

V publikácii je analyzovaný dvojcestný usmerňovač s naprieč riadenými MOS tranzistormi s diferenciálnym potlačením vplyvu prahových napätí tranzistorov prosredníctvom tzv. "bootstrap" kondenzátorov $C_{1,2}$ (obrázok 4.2c). Topológia len s naprieč spínanými tranzistormi je pomerne známa [91, 96, 97], pričom jej rozšírením o kondenzátory $C_{1,2}$ (v tomto prípade vnímané skôr ako blokovacie

kondenzátory) bunka nadobúda funkciu NP v dôsledku novovzniknutých virtuálnych jednosmerných potenciálov (v obrázku 4.2c označené ako nulový potenciál a výstupný uzol V_{dc}), čím je umožnené ich zreťazovanie (kaskádovanie). Kaskádovaním je docielené násobenie usmerneného napätia, čo je dôležitou vlastnosťou pre nízkonapäťové aplikácie. Významným benefitom mostíka v diferenciálnom riadení je jeho aktivácia do priepustného smeru už pre $V_{IN} \geq |V_{TH,pmos}|$ a dynamické riadenie efektívneho napätia V_{EFF} [98]. Modifikáciou predpätia na substratovej elektróde tranzistorov dochádza k presunu maximálnej hodnoty η_P k nižším hodnotám napätia pri zachovaní rovnakého pomeru V_{OUT}/V_{IN} . Nevýhodou je mierne zníženie účinnosti, ktoré je ale rozprestreté v širšom napäťovom rozsahu. Cieľom predmetnej publikácie je teda vyhodnotiť vplyv dopredného predpätia substrátovej elektródy aplikovaného aj na NMOS a PMOS tranzistorový pár a porovnať vlastností topológie s dostupnými riešeniami (obrázok 4.2).



Obr. 4.2: a) štandarná bunka s naprieč spínanými tranzistormi, b) bunka s dopredný predpätím substrátovej elektródy len PMOS, c) bunka s dopredný predpätím substrátovej elektródy PMOS aj NMOS (navrhnuté riešenie) [MK4]

Primárnym cieľom bolo vyšetriť výkonovú účinnosť η_P a maximálny výstupný výkon, pri rôznych podmienkach na záťaži a na vstupe usmerňovača (variácia R_L a V_{IN}) pre fixnú frekvenciu a rozmery tranzistorov. Pracovná frekvencia $\approx 200 \ MHz$ bola zvolená na základe výsledkov z časti 3.2.2 a [57].



Obr. 4.3: Výkonová účinnosť η_P (v článku značená ako *PCE*) a výstupný výkon P_{OUT} pre $V_{IN} = 200 \ mV$ (vľavo) a $V_{IN} = 300 \ mV$ (vpravo) [MK4]

Tab. 4.1: Porovanie vlastností analyzovaných usmerňovačov [MK4]

	Standard				PMOS body bias			Proposed		
Vin	200 mV	250 mV	300 mV	200 mV	250 mV	300 mV	200 mV	250 mV	300 mV	
Maximum PCE	54%	61.9%	66.8%	57.8%	65%	68.9%	53%	60.9%	66.3%	
R _L at maximum PCE	$100 \ k\Omega$	63 $k\Omega$	$32 \ k\Omega$	$100 \ k\Omega$	$40 \ k\Omega$	$16 k\Omega$	63 $k\Omega$	$32 k\Omega$	$13 \ k\Omega$	
Pout at maximum PCE	-39 dBm	-33.8 dBm	-28.8 dBm	-38.3 dBm	-32 dBm	-26.3 dBm	-36.5 dBm	-30.5 dBm	-24.8 dBm	
Maximum Pout	-38.7 dBm	-32.5 dBm	-27.1 dBm	-37.6 dBm	-31.2 dBm	-25.6 dBm	-36.2 dBm	-29.7 dBm	-24.1 dBm	
R _L at maximum P _{out}	63 $k\Omega$	$25 \ k\Omega$	$10 \ k\Omega$	50 $k\Omega$	$20 \ k\Omega$	$10 \ k\Omega$	50 $k\Omega$	$16 \ k\Omega$	$8 k\Omega$	
PCE at maximum Pout	44 %	35.4 %	52.4 %	50.8 %	55.3 %	62.4 %	51.2 %	53.5 %	64.5 %	

Obrázok 4.3 zobrazuje výkonovú účinnosť η_P (označenú ako PCE) a výstupný výkon P_{OUT} pre dve konkrétne hodnoty vstupného napätia V_{IN} . Z uvedených grafov je možné zistiť tri významné pozorovania: 1. navrhnutá topológia má v globálnom meradle najmenšiu maximálnu výkonovú účinnosť η_P z analyzovaných riešení (ako bolo predpovedané vyššie) najmä v dôsledku zvýšenia podprahových prúdov (3 – 4% v porovnaní s len *PMOS* riešením); 2. zvýšenie V_{EFF} v priepustnom režime má za následok zníženie R_{ON} , čo sa prejaví zmenšením vstupnej impedancie a následne je možné do systému dodať viac výkonu pri nižšej hodnote R_L a nižšom vstupnom napätí V_{IN} (až o 40%); 3. pri nízkych výstupných výkonoch má navrhnuté riešenie najväčšiu výkonovú účinnosť i výstupný výkon (pre $V_{IN} = 200 \ mV$ je to približne do $-36, 2 \ dBm$, pre $V_{IN} = 300 \ mV$ je to približne do $-24,1 \ dBm$), čo je vítaným benefitom v prípade ak nie je implementovaný žiadny algoritmus hľadania maximálneho výkonu (*MPPT*). Detailnejšie porovnanie vlastností navrhnutého usmerňovača je v tabuľke 4.1.



Obr. 4.4: Výstupný výkon P_{OUT} (vľavo) a výkonová účinnosť η_P (vpravo) ako funkcia V_{IN} a R_L [MK4]

Na základe ďalších analýz (obrázok 4.4) bolo pozorované, že pri vstupnom napätí 300 mV je usmerňovač schopný dodať výkon P_{OUT} až na úrovni $-24, 8 \, dBm$ pri 66, 3% výkonovej účinnosti respektíve, že usmerňovač disponuje výkonovou účinnosťou $\eta_P \ge 50$ % až do $-30 \, dBm$. Ak je vstupný výkon dostatočne veľký (cca $-19 \, dBm$), usmerňovač vykazuje $\eta_P \ge 70$ % pri záťaži 6 $k\Omega$. Vzhľadom na zvolenú frekvenciu a nízke vstupné napätie, nie je možné uskutočniť relevantné porovnanie s dostupnými riešeniami. Môžeme len uviesť, že napríklad publikácie [99, 100] obsahujú prehľad riešení pre ISM pásmo pre 13, 56 MHza 950 MHz, s ktorými má prezentované riešenie porovnatelné vlastnosti. Dodajme, že navrhnutý usmerňovač sa podarilo fyzicky zrealizovať v spomínanej technológii spolu s laditeľným prispôsobením realizovaným priamo na čipe (obrázok 4.5).



Obr. 4.5: Topografia 2. prototypového čipu (ZE – zberač energie, NU – napäťový usmerňovač)

4.2 Nábojové Pumpy

4.2.1 Súčasný stav

V prípade implementovaného ZE je typ meniča determinovaný hlavne úrovňou vstupného napätia, ktoré z pravidla nevyhovuje požiadavkám na napájacie napätie elektronického systému a jeho hodnota musí byť vhodne upravená. Z týchto dôvodov musí byť súčasťou manažmentu napájania aj DC/DC menič napätia (viacnasobný menič, rekonfigurovatelný menič a pod.) zabezpečujúci regulovanú konverziu hodnoty jednosmerného napätia. Nábojové pumpy (NP) sú bežne preferovaným riešením v prípade nízkovýkonových aplikácií, kedy v dôsledku malej prúdovej zaťažitelnosti je možná ich plná integrácia na čip. Súčasné moderné nízkonapäťové/nízkopríkonové systémy vykazujú spotrebu približne $10 - 100 \ \mu W$ pri napájacom napätí $\leq 1 V$ [101] a teda integrácia celého systému na čip spolu s manažmentom napájania na báze NP sa zdá byť výhodným riešením.

V podprahovom režime sú MOS tranzistory charakterizované najmä vysokým odporom R_{ON} , ktorý je senzitívny na zmenu efektívneho V_{EFF} a prahového napätia V_{TH} . Tento fakt využíva veľa nízkonapäťových realizácií NP s podporou techník akými sú dynamické riadenie predpätia na substrátovej elektróde [MK5], [102], dopredné predpätie substrátovej elektródy [103, 104], viacstupňová topológia [105], technika zvyšovania efektívneho napätia V_{EFF} na hradlovej elektróde tzv. nabojových prenosových spínačov (angl. *Charge Transfer Switch, CTS*) nad hodnotu napájacieho napätia bez [105, 106] alebo s [107] dynamickým riadením predpätia na substrátovej elektróde, technika implementácie *CTS* paralelne s tzv. prenosovými hradlami (angl. *Pass Gate Switch, PSG*) [108], technika duálneho módu [109], spätnoväzobné riadenie s riadeným predpätím na substrátovej elektróde [110] a pod. Nedávna publikácia [111] z roku 2016 ponúka ucelenú sumarizáciu a prehľad najrozšírenejších topológií *NP* pre nízkonapäťové, energeticky autonómne vstavané systémy medzi ktoré patria aj *AIZP*.

Významným fenoménom pri snahe celkovej integrácie nízkonapäťových NPna IO čip (okrem zvýšenia R_{ON}) sú aj parazitné kapacity, ktoré značným spôsobom prispievajú k poklesu celkovej účinnosti NP a to aj o 20 - 30 % [112]. Viac o vplyve parazitných kapacít a optimalizačných technikách je možné nájsť v [113–117], respektíve [MK5] a bližšie sa tomu venuje časť 4.2.2.1, ako súčasť práve prebiehajúceho výskumu. Je teda evidentné, že prvotne dominantná výhoda integrácie celej NP nemusí byť už taká významná v prípade podprahového režimu činnosti MOS tranzistorov. Je teda pomerne veľkou výzvou implementovať takéto nábojové pumpy pri zachovaní ich vlastností požadovaných pre danú aplikáciu.

4.2.2 Navrhnuté riešenia a prínos

Na základe prínosu dosiahnutého v rámci výsledkov nášho výskumu, ktorý najlepšie reflektuje príspevok k návrhu nízkonapäťových nábojových púmp, boli vybrané nasledújúce tri publikácie:

- Gabriel Nagy, Daniel Arbet, Viera Stopjaková, and Martin, Kováč. Novel CMOS Bulk-Driven Charge Pump for Ultra Low Input Voltage. Radioengineering, 25(2): 321 331, 2016 (4.2.2a, [MK5])
- Michal Šovčík, Martin, Kováč, Daniel Arbet, and Viera Stopjaková. Ultra-Low Voltage Driver for Large Load Capacitance in 130 nm cmos.

DDECS 2017: IEEE 20 th International Symposium on Design and Diagnostics of Electronic Circuits and Systems, pages 131 – 136, 2017 (4.2.2b, [MK6])

 Michal Šovčík, Martin, Kováč, Daniel Arbet, Viera Stopjaková, and Miroslav Potočný. Ultra-Low-Voltage Boosted Driver for Self-Powered Systems. Microelectronics Reliability, 80(2): 155 – 163, 2018. (4.2.2c, [MK7])

V tejto časti stručne predstavíme najdôležitejšie dosiahnuté a publikované výsledky ako aj bližie detaily pokračujúceho výskumu NP s MOS tranzistormi pracujúcimi v podprahovom režime. Vyššie uvedené publikácie sa zaoberajú analýzou, optimalizáciou a realizáciou NP na báze Pellicon-iho bunky s naprieč spínanými kondenzátormi (angl. Cross-coupled charge pump) využívajúcej dynamicky riadené prahové napätie V_{TH} (ďalej skrátene označovanú ako NP-DPN). Uvedená NP patrí medzi dvojčinné lineárne topológie, ktoré sú najlepším adeptom na implementáciu v prípade požiadavky celkovej integrácie obvodu pumpy na čip, kde zohrávajú veľkú úlohu parazitné kapacity [116]. Okrem iného táto pumpa disponuje i ďalšími výhodami prispievajúcimi k jej celkovej atraktivite pre nízkonapäťové aplikácie [Pc8], [118].



Obr. 4.6: Pelliconi-ho nábojová pumpa využívajúca dynamicky riadené prahové napätie *MOS* tranzistorov [MK5]

Obrázok 4.6 zobrazuje základnú bunku navrhnutej *NP-DPN*, ktorá môže byť jednoducho použitá v multi-stupňovej realizácii pumpy podľa požadovanej hodnoty výstupného napätia. Bunka teda podporuje princíp tzv. reprezentatívnej bunky, ktorý je základným predpokladom nového prístupu k návrhu uvedeného v sekcií 4.2.2.1. *NP-DPN* bola navrhnutá v 90 *nm CMOS* technológii pre danú hodnotu vstupného napätia pumpy $V_{IN} = 200 \text{ mV}$. Na základe analýzy bolo preukázané, že dynamické riadenie substrátovej elektródy *MOS* tranzistorov podporuje požiadavku maximalizácie kľučový parametrov *NP*, čo je evidentné hlavne pri väčších zaťažovacích prúdoch, teda pri väčšom výstupnom výkone P_{OUT} .

Návrh NP-DPN bol rozšírený o optimalizačnú techniku pre voľbu optimálneho počtu stupňov vzhľadom na minimalizáciu plochy čipu $N_{S,opt}$ a celkovú prúdovú spotrebu $N_{I,opt}$ na základe prístupu publikovanom v [112]. Uvedená technika však vykazuje pomerne veľkú chybu výpočtu výstupného napätia (až 60% pri optimalizácií na plochu a 29% pri optimalizácií na prúdovú spotrebu), čo je dôsledok len diskrétnych hodnôt počtu stupňov, vplyvu parazitných kapacít samotných MOS tranzistorov, a existencie neukončeného nabíjacieho cyklu kondenzátora C_F , ktoré neboli pri výpočte uvažované. Ak sú dodržané isté hranice, platnosť konvenčných (ideálnych) vzťahov pre návrh NP je dostatočná. Avšak ak sú tieto limity porušené, čo je v zásade platné pre integrované NP pracujúce v podprahovom režime, musí byť navrhnutý nový mechanizmus, ktorý by tieto sekundárne javy pokrýval (sekcia 4.2.2.1).



Obr. 4.7: Zlyhanie štartu regulovanej *NP-DPN* pracujúcej v podprahovom režime [MK6]



Obr. 4.8: Bloková schéma samo–napájaného regulovaného systému *NP-DPN* [MK6]

Dominantným negatívnym javom pri podprahovom režime MOS tranzistorov je najmä rapídny nárast odporu tranzistora v zopnutom stave R_{ON} , čo môže mať fatálne následky na dynamické javy spojené s činnosťou NP vedúce až k jej poruchovému stavu [MK6, MK7]. Jednou z technik, ktoré redukujú tento jav je tzv. "boosting" technika (zvyšovanie efektívneho napätia V_{EFF} nad hodnotu napájacieho napätia) hrá pri nízkonapäťových realizáciách NP významnú úlohu a to platí nielen pre samotné jadro pumpy, ale aj pre návrh ovládača (angl. driver). Typickým príkladom môže byť tradičný ovládač na báze obyčajného invertora, ktorého nedostatočne robustný návrh pre nízke napájacie napätie, môže viesť k zlyhaniu štartu celého regulovaného samo-napájaného systému nábojovej pumpy (obrázok 4.7).



Obr. 4.9: Bloková schéma navrhnutého ovládača [MK6]



Vzhľadom na vyššie uvedené, cieľom publikácie 4.2.2b [MK6], respektíve 4.2.2c [MK7] bola realizácia ovládača a regulovaného samo-napájaného systému na báze *NP-DPN* pre vstupné napätie ($\leq 200 \ mV$) ako návrh riešenia pre ultra-nízke napájacie napätie. Ovládač bol navrhnutý na princípe využitia akumulačných "bootstrap" kondenzátorov, čím došlo k modifikácii pracovného rozsahu napätia V_{EFF} *PMOS* tranzistora M_{P1} vo výstupnom invertore, v ideálnom prípade na $V_{EFF,ON} = -(3V_{SUPP} - |V_{TH}|) < 0$ respektíve $V_{EFF,OFF} = -[(V_{SUPP} - V_{CLK}_B) - |V_{TH}|] > 0$. Bloková schéma navrhnutého ovládača je zobrazená na obrázku 4.9 a detailnejšie tranzistorové zapojenie na obrázku 4.10, kde boli použité dva *MOM* (angl. *Metal-Oxid-Metal*) kondenzátory (o hodnote kapacity $15 \ pF$) na jeden blok.

Ovládač bol úspešne implementovaný do samo-napájaného regulovaného manažmentu napájania pre AIZP systémy, s odhadovanou 29% celkovou účinnosťou, ktorá bola získaná len prostredníctvom simulácií. Predbežné merania (zamerané na vyšetrenie spoľahlivého štartu) však ukazujú, že vstupné napätie V_{IN} môže byť $\approx 140 \ mV$ a to aj vďaka integrácii "boostovaného" ovládača. Ovládač však vykazuje značnú spotrebu energie najmä pri vyššom výstupnom napätí V_{OUT} , čo sa negatívne odzrkadluje na degradácií účinnosti NP-DPN, podobne ako je to avizované v [103].

Jednou z mnohých úloh riešených v rámci samo-napájaných systémov je ich spoľahlivý štart. NP-DPN bola navrhnutá ako plnohodnotný systém manažmentu napájania (na rozdiel od NP navrhnutými len ako samostatný štartovací obvod [104,119–121]) pre nízkonapäťové systémy. Regulačná slučka využíva riadiacu schému ON/OFF (obrázok 4.8), pričom napájacie napätie komparátora, riadiacej logiky a napäti
e $V_{CLK\ B}$ ovládača sú poskytované priamo z výstupu navrhnutej NP-DPN. Z toho dôvodu je spoľahlivý štart reprezentovaný minimálnym štartovacím napätím na výstupnom prednabitom kondenzátore C_L (tzv. horúci štart). Toto bolo vyšetrené prostredníctvom merania pre $V_{IN} = 200 \ mV$, kde tzv. plávajúci kondenzátor mal vzhľadom na rozsah pracovných frekvencií hodnotu kapacity 200 pF. Meranie prebehlo pre rôzne frekvencie a pre rôzne hodnoty kapacity prednabitého výstupného kondenzátora C_L , pričom štartovací mechanizmus bol v tejto implementácii realizovaný prostredníctvom mechnického spínača. Získané výsledky potvrdzujú vynikajúce vlastnosti z pohľadu nízkeho minimálneho štartovacieho napätia < 120 mV. Toto tvrdenie demonštruje i porovnávacia tabuľka 4.2. Dosiahnuté výsledky tiež potvrdzujú, že existuje optimálna hodnota spínacej frekvencie 160 kHz, ktorá je limitovaná spodnou $\approx 60 \ kHz$ (rýchle vybíjanie akumulačných kondenzátorov ovládača) a hornou hranicou $\approx 300 \ kHz$ (vyššia frekvencia vyžaduje vyššiu hodnotu minimálneho štartovacieho napätia).

Comparison (of start-up parameters to other wo	rks.			
Work	Core step-up/down converter	Start-up technique	Conditions	Start-up time	Minimum start-up voltage
This work	Charge pump	External voltage with mechanical switch	$f_{clk} = 160 \text{ kHz}, C_L = 10 \text{ nF}, V_{init} = 126 \text{ mV}, V_{finit} = 379 \text{ mV}$	1.05 <i>ms</i>	$V_{in_min} = 200 mV,$ $V_{suc_min} = 126 mV$
[12]	Boost converter	External voltage	$f_{ctk} = N/A$, $C_L = 10 nF$, $V_{init} = N/A$, $V_{final} = N/A$	N/A	$V_{ln_min} = 20 mV, V_{suc_min} = 600 mV$
[17]	Boost converter	Charge pump	$f_{clk} = 330 \ kHz, C_L = 10 \ nF, V_{init} = 0 \ mV,$ $V_{final} = 930 \ mV$	262 ms	$V_{in_min} = 95 mV, V_{suc_min} = 520 mV$
[18]	Boost converter	Charge pump	$f_{clk} = 10 MHz, C_L = 12.3 pF, V_{init} = 0 mV,$ $V_{final} = 740 mV$	N/A	$V_{ln_min} = 180 mV,$ $V_{suc_min} = 500 mV$
[14]	Boost converter followed by buck converter	Boost converter with mechanical switch	$f_{clk} = variabled$, $C_L = 470 pF$, $V_{init} = 0 mV$, $V_{finel} = 1.8 V$	18 ms	$V_{\text{in}_min} = 35 \text{ mV}, V_{\text{suc}_min} = 1 \text{ V}$
[31]	Boost converter	Charge pumped pulse generator	$f_{cik} = 200 \text{ kHz}, C_L = 10 \text{ nF}, V_{init} = 0 \text{ mV},$ $V_{jind} = 1.3 \text{ V}$	4.8 ms	$V_{in_min} = 80 mV$, $V_{suc_min} = 500 mV$

Tab. 4.2: Porovnanie samo–napájanej regulovenej NP-DPN z pohľadu štartovacích podmienok [MK7]

4.2.2.1 Nábojové pumpy s MOS v podprahovom režime

Predchádzajúca časť bola venovaná opisu príspevkov a dosiahnutých výsledkov NP-DPN, primárne navrhnutej pre budiaci obvod s ultra-nízkym vstupným (výstupným) napätím t.j. $V_{IN} \leq 200 \ mV$ ($V_{OUT} \geq 400 \ mV$), kde pracovná spínacia frekvencia musela byť zvolená dostatočne nízko, rádovo v stovkách kHz, aby bol zabezpečený spoľahlivý štart pumpy pri rôznych podmienkach spôsobených rozptylom technologických parametrov [MK6, MK7]. Ako prioritná požiadavka bola pritom stanovená maximalizácia výstupného prúdu (približne jednotky μA). Podľa [MK5] to značí, že optimálna hodnota plávajúceho kondenzátora C_F musí byť v 100-kách pF, čo značne limituje integráciu celého systému na čip. Z tohto pohľadu, je nutné rozvinúť diskusiu o návrhu NP-DPN pumpy, ktorá by bola nezávislá od vlastností budiaceho obvodu. Základom diskusie môže byť pripravovaná a doposiaľ nepublikovaná analýza, ktorej stručný opis a predbežné výsledky sú uvedené v nasledujúcom texte.

Analýza je založená na *EKV* modeli *MOS* tranzistora, aplikovaní vyjadrenia dvoch primárnych parametrov (t.j. výstupného napätia a účinnosti dvojčinnej lineárnej *NP*) na konkrétnu topológiu *NP* s naprieč spínanými kondenzátormi a dynamicky riadeným prahovým napätím a na predpoklade, že celý system pracuje v podprahovom režime ($V_{GS} \leq V_{TH}$). Súčasne predpokladá splnenie týchto podmienok [116]:

- 1. sú uvažované iba redistribučné straty (reverzné straty uvažované nie sú)
- 2. plávajúci kondenzátor C_F a jeho parazity sú lineárne
- 3. v každom hodinovom cykle musí byť zabezpečené plné nabitie kondenzátora ${\cal C}_F$

, pričom primárnym cieľom bolo vyšetrenie druhého a tretieho bodu, ktoré bolo realizované na základe dvoch krokov (predpokladov):

- Vyšetrenie vlastností celej NP, môže byť realizované na základe analýzy jednej bunky/stupňa (potrebné pre zostavenie analytických rovníc odzrkadlujúcich napäťové podmienky v jednotlivých uzloch), obrázok 4.11.
- 2. Implementácia EKV modelov [122], prípadne BSIM modelov [123] pre výpočet ekvivalentnej lineárnej kapacity $C_{P,M}$. Ekvivalentná lineárna para-

zitná kapacita $C_{P,M}$ v centrálnom uzle A(B) nábojovej pumpy NP-DPN, bola vyšetrená na základe variácie ΔA a ΔB v rozsahu 0 – 50% V_{IN} pre pevne určené W a L (NMOS: W = 100 μm , L = 300 nm, PMOS: W = 300 μm , L = 300 nm).



Obr. 4.11: Bunka *NP-DPN* spolu s idealizovanými priebehmi napätí v jednotlivých uzloch

Takto vypočítaná kapacita môže byť následne prepočítaná na jednotku plochy t.j. $C_{P,M,A} = C_{P,M}/(WL)$, ktorá je v prípade zanedbania sekundárnych javov plne definovaná cez priamy i_f a reverzný i_r inverzný koeficient prostredníctvom známych napäťových podmienok. Parameter $C_{P,M,A}$ (bez vplyvu parazitných kapacít jama-jama, jama-substrát) sa pohybovala v rozsahu 0,03 – 0,05 $[F/m^2]$ v závislosti od analyzovanej fázy a ΔA respektíve ΔB . Uvažovaná podmienka $C_{P,M}$ (fáza 1) $\approx C_{P,M}$ (fáza 3), čo predpokladajú rovnice pre V_{OUT} a η_P [116], v niektorých prípadoch fluktuovala až 20%. Zavedením dynamicky meniaceho sa prahového napätia do návrhu NP, však spôsobilo, že predpoklad existencie reprezentatívnej bunky nie je úplne korektný, pretože veľkosť parazitných kapacít jama-jama, jama-substrát sa mení od bunky k bunke. Pre najhorší prípad (uvažované nulové predpätie na PN prechodoch) sa pôvodne získaný rozsah $C_{P,M,A}$ zmení na 0,045 – 0,065 $[F/m^2]$ ¹. Výstupom analýzy je teda približne odhadnutá hodnota $C_{P,M,A} \approx 0,055$ $[F/m^2]$ parametra, slúžiaca ako dôležitý vstup pre prípadné analytické vyhodnotenie vlastností pumpy.

Ďalšou podmienkou je predpoklad plného nabitia lineárneho kondenzátora C_F (bod 3). V [124,125] bolo ukázané, že ak je táto podmienka splnená, účinnosť NP (podiel energie na vstupe a výstupe systému) je nezávislá od odporu spínačov

 $^{^1}$ pozorovaná zmena parameter $C_{P,M,A}$ v rozsahu predpäti
a $<3\ V$ bola menej ako0,004

v zopnutom stave, cez ktorý sa táto kapacita nabíja/vybíja. Ak je tento predpoklad splnený, návrh *NP* nemusí prechádzať cez zložitú analýzu. Podmienka sa dá vyjadriť vzťahom

$$\frac{T}{2} \left| \frac{1}{\ln(\frac{1 - \frac{F_{ri}}{100}}{1 - \frac{V_i}{V_{IN}}})} \right| \ge \frac{V_{DS}L^2}{I_S e^{\frac{V_{GS} - V_{TH}}{nV_T}} (1 - e^{-\frac{V_{DS}}{V_T}})} (K_C \frac{A_{CpS}}{WL} (1 + \alpha) + C_{P,M,A}) \quad (4.1)$$

ku ktorému je možné pristupovať dvomi spôsobmi: 1. Ako kontrolné návrhové pravidlo, kde rovnosť "=" je nutné nahradiť nerovnosťou ">", 2. Ako priame návrhové pravidlo, ktoré zabezpečí činnosť NP v tzv. hraničnom operačnom režime, kde v počiatočnej fáze je rozumné vyšetriť vlastnosti nízkonapäťovej NP-DPNpracujúcej v podprahovom režime práve na tejto hranici. Tabuľka 4.3 a tabuľka 4.4 uvádzajú porovnanie medzi vypočítanými a odsimulovanými hodnotami analyzovanej NP-DPN (pre $C_{P,M,A} \approx 0,04 \ F/m^2$), ktoré sú súčasťou krátkej diskusie o presnosti (prípadnej aplikovateľnosti pre návrh nízkonapäťových NP). Prístup bol overený na NP-DPN pracujúcej v podprahovom režime so zanedbateľnými reverznými stratami pre $WL = 30 \ \mu m^2$, $L = 300 \ nm$, $F_{ri} = 98\%$ a troma závislými premennými η_P , f, I_{OUT} .

Model neuvažuje troj-jamovú technológii a preto parazitné kapacity ako jamajama či jama-substrát nie sú jeho súčasťou. Z toho dôvodu východiskové porovnanie (tabuľka 4.3 a tabuľka 4.4) vychádza z analýzy bez týchto parazít. Odhadovaná zmena parametrov NP-DPN za ich prítomnosti bola prepočítaná pre $C_{P,M,A} \approx 0,055 \ F/m^2$. Výstupy za týchto podmienok sú uvedené v tabuľke 4.5 a 4.6. Z uvedených tabuliek je možné pozorovať, že prvotne získané výsledky veľmi dobre korelujú so simuláciami. Chyba v prípade výstupného napätia V_{OUT} je menšia ako 1,3% a v prípade účinnosti η_P činí maximálne 3,5% i pre $S_{cap} = 0.1 \ mm^2$. Pri tejto ploche nadobúda kondenzátor C_F hodnotu 33,3 pF a účinnosť za prítomnosti parazitných kapacít $C_{P,T}$ a $C_{P,B}$ dosahuje hodnotu 41% a odhadovanú hodnotu 32% pri uvažovaní vplyvu kapacity PN prechodov jama-jama a jama-substrát.

Z doposiaľ dosiahnutých výsledkov je možné pokladať predstavenú analýzu za perspektívnu a ponúkajúcu jednoduchý návrh NP prostredníctvom rozšírenia už existujúcich optimalizačných techník o nový parameter $C_{P,M,A}$, ktorý zohráva dôležitú úlohu hlavne pri integrácii celej pumpy na čip. Vzťah 4.1 záro**Tab. 4.3:** Porovnanie analytických vzťahov so simuláciou bez vplyvu parazitných kapacít jama–substrát pre $C_{P,M,A} \approx 0,04 \ F/m^2$ a $\alpha, \beta = 0\%$

$V_{out}[V]$	$I_{out}[\mu A]$	$f_{sw}[MHz]$	$\eta_{P}[\%]$
1, 1 1,087	28, 3	2,71	87,64 86,77
-0,013	-	-	-0, 87
$V_{out}[mV]$	$I_{out}[\mu A]$	$f_{sw}[MHz]$	$\eta_P[\%]$
1,1	13,65	8.62	70, 33
		~ ~ ~ ~ ~	
	$\frac{V_{out}[V]}{1,1} \\ 1,087 \\ -0,013 \\ \hline V_{out}[mV] \\ 1,1 \\ 1,1 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ $	$\begin{array}{c c c c c c c c c c c c c c c c c c c $	$\begin{array}{c c c c c c c c c c c c c c c c c c c $

Tab. 4.4: Porovnanie analytických vzťahov so simuláciou bez vplyvu parazitných kapacít jama–substrat pre $C_{P,M,A} \approx 0.04 \ F/m^2$ a $\alpha, \beta = 3\%$

$lpha,eta=3\%,V_{in}=0,3V,S_{cap}=0,5mm^2$	$V_{out}[V]$	$I_{out}[\mu A]$	$f_{sw}[MHz]$	$\eta_{P}[\%]$
výpočet	1, 1	13 95	1 60	57,07
simulácia	1,095	10, 20	1,05	57, 12
chyba	-0,005	-	-	0,05
$lpha,eta=3\%,V_{in}=0,3V,S_{cap}=0,1mm^2$	$V_{out}[mV]$	$I_{out}[\mu A]$	$f_{sw}[MHz]$	$\eta_{P}[\%]$
$lpha, eta = 3\%, V_{in} = 0, 3 \ V, S_{cap} = 0, 1 \ mm^2$ výpočet	$\frac{V_{out}[mV]}{1,1}$	$\frac{I_{out}[\mu A]}{7.04}$	$f_{sw}[MHz]$	$\frac{\eta_{P}[\%]}{40,41}$
$lpha, eta=3\%, V_{in}=0, 3~V, S_{cap}=0, 1~mm^2$ výpočet simulácia	$\frac{V_{out}[mV]}{1,1} \\ 1,088$	$I_{out}[\mu A]$ 7,04	f _{sw} [MHz] 6,71	$\frac{\eta_{P}[\%]}{40,41} \\ 41,01$

Tab. 4.5: Výpočet výstupného napätia a účinnosti pri uvažovaní parazitných kapacít jama–substrat pre $C_{P,M,A} \approx 0,055 \ F/m^2$ a $\alpha,\beta = 0\%$

$lpha,eta=0\%,V_{in}=0,3V,S_{cap}=0,5mm^2$	$V_{out}[V]$	$I_{out}[\mu A]$	$f_{sw}[MHz]$	$\eta_P[\%]$
výpočet	1, 1	27,04	2,62	86, 62
$lpha,eta=3\%,V_{in}=0,3V,S_{cap}=0,1mm^2$	$V_{out}[V]$	$I_{out}[\mu A]$	$f_{sw}[MHz]$	$\eta_P[\%]$

Tab. 4.6: Výpočet výstupného napätia a účinnosti pri uvažovaní parazitných kapacít jama–substrat pre $C_{P,M,A} \approx 0,055 \ F/m^2$ a $\alpha,\beta = 3\%$

$lpha,eta=3\%,V_{in}=0,3V,S_{cap}=0,5mm^2$	$V_{out}[V]$	$I_{out}[\mu A]$	$f_{sw}[MHz]$	$\eta_{P}[\%]$
výpočet	1,1	12, 4	1,64	55, 58
$lpha, eta = 3\%, V_{in} = 0, 3 V, S_{cap} = 0, 1 mm^2$	$V_{out}[V]$	$I_{out}[\mu A]$	$f_{sw}[MHz]$	$\eta_P[\%]$
výpočet	1, 1	5,88	7, 23	31,97

veň odkrýva nové možnosti prístupu k návrhu NP (popri už známych vzťahoch platných pre výstupné napätie V_{OUT} a účinnosť η_P). Navrhnutý prístup bude však nutné podrobiť hlbšej analýze a to najmä z nasledujúcich hľadísk:

- vyšetrenie vplyvu variácie $C_{P,M,A}$ na celkovú presnosť návrhu
- rozvinúť diskusiu ohľadom vzťahu 4.1
- aplikovať vyššie uvedené dva body pri optimalizáci
i $N\!P$ smerom k zvýšeniu jej účinnosti

5 Príspevok k návrhu, kalibrácii a testovaniu IO



Obr. 5.1: AIZP systém s vyznačením časti skúmanej v tejto podkapitole

5.1 Príspevok k návrhu nízkonapäťových IO

5.1.1 Súčasný stav

Súčasný záujem o nízkonapäťové analógové IO zaznamenáva svoj nárast najmä v dôsledku dvoch faktorov. Tým prvým (technologickým) je podľa ITRS(angl. International Technology Roadmap for Semiconductors, medzinárodná organizácia zaoberajúca sa mapovaním technologického rozvoja polovodičov) a iných zdrojov ([126], [Pc8]) klesajúci trend hodnoty napájacieho napätia sprevádzaný len nepatrným škálovaním prahového napätia V_{TH0} v závislosti od generácie technológie. Druhým (aplikačným) faktorom je snaha eliminovať multidoménové napäťové riešenia SOC systémov, ktoré vznikajú ako reakcia na požiadavku redukcie spotreby energie digitálnych obvodov prostredníctvom škálovania napájacieho napätia [127,128]. Napríklad podľa [128], pre IoT (angl. Internet of Things, IoT) a AIZP systémy sa optimálna hodnota napájacieho napätia, charakterizovaná minimálnou spotrebou energie, pohybuje v rozsahu od 250 mV do 500 mV. I toto so sebou prináša nutnú požiadavku na rozvoj návrhu nízkonapäťových analógových *IO*, či už prostredníctvom nových návrhových techník alebo nových obvodových topológií.

Z toho dôvodu bolo vyvinutých niekoľko konvenčných a nekonvečných techník návrhu nízkonapäťových *IO*.Tieto techniky sú podrobnejšie opísané v prácach [129,130] spolu s príslušnými referenciami na konkrétnu problematiku.

Náš výskum zameraný predovšetkým na rozvoj prístupu založeného na využití MOS tranzistora riadeného substrátovou elektródou (substrátová elektróda je v tejto práci vnímaná ako lokálna elektróda pre substrát MOS tranzistora príslušného typu vodivosti), tzv. Bulk-driven (BD) prístup k návrhu nízkonapäťových IO. BD prístup je len jedna z mnohých alternatív čerpajúcich z potenciálu troj-jamového CMOS procesu, konkrétne UMC 130 nm, v ktorom sme navrhli a realizovali vybrané obvodové bloky, pričom vyznačuje priamou kompatibilitou s už dostupnými návrhovými technikami či výrobnými technologickými postupmi. Inak povedané, mnohé techniky návrhu, ako napríklad návrh prostrednívctvom tzv. koeficientu inverzie i_f a i_r , vychádzajú z analýzy tranzistora ako štvorelektródového prvku [131].

5.1.2 Prínos v oblasti návrhu nízkonapäťových IO

Náš príspevok k tejto problematike zahŕňa návrh univerzálnych blokov pre nízkonapäťové IO, konkrétne operačných zosilňovačov (OZ) s variabilným zosilnením tzv. VGA (angl. Variable Gain Amplifier) [Pc7,Pc6,Pc5,Pc9,Pc3], ďalej plne diferenciálneho diferenčného OZ-FDDA (angl. Fully Differential Difference Amplifier) [Pc1] a komparátora [Pc4,Pc2]. Navrhnuté bloky sú schopné pracovať s napájacím napätím < 0,6 V. V prácach [Pc7,Pc6,Pc3] bol navrhnutý VGA s prekríženými vstupnými diferenčnými pármi, ktoré využívajú BD tranzistory na zvýšenie vstupného napäťového rozsahu.

Preladitelné zosilnenie bolo realizované prostredníctvom kaskódového zapojenia riadiacich tranzistorov v jednom z dvoch diferenčných párov, ktoré služia na moduláciu celkovej prenosovej vodivosti a výstupného odporu prvého stupňa. V oboch prípadoch ([Pc7, Pc3]) bol ako druhý stupeň použitý *BD* zosilňovač triedy A so spoločným emitorom, pričom v [Pc3] bola Millerová kompenzácia nahradená komplexnejším riešením, prispievajúcim k vylepšeným frekvenčným **F** 1 D

vlastnostiam. V oboch prípadoch bola na stabilizáciu operačného bodu implementovaná tzv. súhlasná spätná väzba (angl. Common-Mode Feedback, CMFB), ktorá je realizovaná prostredníctvom novej topológie s BD vstupnými tranzistormi. Navrhnutá CMFB kombinuje detektor súhlasného napätia a zosilňovač so ziskom 12, 3 dB, pričom sa vyznačuje dobrou imunitou voči diferenciálnemu signálu v celom pracovnom rozsahu. Taktiež využíva súhlasnú napäťovú spätnú väzbu ako tzv. napäťový "booster". Práca [Pc3] v porovnaní s [Pc7] uvádza aj experimentálne výsledky, ktoré potvrdzujú veľmi dobrú koreláciu medzi hodnotami parametrov dosiahnutých prostredníctvom simulácie a merania prototypových čipov. Rozšírená verzia práce [Pc7] bola neskôr publikovaná aj v impaktovanom vedeckom časopise [Pc9].

Tab. 5.1:	Porovnanie vlastnosti navrhnuteho VGA s vybranymi
	nízkonapäťovými riešeniami [Pc9]

Parameter	8	16	17	18	Our work
Process	$180\mathrm{nm}$	$180\mathrm{nm}$	$180\mathrm{nm}$	$180\mathrm{nm}$	$130\mathrm{nm}$
Design	BD	GD	GD	GD	BD
Total power	$0.2\mathrm{mW}$	$0.15\mathrm{mW}$	$1.34\mathrm{mW}$	$5.4\mathrm{mW}$	$12 \ \mu W$
V _{DD}	$0.8\mathrm{V}$	$1.8\mathrm{V}$	$\pm0.9\mathrm{V}$	$1.8\mathrm{V}$	$0.6\mathrm{V}$
Tuning range [dB]	17 (L-in-dB)	45 (L-in-dB)	13.5	84 (L-in-dB)	14 (L-in-dB)
Gain [dB]	-10.5 - 6.5	-2-69	$0\!-\!13.5$	± 42	20 - 47
BW [MHz]	42 - 195	50 - 209	11 - 101	>350	0.28 - 0.29
Distortion	THD: 0.32% @	OP1dB:	THD: -57	N/A	THD < -30
	in:-16.2 dBV,	$0\mathrm{dBm}$	$\mathrm{dB}\mathrm{43dB}$		dB@1mV
	${\rm out:}{-25{\rm dBV}}$		$@50\mathrm{mV}$		
Sim./Meas.	Sim. (typ)	Meas.	Sim. (typ)	Meas.	Sim. (PV)

Tabuľka 5.1 zobrazuje porovnanie navrhnutého VGA s Millerovou kompenzáciou, s niektorými existujúcimi nízkonapäťovými riešeniami. V publikácii [Pc3] je uvedené aj experimentálne overenie napäťového ofsetu, ktoré sa stalo hlavným výskumným cieľom digitálnej kalibrácie uvedenej neskôr v časti 5.2.2. Otázkou úzkeho L-in-dB pásma sa zaoberajú naše publikácie [Pc5, Pc9], kde bolo navrhnuté automatické riadenie zisku doprednou a spätnoväzobnou metódou prostredníctvom digitálnej linearizácie, realizovanej pomocou tzv. rekonfigurovateľnej look-up tabuľky. Toto predstavuje jedno z elegantných riešení ako sa vysporiadať s fluktuáciou parametrov procesu. Implementáciou digitálnej korekcie bolo dosiahnuté rozšírenie L-in-dB pásma pre VGA z [Pc7, Pc9] takmer na celý rozsah preladenia, konkrétne 20,5 dB - 47 dB pri spotrebe obvodu 6 μW a frekvencii 4 kHz. Viac detailov o jej realizácii a fyzickej implementácii je možné nájsť v [132].

Implementácia digitálnej korekcie bude nevyhnutná aj pre jednostupňové VGA navrhnuté pre napájacie napätie 0, 4 V s preladiteľnosťou zisku 0 – 18 dB a 8 dB L-in-dB pásmom [Pc6]. Otázka PSRR (angl. Power Supply Rejection Ratio, potlačenie rušenia z napájacieho napätia) a CMRR (angl. Common Mode Rejection Ratio, potlačenie rušenia súhlasného napätia) bola riešená prostredníctvom samo-predpäťovej techniky (angl. self-biasing), kedy sú jednotlivé jednosmerné predpätia adaptívne odvádzané z jednotlivých vstupných, výstupných i vnútorných uzlov IO. Dosiahnuté hodnoty CMRR a PSRR parametrov sú -60 dB a -45 dB v typických podmienkach. Poznamenajme, že rovnaká technika bola použitá aj v predchádzajúcich variantoch VGA (pre napájacie napätie 0, 6 V), čo nie je explicitne uvedené.

Súčasťou výskumu bol aj návrh *BD* dvojstupňového *OZ* (*FDDA*) pre napájacie napätie 0,4 *V*, s rail-to-rail diferenciálnym výstupom $\pm 0,36$ *V* a pomerne vysokým ziskom ≈ 64 *dB*. Ide o kaskódové zapojenie, ktoré čerpá z už vyššie spomínaných techník. Predstavená topológia *OZ* je zaujímavá tým, že prvý stupeň implementovanej *CMFB* je tiež realizovaý ako plne diferenciálny diferenčný zosilňovač, čím došlo k zvýšeniu výstupného napäťového rozsahu na takmer dvojnásobok. *CMFB* vznikla rozšírením existujúcich riešení z predchádzajúcich návrhov *VGA* a teda priamo čerpá z ich výhod.

V prácach [Pc4, Pc2] je uvedený analógový nízkonapäťový komparátor pracujúci s napájacím napätím < 0,6 V. Komparátor pracuje v tzv. prúdovom móde, t.j. vstupné napätie moduluje prúdový zdroj prostredníctvom substrátovej elektródy. Prúd sa potom prezrkadľuje do naprieč zapojených tranzistorov, kde následne reťaz invertorov zabezpečuje výsledný zisk, tvarovanie signálu a rail-to-rail výstupný napäťový rozsah. Vlastnosti komparátora ako prúdová spotreba, prevodové charakteristiky a oneskorenie boli experimentálne verifikované pre hodnoty napájacieho napätia 0,4 V a 0,6 V, pričom bola zaznamenaná výborná korelácia medzi simuláciami a meraniami [Pc2]. Komparátor bol úspešne použitý aj v predstavenom manažmente napájania pre AIZP systémy, opísanom v časti 4.2.2 ako dôležitý prvok v regulačnej slučke. Tabuľka 5.2 sumarizuje parametre navrhnutého komparátora spolu s porovnaním s vybranými nízkonapäťovými riešeniami pre napájacie napätie 0,4 V. Ešte poznamenajme, že publikácia [Pc2] dostala ocenenie The Best Paper Award na konferencii International Symposium on Design and Diagnostics of Electronic Circuits and Systems – DDECS 2018.

Tab. 5.2: Porovnanie kľučových vlastností navrhnutého komparátora
(publikácia [39] v tabuľke) s vybranými riešeniami [Pc8]

Parameter	[39]	[33]	[34]	[35]	[36]	[37]	[38]
Process	130 nm	65 nm	90 nm	180 nm	500 nm	180 nm	130 nm
V _{DD}	0.4 V	1 – 1.2 V	1 V	1.8 V	1.8 – 5 V	0.3 V	0.2 V
Design style	BD	GD	GD	GD current inp.	GD	BD	GD
Total power	94 nW	60 fJ/decision	40 µW	1.01 mW	40 nA	100 pW	3 fF/decision
Frequency	500 kHz	1 MHz	1 GHz	500 MHz	10 kHz	62.5 kHz	250 kHz
Load	25 pF	-	-	200 fF	-	-	10 fF
Silicon area	410 µm ²	100 µm ²	543.75 μm ²	-	-	-	-
Sim./Meas.	Meas. (25 °C)	Meas. (25 °C)	Meas. (25 °C)	Sim. corners	Meas. (25 °C)	Sim. (25 °C)	Sim. (25 °C)

5.2 Príspevok ku kalibrácii a testovaniu IO

5.2.1 Súčasný stav

Testovanie predstavuje veľmi dôležitú časť vývoja a následnej výroby každého IO. Na testovanie analógových IO sa najčastejšie používa parametrický test, ktorý vyplýva zo samotnej povahy a rôznorodosti týchto obvodov. Paramterický test spočíva v sledovaní vybraných parametrov testovaného obvodu ako napríklad: napätie, prúd, impedancia, oneskorenie, frekvencia a pod. Medzi najznámejšie parametrické metódy testovania IO patria: monitorovanie statického/dynamického odberu prúdu [133–136], meranie výstupného napätia, meranie frekvencie (oscilačná metóda) [137–141], termálne testovanie [142, 143] a iné.

Prístup, ktorý výrazne redukuje čas a náklady na testovanie *IO* je tzv. vstavaný samočinný test – *BIST* (angl. *Built-In Self Test*), ktorý umožňuje testovanie zložitých *IO*, akými sú aj *AIZP* priamo na čipe. V prípade digitálných *IO* sa najčastejšie používa prúdové monitorovanie, pomocou tvz. vstavaných prúdo-

vých monitorov [134]. Test vybraných analógových *IO* priamo na čipe môže byť realizovaný napríklad pomocou oscilačnej metody nazývanej ako *OBIST* (angl. *Oscillation Built-In Self Test*) [144]. Ten može byť rozšírený o referenčný oscilátor (generuje hodinový signál), ktorý využíva rovnakú spätnú väzbu akú má samotná testovaná štruktúra. Táto metodika ako aj dosiahnuté výsledky a prínosy sú podrobne prezentované v publikáciách [137,138].

Fluktuácia procesných parametrov v nanotechnológiách priamo ovplyvňuje niektoré dôležité parametre analógových IO, ako napr. vstupných napäťový ofset operačných zosilňovačov OZ. Konvenčný spôsob redukcie ofsetového napätia spočíva vo využití sofistikovaných topografických techník, Tieto techniky však zvyšujú plochu čipu a navyše, vo všeobecnosti nedokážu úplne eliminovať prejav fluktuácie procesných parametrov, čo prebudilo záujem o alternatívne obvodové riešenia ako "chopper stabilization", "auto-zero" alebo "correlated double sampling" a iné [145,146]. Ukazuje sa, že digitálný prístup kalibrácie analógových IO predstavuje vhodnejšiu alternatívu z hľadiska prídavnej plochy a prúdovej spotreby [146–148]. Na potlačenie vstupného napäťového ofsetu bola v [148] použitá digitálna kalibrácia pomocou. tzv M - 2M prúdovej siete. Takýmto spôsobom je možné výrazne potlačiť nežiaduci vplyv fluktuácie parametrov technológie. V [147] je opísaná metodika kalibrácie analógových IO pomocou prúdových sietí.

5.2.2 Prínos v oblasti kalibrácie a testovania IO

V oblasti testovania IO bol náš výskum zameraný na rozvoj a implementáciu oscilačnej metódy na čipe (OBIST), a dosiahnuté výsledky je možné nájsť v publikáciách [Pd6, Pd4, Pd3].

V publikácii [Pd6] je predstavený samotný koncept *OBIST* metodiky pre vstavané testovanie analógových *IO*. Základným rozdielom oproti tradičnému *OBIST* prístupu z [144] je použitie vstavaného referenčného oscilátora, ktorým je možné generovať hodinový signál priamo na čipe. Referenčný oscilátor využíva rovnakú spätnú väzbu ako testovaný obvod, čím je možné zúžiť bezporuchové tolerančné pásmo testovaného obvodu ako aj odhaliť poruchy, ktoré sú ním maskované. V uvedenej publikácii bol vyšetrený aj vplyv prídavného testovacieho hardvéru na hodnotu oscilačnej frekvencie, kde boli analyzované parametre (R_{ON} , R_{OFF} a parazitné kapacity C_P) *PSG* spínačov použitých na prepínanie medzi režimami činnosti testovaného obvodu. Bolo preukázané, že návrhom ich optimálnych rozmerov je možné minimalizovať vplyv prídavného hardvéru a zachovať pôvodné parametre testovaného obvodu.

V publikácii [Pd4] sme preukázali, že je možné nájsť optimálnu hodnotu oscilačnej frekvencie testovaného obvodu za účelom zvýšenia účinnosti navrhnutej OBIST metodiky. Bolo vyšetrené pokrytie porúch skratu (s rôznými hodnotami odporu) v aktívnych analógových filtroch na rôzných oscilačných frekvenciách. Testované obvody boli navrhnuté v 90 nm a 350 nm CMOS technológii. Získané výsledky poukazujú na fakt, že skraty s hodnotou odporu nad 1 $M\Omega$ je možné ľahšie detegovať na vyšších oscilačných frekvenciách. Naopak skraty s nízkym odporom vo väčšine prípadov vedú k zmene operačného bodu testovaného obvodu a preto sú ľahšie detegovateľné na nízkych oscilačných frekvenciách. V [Pd3] je prezentovaný prístup k hľadaniu optimálnej oscilačnej frekvencie pomocou analýzy využívajúcej spätnú väzbu s nelineárnym prvkom charakterizovaným tzv. opisnou DF funkciou (angl. Describing Function).

Kompenzácia vstupného napäťového ofsetu OZ prostredníctvom kalibrácie bola predmetom publikácií [Pd5, Pd2, Pd1]. Za týmto účelom bol v [Pd5] navrhnutý a aplikovaný korekčný obvod pre obvod D/A prevodník využívajúci R-2Rsieť, ktorého úlohou je redukovať strednú hodnotu vstupného napäťového ofsetu. Aplikovaním korekčného obvodu a použitím M - 2M prúdovej siete, bolo dosiahnuté vylepšenie strednej hodnoty ofsetu až o 95%. Zároveň bolo preukázané, že digitálnou kalibráciou vstupného ofsetu OZ je možné vylepšiť parametre D/A prevodníka.

Publikácia [Pd2] sa zaoberá diskusiou ohľadne digitálnej kalibrácie analógových IO s nízkou hodnotou napájacieho napätia (< 0, 6 V), ktorá čerpá z vyššie uvedeného konceptu. Táto diskusia je rozvinutá v publikácii [Pd1] o analýzu vplyvu prídavného kalibračného obvodu na vlastnosti zosilňovača s variabilným zosilnením (VGA), navrhnutého a prezentovaného v [Pc3]. Kalibrácia využíva techniku bulk-driven, pričom bol simuláciami preukázaný zanedbatelný vplyv na zosilnenie, zníženie šírky pásma v najhoršom prípade o 13% a pásma jednotkového zosilnenia o 25% v dôsledku aditívnych parazitných kapacít kalibračného obvodu. Fyzická implementácia týchto obvodov je súčasťou 2. prototypového čipu (obrázok 4.5).

6 Súhrn dosiahnutých výsledkov a prínosov

- 1. Výsledky a prínosy v oblasti pasívnych častí bezdrôtovej komunikácie a ZE
- Bol predstavený úplne nový aplikačne-viazaný koncept návrhu antén na čipe pre AIZP systémy na báze tzv. IPV vrstvy s vysokou relatívnou permitivitou ($\varepsilon_r = 40-60$), pričom sa predpokladá menej finančne náročný proces výroby v porovnaní s alternatívnymi postvýrobnými zásahmi ako mikroobrábanie, leptanie a pod.
- Pomocou numerických simulácií bolo preukázané značné zlepšenie vlastností takto integrovaných antén, kde prvé odhady hovoria o markantnom $20-30 \ dB$ zvýšení vyžarovacej účinnosti vo frekvenčnom pásme $1-5 \ GHz$.
- Bola navrhnutá a implementovaná širokopásmová UWB anténa na čipe s impedančným prispôsobením v rozsahu 1, 4-5~GHz pri minimálnej 75% akceptácií celkového výkonu. Anténa vykazuje zisk $\approx -10~dBi$ (zahŕňa spätné straty) pre 2, 4 GHz~ISM pásmo, čo predstavuje niekoľkonásobné zlepšenie oproti existujúcim riešeniam. Navrhnutá anténa nevyžaduje použitie objemného induktora a podporuje myšlienku nízkopríkonovej hybridnej realizácie vysielača/príjmača pre AIZP systémy.
- Bol navrhnutý *SMZE* na báze symetrickej viac-vrstvovej štruktúry s využitím vertikálnej paralelizácie kovových vrstiev s vylepšenými parametrami $Q_{ZE,MAX}$ o 24% a L_{ZE} @ $Q_{ZE,MAX}$ o 34% v porovnaní s klasickou špirálovou štruktúrou.
- Na základe numerických simulácií bol vyšetrený vplyv izolačnej vrsty, resp. *IPV* vrstvy na parametre navrhnutého *SMZE*, kde bolo preukázané, že 30 μm hrúbka izolátora je dostatočná na potlačenie vírivých prúdov v prípade umiestnenia zberača do vodivého prostredia (napr. mäkké tkanivo).
- V prípade plne integrovaného SMZE bola vykonaná fyzická realizácia v štandardnej 130 nm CMOS technológii a jeho parametre boli overené meraním prototypovej série čipov.

2. Výsledky a prínosy dosiahnuté v oblasti aktívnych častí zberačov energie

- V spojitosti s návrhom plne integrovaného SMZE a s cieľom ich spoločnej implementácie do jedného komplexného systému bol navrhnutý a analyzovaný nízkonapäťový usmerňovač s dopredným predpätím na substrátovej elektróde NMOS aj PMOS tranzistorového páru. Bolo preukázané zvýšenie výstupneho výkonu až o 40% za cenu mierneho poklesu maximálnej výkonovej účinnosť pre veľmi nízke hodnoty vstupného napätia.
- Usmerňovač i *SMZE* boli úspešne realizované v rámci v poradí druhého prototypového čipu, čo prispieva k rozvoju a implementácií plne integrovaného *SBPE*, ako súčasť manažmentu napájania pre *AIZP* systémy.
- Pre AIZP systémy využívajúce ako zdroj energie obnoviteľný zdroj (palivový článok, termogenerátor a pod.), bola navrhnutá nízkonapäťová nábojová pumpa s dynamickým riadením prahového napätia, ktorá dosahuje až o 20% vyššiu účinnosť v porovnaní s riešením bez riadenia.
- Bola uvedená optimalizácia navrhnutej pumpy vzhľadom na plochu i vlastnú spotrebu energie, ktorá bola rozvinutá do diskusie o návrhu NP pre podprahový režim MOS tranzistorov (zahŕňa aj vplyv parazitných kapacít). Diskusia bola postavená na základe analýzy vychádzajúcej z predpokladu reprezentatívnej bunky a s využitím EKV modelu. Prvé výsledky ukazujú dobrú koreláciu s relatívnou chybou < 5%. Navrhntý koncept prispeje k návrhu plne integrovanej NP za podpory optimalizačných algoritmov (maximalizácia účinnosti, minimalizácia plochy a pod.).
- Navrhnutá NP-DPN bola použitá ako jadro samo-napájaného regulovaného manažmentu napájania pre AIZP systémy, ktorý bol rozšírený o implementáciu ovládača na zabezpečenie spoľahlivého štartu pre nízke hodnoty napätia. Prostredníctvom meraní experimentálnych čipov bol preukázaný spoľahlivého štart z pohľadu rôznych štartovacích podmienok. Experimentálne merania, tiež ukazujú perspektívne vlastnosti z pohľadu minimálneho výstupného štartovacieho napätia ($100 - 120 \ mV$) a nízkeho vstupného napätia $140 \ mV$, pri ktorom nedochádza k funkčnému zlyhaniu systému, čo je v prípade regulovaných riešení veľmi povzbudivý výsledok.

3. Prínosy k návrhu, kalibrácii a testovaniu IO

- Boli návrhnuté a implementované vybrané obvody (VGA, FDDA, komparátor) v štandardnom 130 nm CMOS procese. Základné parametre boli overené z hľadiska vplyvu fluktuácie parametrov procesu, ale taktiež boli verifikované meraním prototypových čipov. Toto významnou mierou prispelo k vykonanej analýze ohľadom korelácie simulovaných a meraných štrúktúr využívajúcich MOS tranzistory pracujúce v slabej, prípadne strednej inverzii. Niektoré z nich boli úspešne implementované do komplexnejších systémov (komparátor) alebo svoje uplatnenie našli ako testovacie vzorky pre nízkonapäťové digitálno-kalibračné systémy (VGA). Významný prínos vidíme taktiež v aplikácii nízkonapäťovej digitálnej linearizácie pre rozšírenie L-in-dB pásma VGA na celý rozsah preladenia riadiaceh napätia.
- V oblasti testovania IO bola navrhnutá nová metodika vstavaného oscilačného testovania (OBIST) analógových a zmiešaných obvodov, ktorá využíva na kompenzáciu vplyvu rozptylu technologického procesu referenčný vstavaný oscilátor s rovnakou spätnou väzbou ako testovaný obvod. Táto metóda testovania bola verifikovaná prostredníctvom numerických simulácií v 90 nm a 350 nm CMOS procese. Bolo preukázané, že je možné najsť optimálnu hodnotu oscilačnej frekvencie za účelom zvýšenia účinnosti (pokrytia porúch) OBIST.
- Návrh štruktúr využívajúcich MOS tranzistory pracujúce v slabej a strednej inverzii následne podnietil taktiež realizáciu nízkonapäťových digitálnych kalibračných obvodov. Bolo preukázané vylepšenie statických parametrov D/A prevodníka vykompenzovaním napäťového ofsetu OZ. Na základe tohto pozorovania, bol vypracovaný návrh metódy digitálnej kalibrácie IO pre nízke hodnoty napájacieho napätia < 600 mV, pričom boli vyšetrené i nežiaduce vplyvy prídavného kalibračného obvodu na vlastnosti kalibrovaných IO.

7 Záver

Oblasť výskumu a vývoja elektronických systémov, ktoré voláme *AIZP*, predstavuje multidisciplinárny výskum pozostávajúci zo širokej palety rôznych komplexných riešení. V tejto dizertačnej práci sme sa zamerali na niektoré vybrané problémy, ktoré boli rozdelené do troch základných kategórií z pohľadu ich inherentných vlastností:

- 1. Pasívne časti bezdôtovej komunikácie a zberačov energie
- 2. Aktívne časti (manažment napájania) zberačov energie
- 3. Návrh, kalibrácia a testovanie IO

Nosným problémom dizertačnej práce bol výskum možného rozšírenia aplikovateľnosti antén a zberačov energie integrovaných priamo na IO čipe realizovanom v štandardnom CMOS procese. Týmto je možné prispieť k vyššej spoľahlivosti, reprodukovateľnosti a zníženiu finančných nákladov na výrobu kompaktných AIZP systémov. V rámci vykonaného výskumu bolo preukázané, že zahrnutie izolačnej prispôsobovacej vrstvy s vysokou permitivitou značne prispieva k integrácii pasívnych častí (inak plošne náročných) správy napájania priamo na čip. Toto bolo demonštrované najmä prostredníctvom návrhu širokopásmovej UWB antény so ziskom až $-10 \ dBi \ v \ 2,4 \ GHz \ ISM$ pásme. Rozvoj pasívnych častí a úplnej energetickej autonómnosti, ako nových trendom moderných AIZPsystémov, bol v rámci výskumu realizovaný novou symetrickou viac-vrstvovou štruktúrou zberača energie v súčinnosti s pasívnym usmerňovačom vhodným pre nízkonapäťové aplikácie. Tieto navrhnuté časti sa podarilo fyzicky implementovať ako súčasť v poradí 2. prototypového experimentálneho čipu.

Oblasť obnoviteľných nízkonapäťových zdrojov energie akými sú aj mikrobiálne palivové články, prípadne termogenerátory a ďalšie, je v práci reprezentovaná návrhom a optimalizáciou nábojovej pumpy na báze *MOS* tranzistorov s dynamicky riadeným prahovým napätím. Návrh bol podporený analýzou plošnej a prúdovej optimalizácie, ktorá bola čiastočne rozšírená o diskusiu ohľadne nábojových púmp s *MOS* tranzistormi pracujúcich v podprahovom režime, kde boli zahrnuté už aj parazitné kapacity plávajúcich kondenzátorov a aj samotných tranzistorov. Analyzovaná nábojová pumpa bola potom použitá ako základná bunka regulovaného samo-napájaného 3-stupňového systému manažmentu napájania. Súčasťou systému je aj ovládač využívajúci rozšírený rozsah riadiaceho napätia PMOS tranzistorov vo výstupných invertoroch. Jeho implementáciou bolo docielené spoľahlivé naštartovanie pumpy už pri pomerne nízkej hodnote výstupného napätia $100 - 120 \ mV$ prednabitého kondenzátora, čo bolo overené aj experimentálnym meraním. Zároveň bola pozorovaná korektná činnosť nábojovej pumpy i pri nižšom vstupnom napätí, pre ktoré bola pôvodne navrhnutá (140 mV), čo predstavuje pomerne perspektívny výsledok v oblasti regulovaných NP pre ultra-nízko napäťové aplikácie.

S nízkou hodnotou napájacieho napätia obvodov v nanotechnológiách úzko súvisí aj potreba kalibrácie a testovania IO. V prípade testovania bola v rámci nášho výskumu rozvinutá oscilačná metóda vstavaného testu (tzv. OBIST). Bolo preukázané, že vieme nájsť optimálnu hodnotu oscilačnej frekvencie, pre ktorú je dosiahnuté maximálne pokrytie porúch. OBIST metodika testovania ako aj implementácia digitálnej kalibrácie napäťového ofsetu boli aplikované na vybrané IO so štandardnou hodnotou napájacieho napätia. Časť výskumu, respektíve navrhnutého prístupu bola následne pretransformovaná (prostredníctvom redizajnu kľučových blokov) do techniky návrhu nízkonapäťových obvodov s napájaním pod 600 mV, pričom bola priamo implementovaná ako súčasť 2. prototypového čipu pre navrhnutý operačný zosilňovač s variabilným zosilnením. Súčasťou práce je aj návrh ďalších štandardných obvodových blokov (kompárátor, plne diferenciálny diferenčný zosilňovač a ďalšie) s nízkou hodnotou napájacieho napätia (400 – 600 mV) blokov, ktorých veľká časť bola úspešne experimentálne verifikovaná prostredníctvom merania prvej sady prototypových čipov.

Veríme, že výsledky a prínosy dosiahnuté v rámci výskumu na tejto dizertačnej práci prispievajú k rozvoju nielen samotných zberačov energie a samonapájaných elektronických systémov pre *AIZP*, ale aj k rozvoju metód návrhu, kalibrácie a testovania nízkonapäťových *IO* pre súčasné mobilné aplikácie napájané z batérií.

Literatúra

- Kateryna Bazaka and Mohan V Jacob. Implantable devices: issues and challenges. *Electronics*, 2(1):1-34, 2012.
- [2] Robert Sobot. Implantable systems Retrospective tutorial review. Microelectronics Journal, 2017.
- [3] F. Stetten, S. Kerzenmacher, J. Ducrée, R. Zengerle, P. Lozano, and I. Katakis. Implantable Biofuel Cells. http://www.healthyaims.org/presentations06/Power%20sources% 20in%20body%20Biofuel%20cell%20long%20term%20vision%20-%20IMTEK.pdf.
- [4] Yufeng Han, Chaoling Yu, and Hong Liu. A microbial fuel cell as power supply for implantable medical devices. Biosensors and Bioelectronics, 25(9):2156 - 2160, 2010.
- [5] D. N. Roxby, N. Tran, P. L. Yu, and H. T. Nguyen. Experimenting with microbial fuel cells for powering implanted biomedical devices. In 2015 37th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC), pages 2685-2688, Aug 2015.
- [6] D. N. Roxby, S. R. S. Ting, and H. T. Nguyen. Polypyrrole RVC biofuel cells for powering medical implants. In 2017 39th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC), pages 779-782, July 2017.
- [7] Sarra El Ichi-Ribault, Jean-Pierre Alcaraz, François Boucher, Bertrand Boutaud, Renzo Dalmolin, Jean Boutonnat, Philippe Cinquin, Abdelkader Zebda, and Donald K. Martin. Remote wireless control of an enzymatic biofuel cell implanted in a rabbit for 2 months. *Electrochimica Acta*, 269:360 - 366, 2018.
- [8] Serge Cosnier, Andrew J. Gross, Alan Le Goff, and Michael Holzinger. Recent advances on enzymatic glucose/oxygen and hydrogen/oxygen biofuel cells: Achievements and limitations. Journal of Power Sources, 325:252 263, 2016.
- [9] Carla Gonzalez-Solino and Mirella Di Lorenzo. Enzymatic fuel cells: Towards self-powered implantable and wearable diagnostics. *Biosensors*, 8(1):11, 2018.
- [10] Abdelkader Zebda, Jean-Pierre Alcaraz, Pankaj Vadgama, Sergey Shleev, Shelley D Minteer, François Boucher, Philippe Cinquin, and Donald K Martin. Challenges for successful implantation of biofuel cells. *Bioelectrochemistry*, 2018.
- [11] Gymama Slaughter and Tanmay Kulkarni. Enzymatic glucose biofuel cell and its application. Journal of Biochips & Tissue Chips, 5(1):1, 2015.
- [12] Serge Cosnier, Alan Le Goff, and Michael Holzinger. Towards glucose biofuel cells implanted in human body for powering artificial organs. *Electrochemistry Communications*, 38:19-23, 2014.
- [13] Sven Kerzenmacher. Abiotic (Nonenzymatic) Implantable Biofuel Cells. Implantable Bioelectronics, pages 285-314, 2014.

- [14] Yang Yang, Xiao-Juan Wei, and Jing Liu. Suitability of a thermoelectric power generator for implantable medical electronic devices. *Journal of Physics D: Applied Physics*, 40(18):5790, 2007.
- [15] Yang Yang and Jing Liu. Evaluation on the Power-Generation Capacity of an Implantable Thermoelectric Generator Driven by Radioisotope Fuel. Journal of Heat Transfer, 135(7):071004, 2013.
- [16] Yang Yang, Guo Dong Xu, and Jing Liu. A prototype of an implantable thermoelectric generator for permanent power supply to body inside a medical device. *Journal of Medical Devices*, 8(1):014507, 2014.
- [17] S. Ayazian and A. Hassibi. Delivering optical power to subcutaneous implanted devices. In 2011 Annual International Conference of the IEEE Engineering in Medicine and Biology Society, pages 2874–2877, Aug 2011.
- [18] E. Moon, D. Blaauw, and J. D. Phillips. Subcutaneous Photovoltaic Infrared Energy Harvesting for Bio-implantable Devices. *IEEE Transactions on Electron Devices*, 64(5):2432– 2437, May 2017.
- [19] Y. J. Hung, M. S. Cai, J. F. Chen, H. W. Su, P. C. Jen, P. Chen, C. C. Shih, and T. C. Chang. High-Voltage Backside-Illuminated CMOS Photovoltaic Module for Powering Implantable Temperature Sensors. *IEEE Journal of Photovoltaics*, 8(1):342–347, Jan 2018.
- [20] Francesco Merli. Implantable antennas for biomedical applications. 2011.
- [21] M. R. Karim, X. Yang, and M. F. Shafique. On Chip Antenna Measurement: A Survey of Challenges and Recent Trends. *IEEE Access*, 6:20320-20333, 2018.
- [22] D. Hou, W. Hong, W. L. Goh, J. Chen, Y. Z. Xiong, S. Hu, and M. Madihian. D-band on-chip higher-order-mode dielectric-resonator antennas fed by half-mode cavity in CMOS technology. *IEEE Antennas and Propagation Magazine*, 56(3):80-89, June 2014.
- [23] C. H. Li and T. Y. Chiu. 340-GHz Low-Cost and High-Gain On-Chip Higher Order Mode Dielectric Resonator Antenna for THz Applications. *IEEE Transactions on Terahertz Science and Technology*, 7(3):284-294, May 2017.
- [24] X. D. Deng, Y. Li, C. Liu, W. Wu, and Y. Z. Xiong. 340 GHz On-Chip 3-D Antenna With 10 dBi Gain and 80Efficiency. *IEEE Transactions on Terahertz Science and Technology*, 5(4):619-627, July 2015.
- [25] W. T. Khan, A. Çağrı Ulusoy, G. Dufour, M. Kaynak, B. Tillack, J. D. Cressler, and J. Papapolymerou. A D-Band Micromachined End-Fire Antenna in 130-nm SiGe BiCMOS Technology. *IEEE Transactions on Antennas and Propagation*, 63(6):2449-2459, June 2015.
- [26] H. M. Cheema and A. Shamim. The last barrier: on-chip antennas. IEEE Microwave Magazine, 14(1):79-91, Jan 2013.
- [27] Yexi Song, Yunqiu Wu, Min Sun, Guang Yang, Xiaoning Zhang, Chenxi Zhao, Yongling Ban, Xiaohong Tang, and Kai Kang. An on-chip antenna integrated with a transceiver in 0.18μm CMOS technology. *IEICE Electronics Express*, 14(19):20170836-20170836, 2017.

- [28] P. V. Bijumon, Y. M. M. Antar, A. P. Freundorfer, and M. Sayer. Dielectric Resonator Antenna on Silicon Substrate for System On-Chip Applications. *IEEE Transactions on Antennas and Propagation*, 56(11):3404-3410, Nov 2008.
- [29] P. A. Floor, R. Chávez-Santiago, S. Brovoll, Ø. Aardal, J. Bergsland, O. J. H. N. Grymyr, P. S. Halvorsen, R. Palomar, D. Plettemeier, S. E. Hamran, T. A. Ramstad, and I. Balasingham. In-Body to On-Body Ultrawideband Propagation Model Derived From Measurements in Living Animals. *IEEE Journal of Biomedical and Health Informatics*, 19(3):938-948, May 2015.
- [30] A. Khaleghi, R. Chávez-Santiago, and I. Balasingham. An improved ultra wideband channel model including the frequency-dependent attenuation for in-body communications. In 2012 Annual International Conference of the IEEE Engineering in Medicine and Biology Society, pages 1631-1634, Aug 2012.
- [31] R. Chavez-Santiago, K. Sayrafian-Pour, A. Khaleghi, K. Takizawa, J. Wang, I. Balasingham, and H. B. Li. Propagation models for IEEE 802.15.6 standardization of implant communication in body area networks. *IEEE Communications Magazine*, 51(8):80-87, August 2013.
- [32] S. Radiom, K. Mohammadpour-Aghdam, G. A. E. Vandenbosch, and G. Gielen. A Monolithically Integrated On-Chip Antenna in 0.18 mum Standard CMOS Technology for Far-Field Short-Range Wireless Powering. *IEEE Antennas and Wireless Propagation Let*ters, 9:631-633, 2010.
- [33] S. Radiom, M. Baghaei-Nejad, K. Aghdam, G. A. E. Vandenbosch, L. R. Zheng, and G. G. E. Gielen. Far-Field On-Chip Antennas Monolithically Integrated in a Wireless-Powered 5.8-GHz Downlink/UWB Uplink RFID Tag in 0.18-μm Standard CMOS. IEEE Journal of Solid-State Circuits, 45(9):1746-1758, Sept 2010.
- [34] P. Popplewell, V. Karam, A. Shamim, J. Rogers, L. Roy, and C. Plett. A 5.2-GHz BFSK Transceiver Using Injection-Locking and an On-Chip Antenna. *IEEE Journal of Solid-State Circuits*, 43(4):981-990, April 2008.
- [35] Nader Behdad, Dan Shi, Wonbin Hong, Kamal Sarabandi, and Michael P Flynn. A 0.3 mm² Miniaturized X-Band On-Chip Slot Antenna in 0.13μm CMOS. In Radio Frequency Integrated Circuits (RFIC) Symposium, 2007 IEEE, pages 441-444. IEEE, 2007.
- [36] T. Kikkawa. Gaussian monocycle pulse CMOS transmitter with on-chip integrated antenna and high-k dielectric slab waveguide. In 2012 IEEE 11th International Conference on Solid-State and Integrated Circuit Technology, pages 1-4, Oct 2012.
- [37] V. V. Kulkarni, M. Muqsith, K. Niitsu, H. Ishikuro, and T. Kuroda. A 750 Mb/s, 12 pJ/b, 6-to-10 GHz CMOS IR-UWB Transmitter With Embedded On-Chip Antenna. *IEEE Journal of Solid-State Circuits*, 44(2):394-403, Feb 2009.
- [38] N. Sasaki, K. Kimoto, W. Moriyama, and T. Kikkawa. A Single-Chip Ultra-Wideband Receiver With Silicon Integrated Antennas for Inter-Chip Wireless Interconnection. *IEEE Journal of Solid-State Circuits*, 44(2):382-393, Feb 2009.

- [39] M. Suslov, A. Timoshenko, and K. Lomovskaya. Survey and analysis of 0.18 urn CMOS integrated antennas on 5.8 GHz for RFD. In 2012 IX International Symposium on Telecommunications (BIHTEL), pages 1-6, Oct 2012.
- [40] S Keyrouz and D Caratelli. Dielectric resonator antennas: basic concepts, design guidelines, and recent developments at millimeter-wave frequencies. International Journal of Antennas and Propagation, 2016, 2016.
- [41] Rajesh K Mongia and Prakash Bhartia. Dielectric resonator antennas—A review and general design relations for resonant frequency and bandwidth. International Journal of RF and Microwave Computer-Aided Engineering, 4(3):230-247, 1994.
- [42] N. Alexopoulos and D. Jackson. Fundamental superstrate (cover) effects on printed circuit antennas. *IEEE Transactions on Antennas and Propagation*, 32(8):807-816, August 1984.
- [43] T. Dissanayake, K. P. Esselle, and M. R. Yuce. Dielectric Loaded Impedance Matching for Wideband Implanted Antennas. *IEEE Transactions on Microwave Theory and Techniques*, 57(10):2480-2487, Oct 2009.
- [44] T. Dissanayake, K. P. Esselle, and M. Yuce. UWB antenna impedance matching in biomedical implants. In 2009 3rd European Conference on Antennas and Propagation, pages 3523-3526, March 2009.
- [45] Nai-Chung Kuo, Bo Zhao, and A. M. Niknejad. Near-field power transfer and backscattering communication to miniature RFID tag in 65 nm CMOS technology. In 2016 IEEE MTT-S International Microwave Symposium (IMS), pages 1-4, May 2016.
- [46] F. L. Cabrera and F. R. de Sousa. Achieving Optimal Efficiency in Energy Transfer to a CMOS Fully Integrated Wireless Power Receiver. *IEEE Transactions on Microwave Theory and Techniques*, 64(11):3703-3713, Nov 2016.
- [47] Y. Cui, C. Zhang, D. Wei, X. Zhao, and H. Jiang. A 0.65 μW baseband processor for UHF RFID with on-chip antenna. In 2013 International Conference on Communications, Circuits and Systems (ICCCAS), volume 1, pages 367-370, Nov 2013.
- [48] N. C. Kuo, B. Zhao, and A. M. Niknejad. Novel Inductive Wireless Power Transfer Uplink Utilizing Rectifier Third-Order Nonlinearity. *IEEE Transactions on Microwave Theory and Techniques*, 66(1):319-331, Jan 2018.
- [49] W. Pachler, J. Grosinger, W. Bösch, G. Holweg, and C. Steffan. A miniaturized dual band RFID tag. In 2014 IEEE RFID Technology and Applications Conference (RFID-TA), pages 228-232, Sept 2014.
- [50] Q. Peng, C. Zhang, X. Zhao, X. Sun, F. Li, H. Chen, and Z. Wang. A Low-Cost UHF RFID System With OCA Tag for Short-Range Communication. *IEEE Transactions on Industrial Electronics*, 62(7):4455-4465, July 2015.
- [51] H. Rahmani and A. Babakhani. A wireless power receiver with an on-chip antenna for millimeter-size biomedical implants in 180 nm SOI CMOS. In 2017 IEEE MTT-S International Microwave Symposium (IMS), pages 300-303, June 2017.

- [52] J. Park, C. Kim, A. Akinin, S. Ha, G. Cauwenberghs, and P. P. Mercier. Wireless powering of mm-scale fully-on-chip neural interfaces. In 2017 IEEE Biomedical Circuits and Systems Conference (Bio CAS), pages 1-4, Oct 2017.
- [53] S. Ha, A. Akinin, J. Park, C. Kim, H. Wang, C. Maier, G. Cauwenberghs, and P. P. Mercier. A 16-channel wireless neural interfacing SoC with RF-powered energy-replenishing adiabatic stimulation. In 2015 Symposium on VLSI Circuits (VLSI Circuits), pages C106-C107, June 2015.
- [54] C. Kim, S. Ha, A. Akinin, J. Park, R. Kubendran, H. Wang, P. P. Mercier, and G. Cauwenberghs. Design of miniaturized wireless power receivers for mm-sized implants. In 2017 IEEE Custom Integrated Circuits Conference (CICC), pages 1-8, April 2017.
- [55] M. Zargham and P. G. Gulak. Fully Integrated On-Chip Coil in 0.13 μm CMOS for Wireless Power Transfer Through Biological Media. *IEEE Transactions on Biomedical Circuits and Systems*, 9(2):259-271, April 2015.
- [56] M. Zargham and P. G. Gulak. A 0.13 μm CMOS integrated wireless power receiver for biomedical applications. In 2013 Proceedings of the ESSCIRC (ESSCIRC), pages 137–140, Sept 2013.
- [57] M. Zargham and P. G. Gulak. Maximum Achievable Efficiency in Near-Field Coupled Power-Transfer Systems. *IEEE Transactions on Biomedical Circuits and Systems*, 6(3):228-245, June 2012.
- [58] M. Danesh and J. R. Long. Differentially driven symmetric microstrip inductors. IEEE Transactions on Microwave Theory and Techniques, 50(1):332-341, Jan 2002.
- [59] Olive H Murphy, Kevin G McCarthy, Christophe JP Delabie, Aidan C Murphy, and Patrick J Murphy. Design of multiple-metal stacked inductors incorporating an extended physical model. *IEEE transactions on microwave theory and techniques*, 53(6):2063-2072, 2005.
- [60] Sang-Gug Lee, Gook-Ju Ihm, and Won-Chul Song. Design and analysis of symmetric dual-layer spiral inductors for RF integrated circuits. In ASICs, 1999. AP-ASIC '99. The First IEEE Asia Pacific Conference on, pages 5-8, 1999.
- [61] F. Gianesello, D. Gloria, C. Raynaud, P. Touret, and B. Rauber. 3D group-cross symmetrical inductor: A new inductor architecture with higher self-resonance frequency and Q factor dedicated to advanced HR SOI CMOS technology. In 2008 IEEE Radio Frequency Integrated Circuits Symposium, pages 457-460, June 2008.
- [62] J. N. Burghartz, M. Soyuer, and K. A. Jenkins. Microwave inductors and capacitors in standard multilevel interconnect silicon technology. *IEEE Transactions on Microwave Theory and Techniques*, 44(1):100-104, Jan 1996.
- [63] Chia-Hsin Wu, Chun-Yi Kuo, and Shen-Iuan Liu. Selective metal parallel shunting inductor and its VCO application. In 2003 Symposium on VLSI Circuits. Digest of Technical Papers (IEEE Cat. No.03 CH37408), pages 37-40, June 2003.

- [64] L. F. Tiemeijer, D. Leenaerts, N. Pavlovic, and R. J. Havens. Record Q spiral inductors in standard CMOS. In International Electron Devices Meeting. Technical Digest (Cat. No.01CH37224), pages 40.7.1-40.7.3, Dec 2001.
- [65] V. N. R. Vanukuru and A. Chakravorty. Design of Novel High-Q Multipath Parallel-Stacked Inductor. *IEEE Transactions on Electron Devices*, 61(11):3905-3909, Nov 2014.
- [66] Sheng-Yuan Lee. An inductor with taper stacked metals on silicon chip. In 2006 Asia-Pacific Microwave Conference, pages 1543-1546, Dec 2006.
- [67] J. Craninckx and M. S. J. Steyaert. A 1.8-GHz low-phase-noise CMOS VCO using optimized hollow spiral inductors. *IEEE Journal of Solid-State Circuits*, 32(5):736-744, May 1997.
- [68] J. M. Lopez-Villegas, J. Samitier, C. Cane, and P. Losantos. Improvement of the quality factor of RF integrated inductors by layout optimization. In 1998 IEEE Radio Frequency Integrated Circuits (RFIC) Symposium. Digest of Papers (Cat. No.98CH36182), pages 169-172, June 1998.
- [69] Heng-Ming Hsu. Analytical formula for inductance of metal of various widths in spiral inductors. IEEE Transactions on Electron Devices, 51(8):1343-1346, Aug 2004.
- [70] A. Zolfaghari, A. Chan, and B. Razavi. Stacked inductors and transformers in CMOS technology. *IEEE Journal of Solid-State Circuits*, 36(4):620-628, Apr 2001.
- [71] W. Y. Yin, J. Y. Xie, K. Kang, J. Shi, J. F. Mao, and X. W. Sun. Vertical Topologies of Miniature Multispiral Stacked Inductors. *IEEE Transactions on Microwave Theory and Techniques*, 56(2):475-486, Feb 2008.
- [72] Y. K. Koutsoyannopoulos and Y. Papananos. Systematic analysis and modeling of integrated inductors and transformers in RF IC design. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, 47(8):699-713, Aug 2000.
- [73] J. N. Burghartz, K. A. Jenkins, and M. Soyuer. Multilevel-spiral inductors using VLSI interconnect technology. *IEEE Electron Device Letters*, 17(9):428-430, Sept 1996.
- [74] C. c. Lim, K. s. Yeo, K. w. Chew, C. y. Tan, M. a. Do, J. g. Ma, and L. Chan. Equivalent circuit model of a stacked inductor for high-Q on-chip RF applications. *IEE Proceedings -Circuits, Devices and Systems*, 153(6):525-532, Dec 2006.
- [75] G. Haobijam and R. Paily. Quality factor enhancement of CMOS inductor with pyramidal winding of metal turns. In 2007 International Workshop on Physics of Semiconductor Devices, pages 729-732, Dec 2007.
- [76] Hau-Yiu Tsui and J. Lau. An on-chip vertical solenoid inductor design for multigigahertz CMOS RFIC. *IEEE Transactions on Microwave Theory and Techniques*, 53(6):1883-1890, June 2005.
- [77] V. N. R. Vanukuru and A. Chakravorty. Series Stacked Multipath Inductor With High Self Resonant Frequency. *IEEE Transactions on Electron Devices*, 62(3):1058-1062, March 2015.

- [78] M. Peter, H. Hein, F. Oehler, and P. Baureis. Planar inductors with subdivided conductors for reducing eddy current effects. In 2003 Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems, 2003. Digest of Papers., pages 104-106, April 2003.
- [79] F. L. Cabrera and F. R. de Sousa. Contactless Characterization of a CMOS Integrated LC Resonator for Wireless Power Transferring. *IEEE Microwave and Wireless Components Letters*, 25(7):475-477, July 2015.
- [80] H. M. Lee and M. Ghovanloo. An Integrated Power-Efficient Active Rectifier With Offset-Controlled High Speed Comparators for Inductively Powered Applications. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 58(8):1749-1760, Aug 2011.
- [81] Y. H. Lam, W. H. Ki, and C. Y. Tsui. Integrated Low-Loss CMOS Active Rectifier for Wirelessly Powered Devices. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 53(12):1378-1382, Dec 2006.
- [82] S. Guo and H. Lee. An Efficiency-Enhanced CMOS Rectifier With Unbalanced-Biased Comparators for Transcutaneous-Powered High-Current Implants. *IEEE Journal of Solid-State Circuits*, 44(6):1796-1804, June 2009.
- [83] Wang Jingmin, Yang Zheng, Zhu Zhangming, and Yang Yintang. An ultra-low-voltage rectifier for PE energy harvesting applications. *Journal of Semiconductors*, 37(2):025004, 2016.
- [84] Qiang Li, Jing Wang, Dan Niu, and Yasuaki Inoue. A two-stage CMOS integrated highly efficient rectifier for vibration energy harvesting applications. *Journal of International Council on Electrical Engineering*, 4(4):336-340, 2014.
- [85] Hashemi Aghcheh Body and Seyed Saeid. High-Efficiency Low-Voltage Rectifiers for Power Scavenging Systems. PhD thesis, École Polytechnique de Montréal, 2011.
- [86] P. Kamalinejad, K. Keikhosravy, S. Mirabbasi, and V. C. M. Leung. An efficiency enhancement technique for CMOS rectifiers with low start-up voltage for UHF RFID tags. In 2013 International Green Computing Conference Proceedings, pages 1-6, June 2013.
- [87] A. S. Bakhtiar, M. S. Jalali, and S. Mirabbasi. A high-efficiency CMOS rectifier for lowpower RFID tags. In 2010 IEEE International Conference on RFID (IEEE RFID 2010), pages 83-88, April 2010.
- [88] Dongfang Pan, Feng Zhang, Lu Huang, and Jinliang Li. A common-gate bootstrapped CMOS rectifier for VHF isolated DC-DC converter. *Journal of Semiconductors*, 38(5):055002, 2017.
- [89] S. S. Hashemi, M. Sawan, and Y. Savaria. A High-Efficiency Low-Voltage CMOS Rectifier for Harvesting Energy in Implantable Devices. *IEEE Transactions on Biomedical Circuits* and Systems, 6(4):326-335, Aug 2012.
- [90] C. Peters, J. Handwerker, F. Henrici, M. Ortmanns, and Y. Manoli. Experimental results on power efficient single-poly floating gate rectifiers. In 2009 IEEE International Symposium on Circuits and Systems, pages 1097-1100, May 2009.

- [91] S. Mandal and R. Sarpeshkar. Low-Power CMOS Rectifier Design for RFID Applications. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 54(6):1177-1188, June 2007.
- [92] P. Kamalinejad, K. Keikhosravy, S. Mirabbasi, and V. C. M. Leung. A CMOS rectifier with an extended high-efficiency region of operation. In 2013 IEEE International Conference on RFID-Technologies and Applications (RFID-TA), pages 1-6, Sept 2013.
- [93] Waldemar Jendernalik, Jacek Jakusz, Grzegorz Blakiewicz, and Miron Kłosowski. A High-Efficient Low-Voltage Rectifier for CMOS Technology. *Metrology and Measurement Systems*, 23(2):261 – 268, 2016.
- [94] Q. Ma, M. R. Haider, and Y. Massoud. Low-loss rectifier for RF powering of implantable biosensing devices. In WAMICON 2012 IEEE Wireless Microwave Technology Conference, pages 1-4, April 2012.
- [95] G. Kkelis, D. C. Yates, and P. D. Mitcheson. Class-E Half-Wave Zero dv/dt Rectifiers for Inductive Power Transfer. *IEEE Transactions on Power Electronics*, 32(11):8322-8337, Nov 2017.
- [96] A. Facen and A. Boni. Power Supply Generation in CMOS Passive UHF RFID Tags. In 2006 Ph.D. Research in Microelectronics and Electronics, pages 33-36, 2006.
- [97] F. Mazzilli, P. E. Thoppay, N. Jöhl, and C. Dehollain. Design methodology and comparison of rectifiers for UHF-band RFIDs. In 2010 IEEE Radio Frequency Integrated Circuits Symposium, pages 505-508, May 2010.
- [98] Shu-Yi Wong and Chunhong Chen. Power efficient multi-stage CMOS rectifier design for UHF RFID tags. Integration, the VLSI Journal, 44(3):242 - 255, 2011.
- [99] P. A. Haddad, J. P. Raskin, and D. Flandre. Efficient passive energy harvesters at 950 MHz and 2.45 GHz for 100 μW applications in 65 nm CMOS. In 2016 IEEE International Conference on Electronics, Circuits and Systems (ICECS), pages 508-511, Dec 2016.
- [100] P. A. Haddad, G. Gosset, J. P. Raskin, and D. Flandre. Automated Design of a 13.56 MHz 19 μW Passive Rectifier With 72Efficiency Under 10 μA load. *IEEE Journal of Solid-State Circuits*, 51(5):1290-1301, May 2016.
- [101] A. Roy, P. J. Grossmann, S. A. Vitale, and B. H. Calhoun. A 1.3 µW, 5pJ/cycle subthreshold MSP430 processor in 90nm xLP FDSOI for energy-efficient IoT applications. In 2016 17th International Symposium on Quality Electronic Design (ISQED), pages 158– 162, March 2016.
- [102] Kyeong-Sik Min, Young-Hee Kim, Jin-Hong Ahn, Jin-Yong Chung, and T. Sakurai. CMOS charge pumps using cross-coupled charge transfer switches with improved voltage pumping gain and low gate-oxide stress for low-voltage memory circuits. In 2002 IEEE International Symposium on Circuits and Systems. Proceedings (Cat. No.02CH37353), volume 5, pages V-V, May 2002.

- [103] L. Intaschi, P. Bruschi, G. Iannaccone, and F. Dalena. A 220-mV input, 8.6 step-up voltage conversion ratio, 10.45- μW output power, fully integrated switched-capacitor converter for energy harvesting. In 2017 IEEE Custom Integrated Circuits Conference (CICC), pages 1-4, April 2017.
- [104] Po-Hung Chen, K. Ishida, Xin Zhang, Y. Okuma, Y. Ryu, M. Takamiya, and T. Sakurai.
 0.18-V input charge pump with forward body biasing in startup circuit using 65nm CMOS. In *IEEE Custom Integrated Circuits Conference 2010*, pages 1-4, Sept 2010.
- [105] T. Ozaki, T. Hirose, T. Nagai, K. Tsubaki, N. Kuroki, and M. Numa. A 0.21-V minimum input, 73.6voltage boost converter with MPPT for low-voltage energy harvesters. In ESS-CIRC 2014 - 40th European Solid State Circuits Conference (ESSCIRC), pages 255-258, Sept 2014.
- [106] H. Fuketa, S. i. O'uchi, and T. Matsukawa. Fully Integrated, 100-mV Minimum Input Voltage Converter With Gate-Boosted Charge Pump Kick-Started by LC Oscillator for Energy Harvesting. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 64(4):392-396, April 2017.
- [107] Y. Li, M. Misra, and S. Gregori. Lowinput voltage charge pump with dynamic body biasing. In 2012 25th IEEE Canadian Conference on Electrical and Computer Engineering (CCECE), pages 1-4, April 2012.
- [108] Y. C. Shih and B. P. Otis. An Inductorless DC-DC Converter for Energy Harvesting With a 1.2-μW Bandgap-Referenced Output Controller. *IEEE Transactions on Circuits* and Systems II: Express Briefs, 58(12):832-836, Dec 2011.
- [109] P. H. Chen, K. Ishida, Xin Zhang, Y. Okuma, Y. Ryu, M. Takamiya, and T. Sakurai. A 120-mV input, fully integrated dual-mode charge pump in 65-nm CMOS for thermoelectric energy harvester. In 17th Asia and South Pacific Design Automation Conference, pages 469-470, Jan 2012.
- [110] H. Peng, N. Tang, Y. Yang, and D. Heo. CMOS Startup Charge Pump With Body Bias and Backward Control for Energy Harvesting Step-Up Converters. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 61(6):1618-1628, June 2014.
- [111] Michelle Lim Sern Mi, Md Shabiul Islam, Jahariah Sampe, and Sawal Hamid Md Ali. Review of charge pump topologies for micro energy harvesting systems. *American Journal of Applied Sciences*, 13(5):628-645, 2016.
- [112] G. Palumbo, D. Pappalardo, and M. Gaibotti. Charge-pump circuits: powerconsumption optimization. *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, 49(11):1535-1542, Nov 2002.
- [113] Majd H. Eid and Esther Rodriguez-Villegas. Analysis and design of cross-coupled charge pump for low power on chip applications. *Microelectronics Journal*, 66:9 – 17, 2017.
- [114] W. H. Ki, Yan Lu, F. Su, and C. Y. Tsui. Design and analysis of on-chip charge pumps for micro-power energy harvesting applications. In 2011 IEEE/IFIP 19th International Conference on VLSI and System-on-Chip, pages 374-379, Oct 2011.

- [115] G. Palumbo and D. Pappalardo. Charge Pump Circuits: An Overview on Design Strategies and Topologies. *IEEE Circuits and Systems Magazine*, 10(1):31-45, First 2010.
- [116] Wing-Hung Ki, Yan Lu, Feng Su, and Chi-Ying Tsui. Analysis and Design Strategy of On-Chip Charge Pumps for Micro-power Energy Harvesting Applications. In Salvador Mir, Chi-Ying Tsui, Ricardo Reis, and Oliver C. S. Choy, editors, VLSI-SoC: Advanced Research for Systems on Chip, pages 158–186, Berlin, Heidelberg, 2012. Springer Berlin Heidelberg.
- [117] M. S. M. Lim, M. S. Islam, S. Jahariah, K. H. Yeo, S. H. M. Ali, and M. S. M. Lim. Comparison of latch-based charge pumps using low voltage strategies in energy harvesting applications. In 2016 IEEE International Conference on Semiconductor Electronics (ICSE), pages 74-78, Aug 2016.
- [118] Ming-Dou Ker, Shih-Lun Chen, and Chia-Shen Tsai. Design of charge pump circuit with consideration of gate-oxide reliability in low-voltage CMOS processes. *IEEE Journal of Solid-State Circuits*, 41(5):1100–1107, May 2006.
- [119] M. Ashraf and N. Masoumi. A Thermal Energy Harvesting Power Supply With an Internal Startup Circuit for Pacemakers. *IEEE Transactions on Very Large Scale Integration* (VLSI) Systems, 24(1):26-37, Jan 2016.
- [120] D. El-Damak and A. P. Chandrakasan. A 10 nW 1μW Power Management IC With Integrated Battery Management and Self-Startup for Energy Harvesting Applications. *IEEE Journal of Solid-State Circuits*, 51(4):943-954, April 2016.
- [121] C. Veri, L. Francioso, M. Pasca, C. De Pascali, P. Siciliano, and S. D. Amico. An 80 mV Startup Voltage Fully Electrical DC-DC Converter for Flexible Thermoelectric Generators. *IEEE Sensors Journal*, 16(8):2735-2745, April 2016.
- [122] Matthias Bucher, Christophe Lallement, Christian Enz, Fabien Théodoloz, and François Krummenacher. The EPFL-EKV MOSFET Model Equations for Simulation. 1999.
- [123] Yuhua Cheng, Mansun Chan, Kelvin Hui, Min-chie Jeng, Zhihong Liu, Jianhui Huang, Kai Chen, James Chen, Robert Tu, Ping K Ko, et al. BSIM3v3 manual. University of California, Berkeley, 1996.
- [124] C. K. Tse, S. C. Wong, and M. H. L. Chow. On lossless switched-capacitor power converters. *IEEE Transactions on Power Electronics*, 10(3):286-291, May 1995.
- [125] Wing-Hung Ki, Feng Su, and Chi-Ying Tsui. Charge redistribution loss consideration in optimal charge pump design. In 2005 IEEE International Symposium on Circuits and Systems, pages 1895–1898 Vol. 2, May 2005.
- [126] Wei Zhao and Yu Cao. New generation of predictive technology model for sub-45nm design exploration. In 7th International Symposium on Quality Electronic Design (ISQED'06), pages 6 pp.-590, March 2006.
- [127] M. Alioto. Ultra-low power design approaches for IoT. In 2014 IEEE Hot Chips 26 Symposium (HCS), pages 1-57, Aug 2014.

- [128] Nele Reynders and Wim Dehaene. Ultra-Low-Voltage Design of Energy-Efficient Digital Circuits. Springer, 2015.
- [129] G. Nagy. Rozvoj metód návrhu nízkopríkonových IO a získavania energie priamo na čipe. PhD thesis, Slovenská technická univerzita v Bratislave (STU), Fakulta elektrotechniky a informatiky, 2016.
- [130] Z. Alsibai. Návrh analogových obvodů s nízkým napájecím napětím a nízkým příkonem. PhD thesis, Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2014.
- [131] David M. Binkley. Tradeoffs and Optimization in Analog CMOS Design. Wiley-Blackwell, 2008.
- [132] L. Nagy, D. Arbet, and V. Stopjaková. Design of low-power variable gain amplifier with linear-in-decibel dependency. In 2016 International Conference on Emerging eLearning Technologies and Applications (ICETA), pages 239-244, Nov 2016.
- [133] G. Gyepes, J. Brenkuš, D. Arbet, and V. Stopjaková. Comparison of iddt test efficiency in covering opens in SRAMs realised in two different technologies. In *Design and Diagnostics* of Electronic Circuits Systems (DDECS), 2011 IEEE 14th International Symposium on, pages 395-396, april 2011.
- [134] G. Gyepes, D. Arbet, L. Majer, and V. Stopjaková. An on-chip IDDT current sensor based on current-to-voltage conversion. In Applied Electronics (AE), 2012 International Conference on, pages 87-90, sept. 2012.
- [135] A.F. Gomez, F. Lavratti, G. Medeiros, M. Sartori, L. Bolzani Poehls, V. Champac, and F. Vargas. Effectiveness of a hardware-based approach to detect resistive-open defects in SRAM cells under process variations. *Microelectronics Reliability*, 67:150 – 158, 2016.
- [136] A. K. S. Pundir and O. P. Sharma. Fault tolerant reconfigurable hardware design using BIST on SRAM: A review. In 2017 International Conference on Intelligent Computing and Control (I2C2), pages 1-16, June 2017.
- [137] D. Arbet, J. Brenkuš, G. Gyepes, and V. Stopjaková. Increasing the efficiency of analog OBIST using on-chip compensation of technology variations. In *Design and Diagnostics* of Electronic Circuits Systems (DDECS), 2011 IEEE 14th International Symposium on, pages 71-74, april 2011.
- [138] D. Arbet, V. Stopjaková, L. Majer, G. Gyepes, and G. Nagy. New OBIST using On-chip Compensation of Process Variations towards Increasing Fault Detectability in Analog ICs. *Nanotechnology, IEEE Transactions on*, 2013. [prijaté na publikovanie].
- [139] R. H. Khade and D.S. Chaudhari. OBIST methodology incorporating modified sensitivity of pulses for active analogue filter components. *International Journal of Electronics*, 105(3):457-472, 2018.
- [140] R. H. Khade and D. S. Chaudhari. Methodology using OBIST for detecting parametric with single and multiple catastrophic faults in an analog integrated circuit. In 2017 International Conference On Smart Technologies For Smart Nation (SmartTechCon), pages 930-934, Aug 2017.

- [141] Masood-ul Hasan, Yanqing Zhu, and Yichuang Sun. Oscillation-Based DFT for Second-Order Bandpass OTA-C Filters. *Circuits, Systems, and Signal Processing*, 37(5):1807– 1824, May 2018.
- [142] Josep Altet, Stefan Dilhaire, Sebastian Volz, Jean-Michel Rampnoux, Antonio Rubio, Stephane Grauby, Luis David Patino Lopez, Wilfrid Claeys, and Jean-Bernard Saulnier. Four different approaches for the measurement of IC surface temperature: application to thermal testing. *Microelectronics Journal*, 33(9):689 - 696, 2002.
- [143] Karim Arabi and Bozena Kaminska. Integrated Temperature Sensors for On-Line Thermal Monitoring of Microelectronic Structures. J. Electron. Test., 12(1-2):93-99, February 1998.
- [144] Karim Arabi and Bozena Kaminska. Oscillation Built-In Self Test (OBIST) Scheme for Functional and Structural Testing of Analog and Mixed-Signal Integrated Circuits. In *Proceedings of the IEEE International Test Conference*, pages 786-795, Washington, DC, USA, 1997. IEEE Computer Society.
- [145] C. C. Enz and G. C. Temes. Circuit Techniques for Reducing the Effects of Op-Amp Imperfections: Autozeroing, Correlated Double Sampling and Chopper Stabilization. Proceedings of the IEEE, 84(11):1584-1614, 1996. (invited).
- [146] Marc Pastre and Maher Kayal. Methodology for the digital calibration of analog circuits and systems. Springer, 2006.
- [147] M. Pastre and M. Kayal. Methodology for the digital calibration of analog circuits and systems using sub-binary radix DACs. In 2009 MIXDES-16th International Conference Mixed Design of Integrated Circuits Systems, pages 456-461, June 2009.
- [148] D. Arbet, G. Nagy, G. Gyepes, and V. Stopjaková. Design of rail-to-rail operational amplifier with offset cancelation in 90nm technology. In 2012 International Conference on Applied Electronics, pages 17-20, Sept 2012.

Kľučové publikácie autora

- [MK1] Martin, Kováč, Daniel Arbet, Viera Stopjaková, and Gabriel Nagy. Novel approach to gain enhancement of an antenna integrated in 90 nm CMOS process. ADEPT 2015: 3nd International Conference on Advances in Electronic and Photonic Technologies, pages 128-131, 2015.
- [MK2] Martin, Kováč, Viera Stopjaková, Daniel Arbet, and Matej Rakús. Improved UWB antennas in novel IC concept for active implantable medical devices. ADEPT 2016: 4nd International Conference on Advances in Electronic and Photonic Technologies, pages 111-114, 2016.

- [MK3] Martin, Kováč, Viera Stopjaková, Daniel Arbet, Lukáš Nagy, and Juraj Brenkuš. Investigation of on-chip coil in 130 nm standard CMOS for WPT and bioapplications. ICETA 2017: 15th IEEE International conference on emerging elearning technologies and applications : Information and communication technologies in learning, pages 177-182, 2016.
- [MK4] Miroslav Potočný, Viera Stopjaková, and Martin, Kováč. Self Vth-compensating CMOS on-chip rectifier for inductively powered implantable medical devices. In DDECS 2018: IEEE 21st International symposium on design and diagnostics of electronic circuits and systems, pages 158-161, 2018.
- [MK5] Gabriel Nagy, Daniel Arbet, Viera Stopjaková, and Martin, Kováč. Novel CMOS Bulk-driven Charge Pump for Ultra Low Input Voltage. *Radioengineering*, 25(2):321-331, 2016.
- [MK6] Michal Šovčík, Martin, Kováč, Daniel Arbet, and Viera Stopjaková. Ultra-low voltage driver for large load capacitance in 130nm CMOS. DDECS 2017: IEEE 20th International symposium on design and diagnostics of electronic circuits and systems, pages 131-136, 2017.
- [MK7] Šovčík Michal, Martin, Kováč, Arbet Daniel, Stopjaková Viera, and Potočný Miroslav. Ultra-low-voltage boosted driver for self-powered systems. *Microelectronics Reliability*, 80(2):155-163, 2018.

Kompletný zoznam publikácií autora

Problematika pasívnych častí bezdrôtovej komunikácie a zberačov energie:

- [Pa1] Viera Stopjaková and Martin, Kováč. Aktívne biosenzorické/senzorické implantáty výskum, obmedzenia a riešenia. Transfer, Roč. 7.(1.):19-21, 2015.
- [Pa2] Martin, Kováč and Viera Stopjaková. Aktívne biosenzorické implantáty od Goliáša k Dávidovi. Posterus [elektronický zdroj], Roč. 8.(11):[8], 2015.
- [Pa3] Martin, Kováč, Viera Stopjaková, Daniel Arbet, Lukáš Nagy, and Juraj Brenkuš. Investigation of on-chip coil in 130 nm standard CMOS for WPT and bio-applications. ICETA 2017: 15th IEEE International conference on emerging elearning technologies and applications : Information and communication technologies in learning, pages 177– 182, 2016.
- [Pa4] Martin, Kováč, Viera Stopjaková, Daniel Arbet, and Matej Rakús. Improved UWB antennas in novel IC concept for active implantable medical devices. ADEPT 2016: 4nd International Conference on Advances in Electronic and Photonic Technologies, pages 111-114, 2016.

- [Pa5] Martin, Kováč and Viera Stopjaková. Energetická autonómnosť implantovateľných senzorických uzlov. Počítačová Architektura a Diagnostika 2015, pages 54-59, 2015.
- [Pa6] Martin, Kováč, Daniel Arbet, Viera Stopjaková, and Gabriel Nagy. Novel approach to gain enhancement of an antenna integrated in 90 nm CMOS process. ADEPT 2015: 3nd International Conference on Advances in Electronic and Photonic Technologies, pages 128-131, 2015.
- [Pa7] Martin, Kováč, Gabriel Nagy, Viera Stopjaková, and Daniel Arbet. Design of CMOS Integrated UWB Antenna for Implantable Biosensors. Proceedings of Papers TELFOR 2014, pages 360-363, 2014.
- [Pa8] Martin, Kováč, Viera Stopjaková, Gabriel Nagy, and Daniel Arbet. Investigation of UWB Antenna On-chip Integration in CMOS Process towards Energy-autonomous Implantable Biosensors. Proceedings of International Conference on Mobile and Information Technologies in Medicine and Health 2014, 2014.
- [Pa9] Martin, Kováč. Širokopásmová Bezdrôtová Komunikácia pre Implantovateľné Biosenzory. Počítačová Architektura a Diagnostika 2014, pages 68-73, 2014.
- [Pa10] Martin, Kováč, Daniel Arbet, and Viera Stopjaková. A Design of an UWB Antenna for WBAN Systems. ADEPT 2014: 2nd International Conference on Advances in Electronic and Photonic Technologies, pages 99-102, 2014.
- [Pa11] Martin, Kováč, Viera Stopjaková, and Daniel Arbet. UWB Communication for Implantable Biosensors within WBAN Systems. YBERC 2014, pages 6-11, 2014.

Problematika aktívnych častí (manažmentu napájania) zberačov energie:

- [Pb1] Miroslav Potočný, Viera Stopjaková, and Martin, Kováč. Self Vth-compensating CMOS on-chip rectifier for inductively powered implantable medical devices. In DDECS 2018: IEEE 21st International symposium on design and diagnostics of electronic circuits and systems, pages 158-161, 2018.
- [Pb2] Michal Šovčík, Martin, Kováč, Daniel Arbet, and Viera Stopjaková. Ultra-low voltage driver for large load capacitance in 130nm CMOS. DDECS 2017: IEEE 20th International symposium on design and diagnostics of electronic circuits and systems, pages 131-136, 2017.
- [Pb3] Gabriel Nagy, Viera Stopjaková, Martin, Kováč, and Daniel Arbet. Design and comparison of charge pumps for energy harvesters in 90 nm CMOS process. ADEPT 2015: 3rd international conference on advances in electronic and photonic technologies, pages 132-135, 2015.

- [Pb4] Šovčík Michal, Martin, Kováč, Arbet Daniel, Stopjaková Viera, and Potočný Miroslav. Ultra-low-voltage boosted driver for self-powered systems. *Microelectronics Reliability*, 80(2):155-163, 2018.
- [Pb5] Gabriel Nagy, Daniel Arbet, Viera Stopjaková, and Martin, Kováč. Novel CMOS Bulk-driven Charge Pump for Ultra Low Input Voltage. *Radioengineering*, 25(2):321– 331, 2016.

Problematika nízkonapäťového návrhu integrovaných obvodov:

- [Pc1] Daniel Arbet, Martin, Kováč, Viera Stopjaková, and Miroslav Potočný. Bulk-driven fully differential difference amplifier for ultra-low voltage applications. MIPRO 2018 : 41st International convention on information and communication technology, electronics and microelectronics, pages 99-104, 2018.
- [Pc2] Lukáš Nagy, Daniel Arbet, Martin, Kováč, Miroslav Potočný, and Viera Stopjaková. Design and performance analysis of ultra-low voltage rail-to-rail comparator in 130 nm CMOS technology. DDECS 2018: IEEE 21st International symposium on design and diagnostics of electronic circuits and systems, pages 51-54, 2018.
- [Pc3] Daniel Arbet, Martin, Kováč, Lukáš Nagy, Viera Stopjaková, and Michal Šovčík. Two-Stage Bulk-Driven Variable Gain Amplifier for Low-Voltage Applications. DDECS 2018: IEEE 21st International symposium on design and diagnostics of electronic circuits and systems, pages 45–50, 2018.
- [Pc4] Lukáš Nagy, Daniel Arbet, Martin, Kováč, and Viera Stopjakova. Low-power bulkdriven rail-to-rail comparator in 130 nm CMOS technology. 2017 IEEE Africon: Conference on science, technology & innovation for Africa, pages 670-673, 2017.
- [Pc5] Lukáš Nagy, Daniel Arbet, Martin, Kováč, and Viera Stopjaková. Towards automatic gain control low-power amplifier in 130 nm CMOS technology. Applied electronics 2016: International conference, pages 191-194, 2016.
- [Pc6] Daniel Arbet, Martin, Kováč, Lukáš Nagy, Viera Stopjaková, and Michal Sovčík. Variable-gain amplifier for ultra-low voltage applications in 130nm CMOS technology. pages 51-56, May 2016.
- [Pc7] Daniel Arbet, Martin, Kováč, Lukáš Nagy, Viera Stopjaková, and Juraj Brenkuš. Lowvoltage bulk-driven variable gain amplifier in 130 nm CMOS technology. DDECS 2016: 19th IEEE International symposium on design and diagnostics of electronic circuits and systems, pages 40-45, 2016.
- [Pc8] Viera Stopjaková, Matej Rakús, Martin, Kováč, Daniel Arbet, Lukáš Nagy, Michal Šovčík, and Miroslav Potočný. Ultra-low voltage analog IC design: Challenges, methodsand examples. *Radioengineering*, 27(1):17–185, 2018.

[Pc9] Daniel Arbet, Viera Stopjaková, Martin, Kováč, Lukáš Nagy, Matej Rakús, and Michal Šovčík. 130 nm CMOS bulk-driven variable gain amplifier for low-voltage applications. Journal of Circuits Systems and Computers, 26(8):[19], 2017.

Problematika kalibrácie a testovania integrovaných obvodov:

- [Pd1] Michal Šovčík, Viera Stopjaková, Daniel Arbet, Martin, Kováč, and Miroslav Potočný. Adverse effects of digital calibration hardware on low-voltage operational amplifiers. Radioelektronika 2018, page [4], 2018.
- [Pd2] Michal Šovčík, Viera Stopjaková, Daniel Arbet, Martin, Kováč, and Miroslav Potočný. Digital methods of calibration for analog integrated circuits in nanotechnologies. ICETA 2017: 15th IEEE International conference on emerging elearning technologies and applications : Information and communication technologies in learning, pages 433-438, 2017.
- [Pd3] Martin, Kováč, Daniel Arbet, Gabriel Nagy, and Viera Stopjaková. An approach towards selection of the oscillation frequency for oscillation test of analog ICs. 2014 IEEE 17th International Symposium on Design and Diagnostics of Electronic Circuits and Systems, pages 266-267, 2014.
- [Pd4] Daniel Arbet, Viera Stopjaková, and Martin, Kováč. Investigation of the optimum oscillation frequency value towards increasing the efficiency of OBIST approach. *Microelectronics Reliability*, pages 1120-1125, 2015.
- [Pd5] Daniel Arbet, Gabriel Nagy, Viera Stopjaková, and Martin, Kováč. Digital offset calibration of an OPAMP towards improving static parameters of 90 nm CMOS DAC. *Radioengineering*, 23(3):931-938, 2014.
- [Pd6] Daniel Arbet, Viera Stopjaková, Juraj Brenkuš, Gábor Gyepes, Martin, Kováč, and Libor Majer. BIST Architecture for Oscillation Test of Analog ICs and Investigation of Test Hardware Influence. *Microelectronics Reliability*, 54(5):985-992, 2014.

Problematika všeobecného návrhu integrovanych obvodov:

- [Pe1] Juraj Brenkuš, Viera Stopjaková, Martin, Kováč, and Daniel Arbet. Efficient AC/DC power conversion for highly integrated sensor nodes. IN-TECH 2017: Proceedings of International conference on innovative technologies, pages 49-52, 2017.
- [Pe2] Daniel Arbet, Gabriel Nagy, Martin, Kováč, Viera Stopjakova, and Lukáš Nagy. Readout interface for capacitive MEMS microphone in CMOS technology. MIXDES 2015

: 22nd International Conference of Mixed Design of Integrated Circuits and Systems, pages 370–374, 2015.

- [Pe3] Daniel Arbet, Martin, Kováč, Gabriel Nagy, and Viera Stopjaková. High dynamic range and low distortion fully differential difference amplifier in CMOS. *Radioelektronika* 2015: Proceedings of 25th international conference, pages 114-117, 2015.
- [Pe4] Daniel Arbet, Gabriel Nagy, Martin, Kováč, and Viera Stopjakova. Fully differential difference amplifier for low-noise applications. DDECS 2015 : Proceedings. 2015 IEEE 18th international symposium on design and diagnostics of electronic circuits and systems, pages 57-62, 2015.
- [Pe5] Daniel Arbet, Gabriel Nagy, Martin, Kováč, and Viera Stopjaková. Fully differential difference amplifier for low-noise and low-distortion applications. Journal of Circuits Systems and Computers, 25(3):[18], 2016.
- [Pe6] Daniel Arbet, Viera Stopjaková, Martin, Kováč, Lukáš Nagy, and Gabriel Nagy. Design of cmos readout frontend circuit for mems capacitive microphones. Facta Universitatis, 28(2):263-274, 2015.