#### SLOVENSKÁ TECHNICKÁ UNIVERZITA V BRATISLAVE Fakulta elektrotechniky a informatiky Ústav elektroniky a fotoniky

#### Rozvoj digitálnych metód kalibrácie analógových IO v nanometrových technológiách

#### Development of digital calibration methods for analog integrated circuits in nanotechnologies

## Autoreferát dizertačnej práce na získanie vedecko-akademickej hodnosti Philosophiae Doctor (PhD.)

v štúdijnom programe:	Elektronika a fotonika
v štúdijnom odbore:	${ m Elektrotechnika}$
forma štúdia:	denná

Evidenčné číslo: FEI-104404-8578

autor:	Ing. Michal Šovčík
školiteľka:	prof. Ing. Viera Stopjaková, PhD.

Bratislava, október 2020

Dizertačná práca bola vypracovaná na Ústave elektroniky a fotoniky, Fakulta elektrotechniky a informatiky Slovenskej technickej univerzity v Bratislave.

Predkladateľ:	Ing. Michal Šovčík
	Ústav elektroniky a fotoniky
	Fakulta elektrotechniky a informatiky
	Slovenská technická univerzita v Bratislave
	Ilkovičova 3, 812 19 Bratislava
	email: michal.sovcik@stuba.sk
Školiteľka:	prof. Ing. Viera Stopjaková, PhD.
	Ústav elektroniky a fotoniky
	Fakulta elektrotechniky a informatiky
	Slovenská technická univerzita v Bratislave
	Ilkovičova 3, 812 19 Bratislava
	email: viera.stopjakova@stuba.sk
Oponenti:	prof. Ing. Ján Šaliga, PhD.
	Katedra elektroniky a multimediálnych telekomuniká- cií
	Fakulta elektrotechniky a informatiky
	Technická univerzita v Košiciach
	Letná 9, Košice, SR
	email: jan.saliga@tuke.sk
	doc. Ing. Jiří Jakovenko, PhD.
	Katedra mikroelektroniky
	Fakulta elektrotechnická
	České vysoké učení technické v Praze

Technická 1902/2, Praha, ČR email: jakovenk@fel.cvut.cz Autoreferát bol rozoslaný dňa: ..... Obhajoba dizertačnej práce sa koná dňa 15. decembra 2020 o 13:00 hod. on-line formou (linka na prenos z obhajoby bude zverejnená na internetovej stránke FEI STU) pred komisiou pre obhajoby dizertačných prác v študijnom programe Elektronika a fotonika v študijnom odbore Elektrotechnika.

> Predseda skúšobnej komisie prof. Ing. Alexander Šatka, PhD.

Dekan fakulty FEI STU v Bratislave prof. Dr. Ing. Miloš Oravec

## Obsah

1	Úvo	od a motivácia	<b>2</b>
<b>2</b>	Téz	zy dizertačnej práce	<b>5</b>
3	An	alýza metódy digitálnej kalibrácie pre analógové IO	6
	3.1	Porovnanie metód pre kalibráciu analógových IO	8
		3.1.1 Merateľný ukazovateľ (FOM) pre vyhodnotenie metód	10
4	Imp	plementácia digitálnej kalibrácie	11
	4.1	Koncept systému kalibrácie	11
		4.1.1 Kompenzačný blok	12
		4.1.2 Riadiaci blok	13
	4.2	Analýza nežiaduceho vplyvu KPO	14
	4.3	Topografia navrhnutého experimentálneho čipu	17
	4.4	Optimalizovaná metóda digitálnej kalibrácie pre spojité systémy	18
	4.5	Adaptívny algoritmus pre spojité systémy	21
	4.6	Univerzálnosť kalibračnej metódy	22
<b>5</b>	Ver	ifikácia skúmaných metód	
	kali	brácie AIO	<b>23</b>
	5.1	Prototypová verzia digitálnej kalibrácie	24
	5.2	Upravená verzia digitálnej kalibrácie	28
	5.3	Porovnanie kalibračných metód	28
	5.4	Analýza nežiaduceho vplyvu kalibračných obvodov na VGA $\ .\ .$ .	32
6	$\mathbf{Zhr}$	rnutie dosiahnutých výsledkov a prínosov	34
7	Záv	ver	36
Li	tera	túra	40
P۱	ıblik	ácie autora	44

## 1 Úvod a motivácia

Smerovanie návrhu a výroby integrovaných obvodov (IO) je odjakživa podmienené požiadavkami ako rastúci výpočtový výkon na plochu či klesajúca spotreba energie. Tento rozvoj je možný vďaka neustálemu zmenšovaniu minimálneho rozmeru súčiastok vo výrobných technológiách. Rastie tak nielen zložitosť a možnosti obvodov na čipe, ale so znižovaním nominálnej hodnoty napájacieho napätia klesá aj spotreba energie daného obvodu. Elektronické systémy sa vďaka tomu stávajú výkonnejšími a mobilnými, keďže nízka spotreba energie otvára možnosť napájania obvodov z batérie. Tieto trendy na druhej strane prinášajú rastúce komplikácie v procese návrhu IO. Zmenšovaním rozmerov technológie klesá presnosť zachovania nominálnych technologických parametrov. Narastajú tak odchýlky napríklad v hrúbke hradlového oxidu, v koncentrácii dopantov alebo v geometrických rozmeroch súčiastok. Tieto nežiaduce variácie sa úmerne premietajú do elektrických vlastností IO, či už na úrovni tranzistora, obvodovej topológie alebo celého elektronického systému. Z hľadiska výťažnosti výroby, rozptyl parametrov je signifikantný nielen medzi čipmi na jednom substráte, ale aj medzi substrátmi alebo medzi sériami.

Súčasná hranica minimálneho rozmeru dĺžky hradla tranzistora u komerčne dostupných IO je 7 *nm*. Ide samozrejme o digitálne obvody ako napr. procesory, ktoré sú prirodzene odolnejšie voči rozptylu parametrov technológie vďaka diskrétnej hodnote digitálneho signálu. Avšak v prípade analógových integrovaných obvodov (AIO), ktoré sú určené pre spracovanie signálu ideálne v celom rozsahu napájacieho napätia, rozptyl parametrov výrobných technológií hlboko pod 130 *nm* hrá diametrálne odlišnú úlohu. Jedná sa o precízne obvody ako operačný zosilňovač (OZ), ktorý je postavený na diferenciálnej činnosti. Rozdiely v diferenciálnych vetvách potom spôsobujú degradáciu jeho vlastností akými sú napr. zisk, ktorý je veľmi závislý od miery zhodnosti oboch vetiev. Ofset vstupného napätia ( $V_{IN_OFF}$ ) je zaužívaným ukazovateľom vplyvu rozptylu v topológií OZ. Predstavuje rozdiel napätí na vstupných termináloch OZ, ktorým sa vyrovnajú napätia na výstupných termináloch.

Rozptyl prahového napätia tranzistora  $(V_{TH})$  je v praxi reprezentovaný smerodajnou odchýlkou jeho zmeny v topograficky zosúladenom tranzistorovom páre. Je zaužívaný nasledujúci empirický vzťah:

$$\sigma(\Delta V_{TH}) = \frac{A_{VTH}}{\sqrt{W.L}} \tag{1.1}$$

kde  $A_{VTH}$  je Pelgromov technologický koeficient, W a L sú šírka, respektíve dĺžka hradla tranzistora.

V tabuľke 1.1 sú zoskupené hodnoty nominálneho napätia pre rôzne technológie a hodnoty Pelgromovho koeficientu. Z tabuľky je možné vidieť nárast podielu smerodajnej odchýlky na strednej hodnote  $V_{TH}$  MOS tranzistora, a v 45 nm technológii dosahuje 16% [1].

**Tab. 1.1:** Variabilita prahového napätia naprieč rôznymi výrobnými technológiami [2], [3], [4], [5], [6].

Technológia	Nominálne	$\sigma/\mu$	$A_{VTH}$
Technologia	$V_{TH}$ [mV]	[%]	[-]
130 nm	330	$^{8,2}$	$^{3,1}$
90 nm	300	9,3	-
65 nm	280	10,7	-
45 nm	200	16	-
32 nm	200	-	1,45
14 nm	200	-	1,33

Ďalšou výzvou pre návrh a výrobu IO v nanotechnológiách je degradácia materiálových štruktúr čipu vplyvom pôsobenia napätí a prúdov. To znamená, že aj bežnou činnosťou IO postupne počas jeho životnosti dochádza k zmene jeho nominálnych elektrických parametrov a vlastností, čo opäť ovplyvňuje spoľahlivosť obvodu.

Rozlišuje sa niekoľko mechanizmov, ktoré sa týmto spôsobom podieľajú na tzv. starnutí obvodu [7]. Práca [8] analyzuje vplyv degradácie vplyvom tzv. horúcich nosičov náboja (HCD, z angl. *Hot carrier degradation* alebo tiež *hot carrier injection*). Podobný vplyv na činnosť IO má jav BTI (z angl. *Bias temperature instability*) [9], [10], [11], [12]. Tento vzniká následkom predpätia na hradle tranzistora. Oba spomenuté javy spôsobujú postupný posun  $V_{TH}$  tranzistora, ktorý sa iba čiastočne regeneruje vo vypnutom stave obvodu [13]. Preukázaný rozptyl elektrických parametrov súčasných IO predstavuje pre návrh AIO orientovaných na spoľahlivosť výrazné prekážky. Z dôvodu zabezpečenia požadovanej výťažnosti výroby sa samotná technológia výroby, návrh a následné aj testovanie IO stávajú omnoho zložitejšími. Toto sa samozrejme premieta do zvýšených nákladov. Spoľahlivosť, respektíve presnosť IO tak vstupuje do kompromisu s celkovou cenou.

Výhodným riešením pre zvoľnenie tohto kompromisu môže byť kalibrácia AIO. Existuje viacero kalibračných metód, pričom ich spoločnou podstatou je kompenzácia odchýlok elektrických parametrov spôsobených rozptylom technológie či inými javmi. Spojenie návrhu samotného IO s určitou metódou kalibrácie umožňuje vyrábať precízne naladené AIO s voľnejšími výrobnými toleranciami, čím je významne odľahčená fáza návrhu.

Dostupné metódy kalibrácie sú značne špecifické. Líšia sa v princípe činnosti a tým sa delia aj podľa mechanizmov rozptylu, ktoré sú schopné kompenzovať. Tieto je možné na škále PVTA variácií rozdeliť na statické a dynamické (viac v kapitole 3). Jedným z cieľov tejto dizertačnej práce je preto čo možno najrelevantnejšie porovnať metódy kalibrácie na kvalitatívnej i kvantitatívnej úrovni.

Z hľadiska možností kalibrácie a na základe presnosti (ako bude preukázané neskôr) sa javí ako veľmi prísľubná digitálna metóda kalibrácie. Digitálnu kalibráciu sme implementovali pre zosilňovač s variabilným zosilnením v technológii CMOS 130 nm. Tento návrh bol zrealizovaný aj verifikovaný experimentálnymi meraniami. Našim cieľom bolo taktiež zaviesť metriku pre porovnanie metód kalibrácie, keďže tieto sú značne špecifické. Pre úplnosť porovnania bola implementovaná taktiež alternatívna metóda kalibrácie pre rovnaký typ integrovaného obvodu.

## 2 Tézy dizertačnej práce

Rámcové ciele výskumu v rámci dizertačnej práce boli stanovené na základe získaných poznatkov o súčasnom stave metód pre kompenzáciu fluktuácií parametrov nízko-napäťových analógových IO v nanotechnológiách. Sú upriamené na digitálnu kalibráciu AIO, potlačenie nežiaduceho vplyvu prídavného kalibračného hardvéru a na návrh, optimalizáciu a implementáciu vybraných obvodových blokov.

Ciele dizertačnej práce sú nasledovné:

- Analyzovať existujúce metódy kalibrácie analógových integrovaných obvodov z hľadiska kompenzácie vplyvu rozptylu parametrov technológie a starnutia štruktúr.
- Navrhnúť parametre digitálnej kalibrácie pre spoľahlivú činnosť pod vplyvom rozptylu výrobnej technológie, zmien napájacieho napätia a teploty (pre priemyselný rozsah) a starnutia materiálových štruktúr.
- Stanoviť metriku pre jednoznačné porovnanie metód kalibrácie. Optimalizovať parametre zvolenej kalibračnej metódy smerom k vylepšeniu merateľného ukazovateľa účinnosti kalibračných metód.
- Vyšetriť a minimalizovať nežiaduci vplyv prídavných obvodov kalibrácie na samotný kalibrovaný obvod.
- Implementovať metódu digitálnej kalibrácie pre nízko-napäťové systémy so spojitým spracovaním signálu v čase. Vyhodnotiť prínosy implementovanej techniky kalibrácie.

## 3 Analýza metódy digitálnej kalibrácie pre analógové IO

Ako bolo naznačené v kapitole 1, metódy kalibrácie AIO sa značne odlišujú v povahe a princípe svojej činnosti. Od toho sa odvíja aj škála a zdroje rozptylu parametrov a vlastností, ktoré sú jednotlivé techniky schopné kompenzovať. Zdroje rozptylu môžeme z hľadiska ich variability rozdeliť na statické a dynamické. Statickým zdrojom je napríklad rozptyl parametrov samotnej výrobnej technológie, keďže je určený jednorazovo výrobou IO. Za dynamické zdroje považujeme zmeny napätia a teploty (krátkodobé) či starnutie polovodičových štruktúr IO (dlhodobý, trvalý drift).

V súčasnosti je vyvinutých niekoľko viac alebo menej používaných techník kalibrácie AIO. Jednotlivé riešenia sa líšia v nuansách ako napríklad frekvencia kalibrácie, spôsob radenia kalibračnej a pracovnej fázy systému alebo povaha signálu, ktorý kalibrovaný systém spracováva. Kalibračnú techniku je preto nutné zvoliť najmä na základe atribútov aplikácie AIO.

Digitálna kalibrácia (DK) predstavuje dynamickú metódu kompenzácie degradovaných parametrov AIO. Táto metóda je založená na použití adaptabilného kalibračného podobvodu (KPO), ktorý dynamicky sníma odchýlku degradovaného parametra AIO a v odpovedajúcej miere ho kompenzuje.

Na obrázku 3.1 je znázornená všeobecná bloková schéma systému digitálnej kalibrácie. Kalibrovaný AIO a KPO sú spojené cez rozhranie portov  $P_S$  a  $P_K$ .



Obr. 3.1: Bloková schéma systému digitálnej kalibrácie.

Pre implementáciu tejto metódy je potrebné zvoliť vhodný snímací a kompenzačný signál AIO, ktorý úmerne sleduje zmenu kalibrovaného parametra. Z hľadiska topológie kalibrovaného obvodu táto úloha znamená nájsť a určiť snímací uzol (port S v AIO na obrázku 3.1), z ktorého je možné tento signál pre KPO získať. Pri modifikácii topológie AIO je nutné eliminovať vplyv prídavných obvodov na charakteristické parametre. Rovnaký princíp sa uplatňuje pri stanovení kompenzačného uzla (port K).

Samotný KPO pozostáva z dvoch hlavných častí: riadiaci blok a kompenzačný blok. Úlohou riadiaceho bloku počas kalibračného cyklu je snímať aktuálnu odchýlku kompenzovaného parametra  $X_S$ , na základe ktorej je riadený priebeh kalibrácie. Kompenzačný blok pozostáva z digitálno-analógového prevodníka (DAP), ktorý je riadený počítadlom (POČÍT). DAP generuje postupnú zmenu kompenzačného signálu  $X_K$ , s ktorým sú eliminované nežiaduce odchýlky parametrov, napríklad  $V_{IN\_OFF}$ . V momente, keď  $X_S$  dosiahne minimálnu úroveň, danú presnosťou metódy, kompenzačný blok zastaví cyklus kalibrácie. DAP následne privádza fixnú hodnotu  $X_K$  <sub>KOMP</sub> na K-port kalibrovaného AIO.

Digitálna kalibrácia je dynamická metóda, keďže reaguje na aktuálnu odchýlku snímaného parametra. Týmto spôsobom sa tak eliminuje rozptyl výrobných parametrov, kolísanie napätia a teploty a tiež dlhodobý drift parametrov AIO vplyvom starnutia štruktúr. V prípade meniacich sa podmienok je možné kalibráciu spúšťať v pravidelných intervaloch. Frekvencia opakovania cyklu závisí od miery dynamiky nežiaducich zmien parametrov AIO. Dlhodobý drift vplyvom starnutia je možné kompenzovať jednorazovou kalibráciou pri spustení systému. Ak parametre AIO kolíšu vplyvom teploty, je dostatočná kalibrácia s nízkou frekvenciou, prevedená či už sériovo alebo paralelne s riadnou činnosťou AIO. V prípade kolísania napájacieho napätia je potrebné vykonávať kalibráciu obvodu častejšie.

Výhodou DK je vysoká spoľahlivosť digitálnych obvodov, ktoré určujú výsledok priebehu kompenzácie. Ich výhodou je tiež odolnosť voči šumu, nízka spotreba energie a vysoká rýchlosť. Použitím tejto metódy na rozdiel od ostatných nedochádza k obmedzeniu pásma OZ ani zo strany nízkych, ani vysokých frekvencií. Je preto vhodná pre spracovanie striedavých (AC) ako aj jednosmerných (DC) signálov. Vzniká iba minimálne skreslenie užitočného signálu z dôvodu možného presakovania hodinového signálu CLK. Na druhej strane, podobne ako u iných metód, prídavné obvody zväčšujú potrebnú plochu čipu, čo sa premieta do výrobných nákladov AIO.

Túto metódu je potenciálne možné použiť aj v rámci systémov so spojitým spracovaním signálov. Je však nutné zaviesť komplexnú modifikáciu metódy, aby nedochádzalo k významnému skresleniu spracovávaného signálu počas kalibrácie. Možností je viacero. Jednou z nich je tzv. *ping-pong* konfigurácia, kedy je celý systém kalibrovaného AIO použitý v dvoch verziách. Tieto sú prepínané na celkový výstup. Ďalšou z modifikácií digitálnej kalibrácie pre spojité systémy je 2-fázový cyklus. Prvá fáza prebehne pri inicializácii kedy je AIO kalibrovaný v maximálnom rozsahu KPO. Následne počas riadnej činnosti je AIO kalibrovaný v skrátenom cykle s použitím posledne získanej hodnoty parametra  $X_{S\_KOMP}$ . Takto je možné kompenzovať najmä vplyv teploty na AIO súčasne s minimálnym skreslením spracovávaného signálu.

V prácach [14] a [15] je ukázaná digitálna metóda kalibrácie pre OZ s prúdovým vstupom. Ako  $X_K$  je použitý výstupný prúd DAP, ktorý je injektovaný do OZ v zápornej spätnej väzbe. Uvedená metodika kalibrácie bola s úspechom použitá v novších prácach [16], [17] a [18].

## 3.1 Porovnanie metód pre kalibráciu analógových IO

Ako vyplýva z predošlých podkapitol, kompenzáciu parametrov AIO, ktoré môžu byť degradované rôznymi vplyvmi (napr. PVTA) je možné vykonať niekoľkými spôsobmi. Rozptyl výrobného procesu je najefektívnejšie eliminovaný jednorazovým trimovaním po výrobe paralelne s testovaním. Akákoľvek dynamická metóda, založená na prídavných obvodoch predstavuje v tomto prípade zvýšenú plochu na čipe, čiže vyššie výrobné náklady a je čiastočne v rozpore so zámerom integrácie.

Na druhej strane, aby bolo možné zabezpečiť spoľahlivosť AIO v priemyselnom rozsahu teplôt (od  $-20^{\circ}C$  do  $85^{\circ}C$ ) súbežne s prípadným rozptylom napätia a po dobu niekoľkých rokov, je nutné použiť dynamickú metódu kalib-

	Sprace sigr	ovanie nálu	Šum	a BW	Kalib cyk	račný tlus	
Kalibračná technika	Vzorkované	Spojité	Nízky šum	Široké BW	Nízka frekvencia	Vysoká frekvencia	Dlhodobá stabilita
Chopper stabilizácia	$\checkmark$	$\checkmark$	$\checkmark$			$\checkmark$	$\checkmark$
Analógové autonulovanie	$\checkmark$			$\checkmark$		$\checkmark$	
Digitálne autonulovanie	$\checkmark$			$\checkmark$	$\checkmark$	$\checkmark$	$\checkmark$
Digitálna kalibrácia	$\checkmark$	$\checkmark$	$\checkmark$	$\checkmark$	$\checkmark$	$\checkmark$	$\checkmark$
Analógová kalibrácia	$\checkmark$	$\checkmark$		$\checkmark$	$\checkmark$	$\checkmark$	

**Tab. 3.1:** Porovnanie charakteristík kalibračných techník z hľadiska aplikácie [19].

rácie. Je zrejmé, že medzi statickými a dynamickými metódami je fundamentálny rozdiel. Taktiež medzi dynamickými metódami osobitne sú v princípe rozdiely, ktoré bránia ich relevantnému vzájomnému porovnaniu. Napríklad metóda CS v základnej podobe si nevyžaduje dodatočnú plochu ani spotrebu energie, zatiaľ čo pre metódy AZ a DK to neplatí. Pri porovnaní je preto nutné zjednotiť metódy na základe určitej požiadavky. Pre tento účel sme zvolili nízku hodnotu THD na úrovni 1%. V tabuľke 3.1 sú techniky kalibrácie klasifikované podľa požadovaných vlastností AIO.

Z hľadiska spracovania signálu je zrejmé, že CS aj digitálna kalibrácia sú rovnako vhodné pre vzorkované aj spojité systémy. Metóda AZ je obmedzená na vzorkované spracovanie signálu, keďže jej činnosť sa zakladá na rekonfigurácii kalibrovaného obvodu, čím je prerušovaná jeho činnosť. Pokiaľ si aplikácia vyžaduje veľmi nízku úroveň šumu v základnom pásme, javí sa výhodné použiť CS, keďže touto technikou je šum na nižších frekvenciách výrazne potlačený. Za účelom získať široké prenášané pásmo OZ, je možné použiť napríklad AZ alebo digitálnu kalibráciu. Pri týchto metódach je totiž signál úplne spracovávaný v základnom pásme namiesto modulácie na vyššie frekvencie ako je tomu pri CS.

Metódy kalibrácie založené na digitálnom riadení dosahujú väčšiu spoľahlivosť z dlhodobého hľadiska. Dôvodom je väčšia robustnosť digitálnych obvodov voči vlastnej degradácii.

Na základe predloženého porovnania sme náš výskum v oblasti kompenzácie nežiaducich vplyvov na AIO zamerali na metódu digitálnej kalibrácie. Táto je založená na dynamickej kompenzácii parametrov AIO, a je možné ju opakovať s ľubovoľnou frekvenciou. Týmto spôsobom je teda možné výrazne eliminovať teplotný a dlhodobý drift vlastností AIO. Na rozdiel od CS, digitálna metóda je vhodná aj pre systémy s väčšou šírkou frekvenčného pásma. Táto vlastnosť je dôležitá hlavne pre operačné zosilňovače, ktoré tvoria podstatnú časť nášho výskumu.

#### 3.1.1 Merateľný ukazovateľ (FOM) pre vyhodnotenie metód

Aby bolo možné vzájomne porovnať a vyhodnotiť jednotlivé metódy je nutné stanoviť merateľný ukazovateľ (FOM), postavený na viacerých atribútoch kalibračnej metódy. Tento nám umožní jednotne vyhodnotiť získané výsledky a ukázať prínosy nášho výskumu. Pre určenie FOM sme zvolili nasledovné kritické parametre kalibrovaného systému:

- $V_{OFF_R} = \mu + \sigma$  reziduálny  $V_{IN_OFF}$ , prítomný po dokončení kalibrácie; charakterizuje presnosť kompenzácie a je daný súčtom strednej hodnoty a smerodajnej odchýlky  $V_{IN_OFF}$  naprieč súborom vzoriek AIO,
- $A_P = A_{KPO}/A_{AIO}$  pomer plochy prídavných obvodov kalibračnej techniky voči ploche kalibrovaného obvodu,
- $P_P = P_{KPO}/P_{AIO}$  pomer príkonu prídavných obvodov kalibračnej techniky voči príkonu kalibrovaného obvodu.

Tieto parametre uvádzame do vzťahu pre FOM nasledovne:

$$FOM = (V_{OFF \ R} \cdot A_P \cdot P_P)^{-1}$$
(3.1)

V kapitole 5 bude FOM vyčíslený pre metódy skúmané v tejto práci a v iných prácach. Týmto spôsobom budú jednotlivé metódy jasne porovnané pre dané podmienky použitia.

## 4 | Implementácia digitálnej kalibrácie

Táto kapitola pojednáva o návrhu a vlastnostiach systému digitálnej kalibrácie, ktorá bola implementovaná pre zosilňovač s variabilným zosilnením (VGA). Cieľom kalibrácie bolo kompenzovať ofset vstupného napätia zosilňovača. Tento kalibrovaný integrovaný systém bol vyrobený ako časť väčšieho experimentálneho čipu v štandardnej 130 nm technológii CMOS. V tejto kapitole je taktiež analyzovaný nežiaduci vplyv kalibračných obvodov na parametre VGA. Okrem toho sú tu obsiahnuté návrhové možnosti a odporúčania pre prípadnú ďalšiu modifikáciu metódy za účelom získania všeobecne vyššej efektivity a tiež pre rozšírenie jej použiteľnosti na iný typ obvodov.

Zrealizovaný systém digitálnej kalibrácie je plne integrovaný na čipe. Nominálna hodnota  $V_{DD}$  pre použitú výrobnú technológiu je 1,2 V. S ohľadom na minimalizáciu spotreby energie je však kalibrovaný systém navrhnutý pre ultra-nízke napätie 600 mV (v práci bude ďalej uvažované nesymetrické napájanie, je však možné rovnako použiť symetrické). Použitý VGA je 2-stupňový OZ, založený na plne diferenciálnej topológii. Podľa nominálneho návrhu jeho nastaviteľný maximálny napäťový zisk dosahuje hodnotu 33 dB a šírka pásma zosilňovača je 20 kHz (pre záťaž 10 pF).

#### 4.1 Koncept systému kalibrácie

Dynamická kalibrácia AIO na rozdiel od laserového trimovania, predstavuje plne obvodovú techniku, ktorá v závislosti od miery odchýlky sledovaného elektrického parametra obvodu tento parameter kompenzuje.

Na obrázku 4.1 je znázornená bloková schéma navrhnutého systému digitálnej kalibrácie. Jednotlivé bloky korešpondujú s blokmi všeobecnej schémy z obrázku 3.1. Kompenzačný podobvod je možné preto rozdeliť na dve hlavné časti – kompenzačný blok a riadiaci blok. Hlavný rozdiel tkvie v hraničných termináloch systému,  $P_{S1,2}$  a  $P_{K1,2}$ , keďže tieto sú kvôli diferenciálnej povahe VGA aj DAP implementované v pároch.



Obr. 4.1: Koncept zrealizovaného systému digitálnej kalibrácie ofsetu VGA.

Ako snímaný signál  $X_S$  je v riadiacom bloku použitý ofset výstupného napätia  $V_{OUT\_OFF}$  zosilňovača, získaný z jeho výstupu. Tento je previazaný so vstupným ofsetom nasledovným vzťahom:

$$V_{OUT\_OFF} = A_{CLG}.V_{IN\_OFF},$$
(4.1)

kde  $A_{CLG}$  predstavuje zisk uzavretej slučky VGA. Týmto spôsobom je nepriamo zabezpečené presné sledovanie  $V_{IN\_OFF}$ . Kompenzačný signál  $X_K$  je realizovaný výstupnými prúdmi DAP ( $I_{KOMP}, I_{NKOMP}$ ), ktoré sú injektované do oboch vetiev VGA súčasne.

#### 4.1.1 Kompenzačný blok

Jadro kompenzačného bloku predstavuje 8-bitový DAP, ktorého výstup je diferenciálne pripojený k obom vetvám VGA prostredníctvom prúdového zrkadla s tranzistormi  $M_{P1}$  a  $M_{P2}$  riadenými substrátovou elektródou (tzv. *Bulk-driven* zapojenie, zobrazené na obrázku 4.2). Týmto spôsobom je možné riadením DAP upravovať napäťovo-prúdové podmienky v oboch vetvách VGA súčasne. Vstupný kód DAP je nastavovaný 8-bitovým počítadlom. Na začiatku kalibračného procesu je tento kód nastavený na 0 a zodpovedajúce hodnoty výstupného prúdu DAP sú 0 A a plný rozsah (FS z angl. *full scale*). V počiatočnom stave cyklu kalibrácie je preto výstup VGA rozvážený, čiže ofset výstupného napätia VGA ( $V_{OUT\_OFF}$ ) dosahuje úroveň takmer  $V_{DD}$ . Následne počítadlo postupne zvyšuje vstupný kód pre DAP a kompenzačné prúdy  $I_{KOMP}$ ,  $I_{NKOMP}$  sa zodpovedajúco menia k opačnej úrovni napájania (hodnota pôvodne 0 A smeruje k FS a opačne). Kompenzačné prúdy sú podľa schémy na obrázku 4.2 prezrkadlené do prvého stupňa VGA. Ich zmenou sa úmerne menia napäťovo-prúdové podmienky vo VGA. Vďaka tomu sa s rovnakou tendenciou menia taktiež diferenciálne výstupy VGA  $V_{OP}$  a  $V_{OP}$ , čiže v ich rozdieli aj  $V_{OUT\_OFF}$ . Kalibračný cyklus prebieha týmto spôsobom dovtedy, pokým nie je zastavený riadiacim blokom. Po ukončení kalibrácie, prúdy  $I_{KOMP}$  a  $I_{NKOMP}$  zostávajú fixne nastavené do spustenia nasledujúceho kalibračného cyklu (napr. z dôvodu zmeny teploty alebo napätia). Nakalibrovaný VGA následne prechádza do funkčného režimu.



Obr. 4.2: Detail kompenzačnej konfigurácie na tranzistorovej úrovni.

#### 4.1.2 Riadiaci blok

Zvolený snímaný signál  $V_{OUT\_OFF}$  je získaný z celkového výstupu VGA. Výstupy zosilňovača  $V_{OP}$  a  $V_{IP}$  sú jednotlivo privedené na jeden zo vstupov dvoch komparátorov s hysterézou ( $K_1$  a  $K_2$ ). Musia byť zvolené vstupy s navzájom opačnou polaritou. Dôležité je správne vzájomné spárovanie polarity výstupov VGA, vstupov  $K_1$  a  $K_2$ , a výstupov DAP. Kalibračný cyklus totiž prebieha v stave keď hradlo AND je tzv. transparentné a na vstup A privedený riadiaci signál CLK ďalej aktivuje počítadlo a konverziu DAP. Zvyšné vstupy komparátorov  $K_1$  a  $K_2$  sú spoločne pripojené k referenčnému napätiu ( $V_{REF}$ ), ktoré predstavuje ideálnu úroveň súhlasnej zložky výstupného napätia VGA.

Ako bolo spomenuté v predošlej podkapitole, parameter  $V_{OUT\_OFF}$  počas kalibračného cyklu klesá vďaka injekcii kompenzačných prúdov  $I_{KOMP}, I_{NKOMP}$ do VGA. V momente, keď  $V_{OP}$  alebo  $V_{ON}$  presiahne ideálnu úroveň  $V_{REF}$ , riadiaci blok ukončí kalibračný cyklus. Udeje sa tak tým, že príslušný komparátor v tomto momente preklopí svoj výstup z logickej 0 (log0) do logickej 1 (log1). Následne hradlo NOR zmení svoj výstup z log1 do log0, čím sa zablokuje riadiaci signál CLK do počítadla. Parameter  $V_{OUT\_OFF}$  týmto spôsobom dosahuje úroveň niekoľko jednotiek až desiatok mV, ako bude ukázané v kapitole 5. Táto hodnota po kalibrácii reprezentuje tzv. reziduálny ofset.

Po ukončení kalibrácie, riadiaci blok naďalej sníma výstup VGA. V prípade akejkoľvek zmeny okolitých podmienok, kedy  $V_{IN\_OFF}$  stúpne nad určitú úroveň, komparátory túto zmenu zachytia a opätovne sa spustí a vykoná kalibračný cyklus.

Keďže kompenzačný signál privádzaný do VGA je diferenciálny, bude zosilnený celkovým ziskom zosilňovača  $A_{CLG}$ , ktorý je v počiatočnej fáze kalibračného cyklu značne redukovaný, pretože zosilňovač je rozvážený.  $V_{OUT\_OFF}$ sa vtedy mení približne lineárne s výstupom DAP. V priebehu kalibrácie sa nepriamo úmerne k zmene  $V_{OUT\_OFF}$  zvyšuje  $A_{CLG}$ , čo potvrdzuje hlavný zámer digitálnej kalibrácie (stanovený v 3. kapitole). Na druhej strane s rastúcim  $A_{CLG}$  sa zväčšuje rozlíšenie zmeny  $V_{OUT\_OFF}$  a značne tak klesá jeho závislosť od rozlíšenia DAP. Následkom tohto nežiaduceho javu môže vzniknúť prudší nárast zvyškového  $V_{OUT\_OFF}$ , pričom táto situácia sa zhoršuje vplyvom PVTA variácií. Časť nášho výskumu bola preto zameraná na vývoj techniky, ktorou je možné kompenzovať prudko rastúcu nelinearitu zmeny parametra  $V_{OUT\_OFF}$ počas kalibrácie. Táto technika bude predstavená v ďalšej časti tejto kapitoly.

#### 4.2 Analýza nežiaduceho vplyvu KPO

Prídavný kalibračný hardvér predstavuje pre VGA externý obvod, ktorý je k nemu počas kalibrácie dodatočne pripájaný. Vzniká tak potenciálne riziko degradácie frekvenčných parametrov VGA vplyvom zmeny kapacity a impedancie uzla, ktorý realizuje kompenzačný port (obrázok 4.1).

Elektrické a topologické detaily spojenia KPO a VGA boli opísané v časti 4.1.1. Substrátové elektródy tranzistorov tvoriacich aktívnu záťaž VGA ( $M_{P1}$  a  $M_{P2}$ ) boli v pôvodnom zapojení bez KPO pripojené štandardne k emitorovým elektródam. Pre účel kompenzačnej konfigurácie sú však substrátové elektródy tranzistorov  $M_{P1}$  a  $M_{P2}$  riadené obvodmi KPO (metóda bulk-driven). Prídavné tranzistory prúdových zrkadiel  $M_{Z2}$ ,  $M_{Z5}$ ,  $M_{Z3}$  a  $M_{Z6}$  pridávajú k topológii VGA kapacity, ktoré vznikajú v ich polovodičovej štruktúre. Takto zvýšená kapacita sa prejaví vo výstupnom uzle VGA a tým sa zmení jeho prenosová funkcia H(s).

Na obrázku 4.3 je znázornená náhradná malo-signálová schéma tranzistora  $M_{P1}$  v pôvodnej konfigurácii bez kompenzácie [20], [21] (analýza uvažuje iba jeden kanál diferenciálnej topológie VGA, nakoľko rovnaké princípy platia pre oba kanály).



**Obr. 4.3:** Náhradná malo-signálová schéma tranzistora  $M_{P1}$  (vo VGA) bez pripojeného KPO.

Hrubou aproximáciou podľa uvedenej náhradnej schémy je možné odvodiť polohu pólu prenosovej funkcie H(s) pre výstupný uzol nekalibrovaného VGA nasledovne:

$$\omega_{OUT NC} \sim r_o.C_{GD},\tag{4.2}$$

kde  $r_o$  je dynamický výstupný odpor tranzistora a  $C_{GD}$  parazitná kapacita tranzistora, ktorá vzniká prekrytím oblastí hradla a kolektora tranzistora.

Obrázok 4.4 zobrazuje náhradnú malo-signálovú schému konfigurácie obvodu

počas kalibrácie z obrázku 4.2 [20], [21]. Zo schémy je jasné, že počet obvodových komponentov vplývajúcich na frekvenciu pólu výstupného uzla VGA značne narástol v porovnaní s topológiou obvodu bez pripojeného KPO.



**Obr. 4.4:** Náhradná malo-signálová schéma zapojenia tranzistorov $M_{P1}$  a $M_{Z5}$  a  $M_{Z2}$ v kalibračnej konfigurácii.

Malo-signálovou analýzou kalibračnej konfigurácie bola odvodená nasledovná frekvencia pólu, ktorý zodpovedá výstupnému uzlu kalibrovaného VGA:

$$\omega_{OUT\_C} \sim \frac{4 + r_0 \pm \sqrt{r_0^2 + 9.r_0 - 25}}{6.C_{GD}.r_0} \tag{4.3}$$

Z uvedeného vzťahu je zrejmé, že frekvencia analyzovaného pólu je značne podmienená pripojenou impedanciou KPO. Z hľadiska obvodových komponentov je  $\omega_{OUT\_C}$  voči  $\omega_{OUT\_NC}$  zmenšená približne  $C_{GD}^2.r_o$  krát. Následkom toho sa menia aj frekvenčné vlastnosti VGA. Je predpoklad, že pripojením kalibračných obvodov sa zníži najmä šírka pásma zosilňovača a šírka pásma zosilnenia (GBW z angl. gain bandwidth). Pre minimalizáciu týchto následkov je nutné zabezpečiť, aby pripojené tranzistory pracovali v saturácii, čím je zmenšená hodnota  $r_o$ . Taktiež je potrebné minimalizovať šírku pripojených tranzistorov KPO za účelom zmenšenia parazitných kapacít, ktoré vznikajú prekrytím oblasti hradla s oblasťou kolektora a emitora.

#### 4.3 Topografia navrhnutého experimentálneho čipu

Návrh a výroba prototypového čipu boli zrealizované v štandardnej 130 nm CMOS technológii od spoločnosti UMC. Topografiu prezentovanej implementácie digitálnej kalibrácie je možné vidieť na obrázku 4.5. V topografickej štruktúre sú vyznačené hlavné bloky kalibračného systému opísané vyššie.



**Obr. 4.5:** Detail topografie implementovaného systému digitálnej kalibrácie v rámci experimentálneho čipu v 130 nm CMOS technológii (rozmery sú v  $\mu m$ ).

Plocha kalibračného podobvodu v uvedenej implementácii dosahuje 23 417  $\mu m^2$ , z čoho približne 4 500  $\mu m^2$  zaberajú pretaviteľné poistky. Samotný kalibrovaný obvod VGA zaberá 18 360  $\mu m^2$ . Z pomeru jednotlivých plôch je zrejmé, že kalibračná technika je z hľadiska výrobných nákladov pre túto aplikáciu relatívne neefektívna. Na druhej strane, kalibrovaný VGA je relatívne jednoduchý obvod. Jednotlivé bloky zrealizovaného systému však poskytujú priestor na ďalšiu optimalizáciu.

## 4.4 Optimalizovaná metóda digitálnej kalibrácie pre spojité systémy

Vyššie opísaný realizovaný systém digitálnej kalibrácie predstavuje prototypovú verziu, ktorú sme neskôr optimalizovali a doplnili o nové vlastnosti a funkcie. Tieto rozširujú použiteľnosť digitálnej kalibrácie pre systémy so spojitým spracovaním signálu. Menšia spotreba energie a plocha na čipe spoločne zlepšujú FOM tejto metódy, ako bude prezentované v kapitole 5.

Na priebehu výstupného napätia VGA počas kalibrácie je možné vidieť, že zosilňovač je v tejto fáze nepoužiteľný, keďže jeho výstupy sú postupnou kompenzáciou rozvážené. Pre systémy s nespojitou činnosťou toto nie je problém, nakoľko kalibráciu je možné spúšťať synchrónne s fázou nečinnosti systému. Pokiaľ však ide o spojitý systém, kde je nutné kompenzovať vplyv teploty, musí byť použitá pokročilá metóda akou je tzv. *Ping-pong* kalibrácia. Na obrázku 4.6 je zobrazená bloková schéma digitálnej kalibrácie s implementáciou metódy *ping-pong* (PPDK).

Podstata tejto metódy spočíva v použití dvoch identických kópií kalibrovaného obvodu (napr. VGA). Jedna z nich je vždy aktívna (vo funkčnom režime) a druhá je kalibrovaná.

Bloková schéma optimalizovanej verzie digitálne kalibrovaného VGA, upravená pre metódu *Ping-pong* je zobrazená na obrázku 4.7. Táto úprava si vyžadovala nové funkcionality riadiacej logiky, aby bolo možné vykonať rekalibráciu na základe zmeny teploty okolia. Taktiež bol z riadiacej logiky vyvedený signál, poskytujúci informáciu o skončení kalibračného cyklu, kedy je možné prepnúť



**Obr. 4.6:** Bloková schéma metódy *Ping-pong* pre použitie s digitálnou kalibráciou.

nakalibrovaný obvod VGA na celkový výstup PPDK systému.

Metóda digitálnej kalibrácie bola tiež upravená pre väčšiu presnosť použitím prídavného 4-bitového DAP, ktorý s menším krokom sekvenčne koriguje výsledok hlavnej kalibrácie. Na obrázku 4.8 je znázornená bloková schéma novej riadiacej logiky. Táto umožňuje sekvenčné radenie hlavného a korekčného cyklu kalibrácie. D preklápacie obvody slúžia na vypnutie snímania  $V_{OUTOFF_X}$ , čo zabraňuje nežiaducemu spusteniu kalibrácie. Nová riadiaca logika bola optimalizovaná použitím iba jedného a jednoduchšieho komparátora. Plocha obvodov upravenej verzie DK zaberá iba 6 000  $\mu m^2$  oproti pôvodným 19 000  $\mu m^2$  (neuvažujúc pretaviteľné poistky).



Obr. 4.7: Bloková schéma optimalizovanej DK pre spojité systémy.



**Obr. 4.8:** Bloková schéma riadiacej logiky zo systému optimalizovanej metódy DK pre spojité systémy.

#### 4.5 Adaptívny algoritmus pre spojité systémy

Na základe analýzy metódy *Ping-pong* je zrejmé, že týmto spôsobom vzrastie plocha kalibrovaného systému na čipe viac ako dvojnásobne. Sľubným riešením tohto problému sa javí snímanie a kompenzácia  $V_{IN\_OFF}$  pomocou DK súbežne s riadnou činnosťou OZ. Prekážku v tomto smere predstavuje snímanie ofsetu nakoľko OZ spracováva striedavý signál. Pre tento účel je vhodné využiť digitálny filter, ktorý nemusí dosahovať vysokú celkovú presnosť keďže slúži iba na získanie strednej hodnoty AC signálu z výstupu OZ. Obrázok 4.9 zobrazuje blokovú schému systému DK pre súbežnú činnosť s OZ.



Obr. 4.9: Bloková schéma systému DK pre súbežnú činnosť s OZ.

Takto upravený kalibračný systém je založený na podobnom princípe ako optimalizovaný systém z obrázku 4.7. Pri inicializácii je vykonaná hlavná kompenzácia v celom rozsahu 8-bitového DAP. Lineárne riadenie DAP je nahradené SAR (z angl. *successive approximation algorithm*) algoritmom, ktorý výrazne skracuje trvanie kalibračného cyklu. Po ukončení hlavného cyklu je spustená korekčná kompenzácia. Počas tejto fázy je ofset snímaný z výstupu OZ prostredníctvom digitálneho filtra. Týmto spôsobom nie je nutné prerušovať činnosť OZ pre zosnímanie hodnoty ofsetu. Príklad priebehu digitálnej kalibrácie s využitím adaptívneho algoritmu je zobrazený na obrázku 4.10.



**Obr. 4.10:** Príklad časového priebehu kompenzácie s adaptívnym algoritmom pre sledovanie zmeny hodnoty ofsetu.

#### 4.6 Univerzálnosť kalibračnej metódy

Koncept digitálnej kalibrácie má potenciálne využitie aj pre iné citlivé analógové obvody. Jeho výhodou je široká škála možností, ako snímať a kompenzovať odchýlky elektrického prúdu alebo napätia obvodu [19]. Pri obozretnom návrhu je tiež výhodou priama a jednorazová modifikácia vnútorných signálov topológie analógového IO. Implementáciou pomocnej techniky akou je napríklad PPDK, je preto možné zabrániť skresleniu spracovávaného signálu. K skresleniu práve dochádza pri spínaných metódach kalibrácie, ktoré kompenzujú odchýlky parametrov IO takpovediac zvonka, modifikáciou vstupného a výstupného signálu.

Použitie DK je ideálne pre IO založené na diferenciálnej topológii, kedy je nutné signály oboch vetiev vyrovnať. Zamedzí sa tým potrebe referenčného signálu, voči ktorému je potrebné kompenzovaný signál porovnať v prípade jednoduchej topológie. DK tak môže nájsť využitie napríklad pri návrhu a použití napäťových referencií.

## 5 Verifikácia skúmaných metód kalibrácie AIO

#### Zámer kalibrácie

Pre dosiahnutie optimálneho výsledku kalibrácie je potrebné prispôsobiť vlastnosti KPO aktuálnej hodnote  $V_{IN\_OFF}$  zosilňovača, ktorý bude kalibrovaný. Bolo preto vykonané experimentálne meranie nezapuzdrených prototypových vzoriek čipu VGA. Tento bol bez kalibrácie vyrobený v rovnakej technológii. Na obrázku 5.1 sú zobrazené namerané hodnoty  $V_{IN\_OFF}$  nekalibrovaného VGA, získané meraním 60 vzoriek ako aj Monte Carlo (MC) simuláciou pre porovnanie.



**Obr. 5.1:** Rozdelenie  $V_{IN\_OFF}$  nekalibrovaného VGA. Porovnanie merania a simulácie.

Statistické rozdelenie meraných výsledkov dosahuje strednú hodnotu 403  $\mu V$ a smerodajnú odchýlku 3,45 mV. Neskôr bude ukázané, že prípustná hodnota  $V_{OUT\_OFF}$ , kedy VGA takmer presne dosahuje parametre nominálneho návrhu je približne 30 mV. Z aproximovaného rozdelenia simulovaných výsledkov na obrázku 5.1 je možné s určitou chybou vyčleniť 20% vzoriek, ktoré spadajú od intervalu výstupného ofsetu  $\pm 30$  mV. To je vzhľadom na výrobné a testovacie náklady veľmi nízka výťažnosť. Zámerom kalibrácie VGA je preto priblížiť rozdelenie ofsetu smerom k 0 V a minimalizovať smerodajnú odchýlku.

Všetky metódy kalibrácie opísané v kapitole č. 4 boli verifikované prostredníctvom simulácií v priemyselnom rozsahu teplôt od  $-20 \ ^{\circ}C$  do  $+85 \ ^{\circ}C$ . Pre dôkladnú analýzu činnosti bola použitá analýza okrajových podmienok technológie, MC analýza a analýza spoľahlivosti (REL), ktorá reprezentuje drift vlastností obvodu v priebehu rokov. Prototypová verzia systémy digitálnej kalibrácie bola zrealizovaná v technológii CMOS 130 nm ako súčasť experimentálneho čipu a následne bola verifikovaná prostredníctvom experimentálnych meraní na zapuzdrených vzorkách.

#### 5.1 Prototypová verzia digitálnej kalibrácie

#### Simulačné výsledky

Na obrázku 5.2 sú zobrazené štatistické výsledky pre  $V_{IN\_OFF}$  získane MC analýzou. Simulačný výpočet uvažoval rozptyl technologických aj geometrických parametrov a bolo pri ňom použitých 150 vzoriek. V histogramoch pre jednotlivé teploty sú porovnané výsledky nekalibrovaného VGA, digitálne kalibrovaného VGA (DK VGA) a VGA s *Chopper* stabilizáciou (CS VGA).

Z porovnania rozdelení je možné pozorovať, že metóda DK účinne potláča  $V_{IN\_OFF}$  v celom rozsahu teplôt. Obe metódy kalibrácie výrazne potláčajú smerodajnú odchýlku jednotlivých rozdelení. Lepší výsledok z hľadiska kompenzácie ofsetu dosahuje CS, avšak za cenu zhoršenia frekvenčných vlastností zosilňovača.

Obrázok 5.3 znázorňuje priebeh kalibrácie na výstupných napätiach VGA hneď po výrobe a po 10 rokoch činnosti obvodov. Porovnané sú tu najhorší a najlepší prípad analýzy okrajových podmienok technológie.

V najhoršom prípade nadobúda  $V_{OUT\_OFF}$  hodnotu 33 mV pri čerstvo vyrobenom čipe a starnutím táto hodnota vzrastie približne iba o 6 mV. Prepočítané na vstupný ofset to predstavuje približne hodnotu 1,3 mV. Experimentálne merania sa však jednoznačne blížia k pozitívnejším výsledkom ako ukazujú výsledky MC analýzy.



**Obr. 5.2:** Štatistické výsledky  $V_{IN\_OFF}$ , získané MC analýzou. Porovnanie nekalibrovaného VGA, digitálne kalibrovaného VGA (DK VGA) a VGA s *Chopper* stabilizáciou (CS VGA).



**Obr. 5.3:** Priebeh vplyvu DK na výstupoch VGA hneď po výrobe a po 10 rokoch činnosti.

#### Experimentálne výsledky

Zrealizovaný systém digitálne kalibrovaného VGA bol následne experimentálne overený meraniami. Merania sa uskutočnili s použitím 10 zapuzdrených vzoriek pri izbovej teplote. Na obrázku 5.4 je vykreslený priebeh kalibračného cyklu na výstupných napätiach VGA. Zobrazené sú opäť najlepší a najhorší prípad merania a pre porovnanie tiež priebehy získané simuláciami. Z grafu na obrázku 5.4 je možné pozorovať, že merané výsledky pomerne dobre korelujú so simulovanými.

Priebehy amplitúdovej frekvenčnej charakteristiky na obrázku 5.5 potvrdzujú dobrú koreláciu výsledkov. Merané priebehy spadajú do medzí simulačných výsledkov a približujú sa nominálnemu stavu, čo bol zámer kalibrácie.



**Obr. 5.4:** Časový priebeh výstupných napätí VGA počas cyklu digitálnej kalibrácie. Porovnanie hraničných prípadov meraní a simulácií.



**Obr. 5.5:** Hraničné prípady amplitúdovej frekvenčnej charakteristiky DK VGA. Porovnanie merania vs. simulácie.

#### 5.2 Upravená verzia digitálnej kalibrácie

Implementovaný a overený systém DK bol neskôr ďalej optimalizovaný smerom k nižšej spotrebe energie a redukcii plochy na čipe (kapitola 4.4). Taktiež bol pridaný korekčný prevodník pre zvýšenie presnosti kompenzácie. Na obrázku 5.6 sú zobrazené štatistické rozdelenia parametra  $V_{IN\_OFF}$ , pričom sú porovnané obe verzie systému: DK a DK2.

Výsledky sú získané MC analýzou. Je možné si všimnúť, že stredná hodnota ofsetu  $V_{IN\_OFF}$  pri teplotách  $-20 \ ^{\circ}C$  a 85  $^{\circ}C$  je pomocou DK2 znížená približne o jeden rád, čo považujeme za vynikajúci výsledok. Smerodajná odchýlka zostáva relatívne nezmenená.

#### 5.3 Porovnanie kalibračných metód

V tabuľke 5.1 sú porovnané kľúčové parametre kalibračných metód, ktoré boli v rámci dizertačnej práce skúmané. Týmito metódami sú prototypová digitálna kalibrácia realizovaná na čipe, ďalej na návrhovej úrovni optimalizovaná verzia digitálnej kalibrácie a *Chopper* stabilizácia. Tieto metódy sú zároveň porovnané s výsledkami iných vedeckých prác. Reprezentatívne porovnanie rôznych metód si vyžaduje dostupnosť viacerých špecifických parametrov, ktoré sú v iných prácach zriedkavo prezentované súčasne. Týmito sú pomer plochy obvodov kalibračnej metódy k ploche kalibrovaného obvodu, v rovnakom pomere tiež spotreba energie a v neposlednom rade spôsob, akým je prezentovaná účinnosť kompenzácie  $V_{IN\_OFF}$ . Pre zabezpečenie jednotných podmienok porovnania bolo stanovené prípustné THD na úrovni 1%.

Objektívne stanovenie FOM je komplikované vplyvom uvedeného nedostatku informácii v iných prácach. Z toho dôvodu je FOM vyjadrené v absolútnom ponímaní plochy (A) a spotreby energie (P) pridaných obvodov kalibračnej metódy  $(FOM_A)$ . Pre tento účel bol vzťah 3.1 upravený nasledovne:

$$FOM_A = k_A (V_{OFF \ R} \cdot A_{KPO} \cdot P_{KPO})^{-1},$$
 (5.1)

kde  $k_A$  predstavuje násobiaci koeficient pre uľahčenie porovnania po vizuál-



**Obr. 5.6:** Porovnanie štatistických výsledkov  $V_{IN\_OFF}$  pri kompenzácii VGA aplikovaním DK a DK2 v priemyselnom rozsahu teplôt.

nej stránke. Tento bol zvolený na úrovni  $10^8$ .

Práce [22], [23], [14] a [15] neuvádzajú samostatne príkon kalibrovaného OZ  $(P_{OZ})$  a príkon obvodov kalibrácie  $(P_{KPO})$ . V týchto prácach je uvedená len celková spotreba systému. Za účelom umožniť porovnanie výsledkov dosiahnutých v tejto práci aj voči týmto prácam uvažovali sme optimistický scenár, v ktorom  $P_{KPO}$  prezentovaných metód dosahuje 10 % z celkového príkonu, prezentovaného v tabuľke 5.1. V prípade navrhnutej metódy DK2 tento podiel dosahuje 13%.

Z uvedeného porovnania je zrejmé, že DK významným spôsobom prekonáva skúmanú techniku CS. Reziduálny  $V_{IN\_OFF}$  získaný metódou CS je síce o jeden rád nižší, avšak spotreba energie a veľkosť topografie KPO sú mnohonásobne väčšie. V tomto porovnaní je dôležité podotknúť, že jednorádový rozdiel  $V_{IN\_OFF}$  na úrovni jednotiek alebo desiatok mikrovoltov nemá za následok signifikantnú zmenu vlastností OZ.

V porovnaní s uvedenými vedeckými prácami za stanovených podmienok DK2 dosahuje najmenšiu plochu kalibračných obvodov ( $A_{KPO}$ ) 0,006  $\mu m^2$ , zatiaľ čo v ostatných prácach tento parameter nadobúda $0,012~\mu m^2$ až  $0,457~\mu m^2.$ Implementovaná metóda digitálnej kalibrácie bola navrhnutá s cieľom dosiahnuť čo možno najnižšiu spotrebu energie. DK2 vďaka tomu dosahuje vynikajúci výsledok  $P_{KPO}$  na úrovni 6  $\mu W$  v porovnaní s rozsahom 700  $\mu W$  až hypoteticky 16000  $\mu W$  v iných prácach. Z hľadiska ukazovateľ a  $FOM_R$ , metóda DK2 nadobúda priemerný výsledok. Je však nutné vziať do úvahy niekoľko faktorov. Práce [15] a [24] prezentujúce vynikajúce hodnoty  $V_{IN OFF}$  neposkytujú informáciu, za akých podmienok boli výsledky získané. Nie je jasné, či ide o merania alebo simulácie (s množstvom podmienok určujúcich výsledok), aká bola teplota čipu, počet skúmaných vzoriek a podobne. V prípade práce [24] ide o staršiu výrobnú technológiu CMOS 700 nm, kde rozptyl elektrických parametrov IO je podstatne menší. Ďalším predmetom diskusie sú pomerne rozmerné obvody v niektorých prácach. Veľkosť topografie KPO nie je totiž úmerná veľkosti topografie kalibrovaného obvodu. Z tohto dôvodu prezentujeme tiež absolútnu formu merateľného ukazovateľa  $FOM_A$ , ktorý popri reziduálnom ofsete uvažuje iba veľkosť topografie a spotrebu energie KPO, a porovnáva tak uvedené kalibračné metódy bez ohľadu na kalibrovaný obvod. Ako je možné vidieť z tohto uhla pohľadu, DK2 dosahuje vďaka optimalizácii plochy topografie a spotreby energie omnoho lepší výsledok  $FOM_A$ na úrovni 6500 voči hodnotám v rozsahu od 14 až 1200 v ostatných prácach.

•	pracamı.
•	BI
`	Бu
•	s
`	prace
•	Ъ.
>	acn
	ert
÷	C1Z
•	5
`	ran
	$\geq$
-	uych
`-	skuman
5	đ
	met(
1	edkov
,	vys
	ante
	Orovné
F	••
۲	-
)	
Ē	Tab

			Táto	práca							
		DF	(2 1)	c	ð	[22]	[23]	[14]	[25]	[15]	[24]
		μ	α	π	α						
Rok			20	20		2015	2008	2008	2010	2013	2008
 Technológia	۲ [nm]		1	30		130	350	180	130	130	700
V <sub>DD</sub>	[7]		0,	,6		1,2	1	1,8	1,2	2,8	5
$A_{OZ}$ <sup>2)</sup>	$[.10^3 \mu m^2]$		18	,4		12,3	224	36	34	630	3325
$A_{KPO}$ <sup>3)</sup>	$[.10^3 \mu m^2]$			8(	00	12,3	17,4	30	33,2	261	475
$\mathbf{P_{OZ}}^{2)}$	$[\mu W]$	38,5	3,6	30,4	3,1	0001	0000	00011	2000	дог ог С	2800
$\mathbf{P_{KPO}}^{3)}$	$[M\mu]$	5,6	0,7	62,7	11	14000	2000	11000	2400	10.10	700
V <sub>IN_OFF</sub>	$[\mu V]$	62	342	2,75	95	5	538	126	75	0,097	1,81
THD	[%]	0,83	0,07	0,05	0,03	I	0,01	0,4	I	T	1
$\rm FOM_A$		65	48	1	7	1200	14	24	17	247	121
Metóda kal	ibrácie	Di	ig.	Ch	op.	Analog.	Analog.	Dig.	Analog.	Dig.	Chop.

## 5.4 Analýza nežiaduceho vplyvu kalibračných obvodov na VGA

V kapitole 4.2 bola stanovená hypotéza o možnom nežiaducom vplyve prídavných obvodov DK na frekvenčné vlastnosti VGA. Za účelom kvantifikovať tento vplyv bola vykonaná simulačná analýza. Táto vo všeobecnosti potvrdila záver malosignálovej analýzy o zmenšení pásma zosilňovača. Na druhej strane, tento vplyv ako ukazujú výsledky je relatívne zanedbateľný.

Podstatou analýzy je detailné porovnanie amplitúdovej frekvenčnej charakteristiky pôvodného VGA bez kalibračných obvodov a digitálne kalibrovaného VGA. Tieto priebehy sú vo forme zisku v typických podmienkach porovnané v grafe na obrázku 5.7. Tri sady priebehov sú parametrizované úrovňou zisku, ktorý je nastavovaný riadiacim napätím ( $V_{CTRL}$ ). Z grafu je zrejmé, že pripojením kalibračných obvodov dochádza iba k minimálnej redukcii pásma a zisku.



**Obr. 5.7:** Porovnanie frekvenčnej závislosti napäťového zisku nekalibrovaného VGA a digitálne kalibrovaného VGA (typické podmienky). Priebehy sú parametrizované napäťovým ziskom, ktorý je nastavovaný prostredníctvom  $V_{CTRL}$ .

Pre presnú charakterizáciu zmeny BW a GBW sme zaviedli tzv. koeficient zmeny ( $\delta$ ). Tento je daný podielom hodnoty sledovaného parametra pred pripojením kalibračných obvodov voči hodnote po ich pripojení k VGA. Na obrázku 5.8 je znázornená závislosť  $\delta$  od  $V_{CTRL}$  v najhorších prípadoch okrajových podmienok rozptylu technológie. Koeficienty  $\delta_{BW}$  a  $\delta_{GBW}$  sú stabilné pre hodnoty  $V_{CTRL}$  v rozsahu medzi 0 V až 0,3 V, čo predstavuje interval vyšších ziskov VGA.  $\delta_{BW}$  sa tu pohybuje v rozsahu od 90% do 105% a  $\delta_{GBW}$  od 98% do 100%, čiže takmer bez zmeny.



**Obr. 5.8:** Závislosť koeficientu zmeny BW a GBW zosilňovača v najhorších prípadoch okrajových podmienok rozptylu technológie.

# 6 Zhrnutie dosiahnutých výsledkov a prínosov

Digitálna kalibrácia je perspektívnou možnosťou ako kompenzovať rastúci rozptyl elektrických vlastností analógových IO v nanometrových technológiách. Vo výrobných procesoch pod 100 *nm* je určitá forma kalibrácie nevyhnutná a v budúcnosti bude preto rásť jej dôležitosť. Digitálny spôsob riadenia kalibrácie nadobúda výhodu hlavne vďaka svojej robustnosti – efektivite voči rôznym zdrojom rozptylu. Výsledok kalibrácie je stabilný napriek kolísaniu teploty, napätia a predovšetkým je stály po dobu mnohých rokov.

V dizertačnej práci bol podrobne analyzovaný návrh inovatívnej metódy digitálnej kalibrácie, ktorá bola experimentálne implementovaná pre diferenciálny zosilňovač s variabilným zosilnením v technológii CMOS 130 *nm*. Po výrobe prototypu systému bol kalibrovaný tejto experimentálne overený meraniami. Dosiahnuté výsledky boli porovnané s inými publikovanými prácami. Výsledky ukázali vysokú zhodu kľúčových parametrov kalibrovaného zosilňovača s jeho nominálnym návrhom, čo dokazuje vysokú efektivitu navrhnutej metódy.

Z hľadiska výberu metódy kalibrácie pre daný analógový obvod je rozhodujúcim faktorom kvalita spracovávaného signálu. Pokiaľ je požadované nízke harmonické skreslenie, práve digitálna metóda predstavuje efektívne riešenie s malou dodatočnou plochou čipu a nízkou spotrebou energie. Táto metóda zároveň iba minimálne ovplyvňuje frekvenčné vlastnosti na rozdiel od spínaných metód, medzi ktoré patrí Chopper stabilizácia a Auto-nulovanie.

Hlavné prínosy tejto dizertačnej práce pre oblasť výskum a praktické využitie sú nasledovné:

• Hlavným prínosom tejto dizertačnej práce je implementácia konceptu inovatívnej metódy kalibrácie analógových IO prostredníctvom digitálneho algoritmu. Celý systém digitálne kalibrovaného obvodu bol plne integrovaný v technológii CMOS 130 nm. Návrh jednotlivých blokov je prispôsobený pre ultra-nízke napájacie napätie 0,6 V. Vďaka nízkej hodnote  $V_{DD}$  a nízkej spotrebe energie sa tak otvára možnosť použitia metódy v bezdrôtových elektronických systémoch napájaných prostredníctvom zberačov energie z

okolia.

- Kľúčové parametre navrhnutej kalibračnej metódy boli experimentálne potvrdené meraním zapuzdrených vzoriek vyrobených prototypových čipov. Preukázaná vysoká korelácia simulovaných a nameraných výsledkov predstavuje reálny základ pre ďalší výskum v oblasti rozvoja a implementácie kalibračných techník.
- Bola vykonaná detailná analýza a charakterizácia nežiaduceho vplyvu prídavných obvodov kalibračnej metódy na parametre samotného kalibrovaného obvodu. Na základe výsledkov tejto analýzy je možné potlačiť možné nežiaduce vplyvy procesu kalibrácie.
- Návrh modifikácií metódy vhodných pre použitie v analógových systémoch so spojitou činnosťou a jej implementácia pre digitálne kalibrovaný operačný zosilňovač. Spojenie modifikovaných konceptov s optimalizovanou verziou digitálnej kalibrácie prináša plošne a energeticky úspornú kalibračnú metódu s vysokou presnosťou. Súčasne je vhodná pre systémy, spracúvajúce signál spojito a s nízkym skreslením.
- Rozsiahle porovnanie parametrov navrhnutej metódy a dosiahnutých výsledkov voči iným vedeckým prácam v závislosti od podmienok použitia. Porovnanie je zamerané na systémy s nízkym skreslením signálu. Relevantnosť porovnania bola dosiahnutá stanovením merateľného ukazovateľa, ktorý kvantifikuje vlastnosti kalibračných metód s uvážením prídavnej plochy a spotreby energie, a tiež na základe presnosti kompenzácie nežiaducich variácii. Uvedené porovnanie uľahčuje výber vhodnej metódy kalibrácie pre navrhované analógové obvody podľa rozličných kritérií.

#### 7 Záver

Návrh a výroba analógových IO v moderných nanotechnológiách sú značne komplikované významnou fluktuáciou technologických parametrov, zmenou teploty a napätia, a taktiež starnutím materiálových štruktúr. Analýza prezentovaná v úvode tejto práce ukazuje, že prahové napätie tranzistorov s minimálnymi rozmermi v rámci technológii pod 100 nm dosahuje smerodajnú odchýlku 20 - 50%. V prípade operačného zosilňovača takáto variabilita znemožní jeho riadnu činnosť. Určitá forma kompenzácie spomínaných fluktuácií je preto pre vysoko spoľahlivé analógové IO nevyhnutná.

Digitálna kalibrácia predstavuje inovatívnu alternatívu k zaužívaným metódam kalibrácie, ktoré je možné plne integrovať na čipe. Vďaka digitálnemu riadeniu procesu kompenzácie je táto metóda robustná, respektíve odolná voči nežiaducemu rozptylu parametrov a to aj v dlhodobom meradle. Pokročilými technikami je možné dosiahnuť vysokú presnosť kompenzácie, čiže minimálnu reziduálnu odchýlku kompenzovaného parametra. Digitálnu kalibráciu je možné s implementáciou techniky *Ping-pong* alebo adaptívneho algoritmu použiť aj v systémoch spojitých v čase. Treba podotknúť, že obvody digitálnej kalibrácie predstavujú dodatočnú plochu na čipe a spotrebu energie. Taktiež pripojením nových elementov ku kalibrovanému obvodu vzniká dodatočná parazitná impedancia. Táto v prípade operačného zosilňovača predstavuje riziko pre jeho frekvenčné vlastnosti.

Táto dizertačná práca prináša detailnú analýzu implementácie konceptu digitálnej kalibrácie v technológii CMOS 130 nm. Celý systém je navrhnutý pre ultra-nízke napájacie napätie s hodnotou 0,6 V. V práci sú prezentované techniky pre implementáciu DK do systémov so spojitým spracovaním signálu v čase. Obvodová aj verifikačná analýza sa zameriava tak na činnosť jednotlivých častí systému, väzby medzi nimi ako aj na výslednú činnosť celého systému. Z toho vyplývajú dôležité informácie o parametroch, ktoré sa podieľajú na celkových výsledkoch kalibrácie. Dizertačná práca predkladá inovatívne možnosti optimalizácie metódy predovšetkým z hľadiska presnosti kompenzácie, potrebnej plochy na čipe a spotreby energie. Navrhnutý systém DK2 dosahuje preto konkurencie schopnú presnosť kompenzácie ofsetu vstupného napätia OZ s nízkymi dodatočnými nákladmi. Práca tiež obsahuje analýzu nežiaduceho vplyvu obvodov kalibračnej techniky na kalibrovaný obvod. Vďaka získaným poznatkom bol tento potenciálne rizikový vplyv znížený na zanedbateľnú úroveň. Dôkladná verifikácia skúmanej metódy potvrdzuje jej vysoký potenciál v kompenzácii vplyvov PVTA na analógové IO. Prezentované výsledky boli získané simuláciami rozptylu parametrov technológie, zmenou teploty a starnutím. Predovšetkým však, simulácie sú overené experimentálnymi meraniami, pričom bola dosiahnutá vysoká korelácia.

Náš ďalší výskum v tejto oblasti bude zameraný na optimalizáciu príspevku jednotlivých obvodov systému DK k celkovej presnosti kompenzácie. V praxi to znamená implementáciu kalibrácie samotných obvodov DK (napr. DAP a komparátor). Taktiež bude skúmaná implementácia adaptívneho algoritmu pre spojitú činnosť digitálne kalibrovaného OZ. Týmto spôsobom môže vzniknúť spojitý systém s minimálnou dodatočnou plochou a spotrebou energie (digitálny filter) a nízkym THD. V rámci ďalšieho skúmania DK bude realizovaný DAP s adaptívnym nastavením referenčného prúdu. Tým bude možné autonómne prispôsobiť kompenzačné prúdy pre aktuálny ofset danej vzorky OZ. Jednak sa týmto spôsobom zníži spotreba energie a zároveň vzrastie presnosť kompenzácie.

### Literatúra

- Marvin Onabajo and Jose Silva-Martinez. Analog circuit design for process variation-resilient systems-on-a-chip. Springer Science & Business Media, 2012.
- [2] Ziyad Al Tarawneh. The effects of process variations on performance and robustness of bulk CMOS and SOI implementations of C-elements. PhD thesis, Newcastle University, 2011.
- [3] B. Cardoso Paz et al. "variability evaluation of 28nm fd-soi technology at cryogenic temperatures down to 100mk for quantum computing. In *Technical Highlights from the 2020 Symposia on VLSI Technology and Circuits [to be published]*, 2020.
- [4] G. Angelov, D. Nikolov, M. Spasova, and R. Rusev. Study of process variability-sensitive local device parameters for 14-nm bulk finfets. In 2020 43rd International Spring Seminar on Electronics Technology (ISSE), pages 1-4, 2020.
- [5] F. Andrieu et al. Low leakage and low variability ultra-thin body and buried oxide (ut2b) soi technology for 20nm low power cmos and beyond. In 2010 Symposium on VLSI Technology, pages 57–58, 2010.
- [6] Hal Edwards, Tathagata Chatterjee, Mohamed Kassem, Gabriel Gomez, Fan-Chi Hou, and Xiaoju Wu. Device physics origin and solutions to threshold voltage fluctuations in sub 130 nm cmos incorporating halo implant. 10 2010.
- [7] Trent McConaghy, Kristopher Breen, Jeffrey Dyck, and Amit Gupta. Variation-aware design of custom integrated circuits: a hands-on field guide. Springer Science & Business Media, 2012.
- [8] A. Gupta, C. Gupta, H. S. Jatana, and A. Dixit. Investigation of hot-carrier degradation in 0.18- μ m mosfets for the evaluation of device lifetime and digital circuit performance. *IEEE Transactions on Device and Materials Reliability*, 19(4):609–614, Dec 2019.

- [9] B. Ullmann, M. Jech, K. Puschkarsky, G. A. Rott, M. Waltl, Y. Illarionov, H. Reisinger, and T. Grasser. Impact of mixed negative bias temperature instability and hot carrier stress on mosfet characteristics—part i: Experimental. *IEEE Transactions on Electron Devices*, 66(1):232-240, 2019.
- [10] Dieter K. Schroder. Negative bias temperature instability: What do we understand? *Microelectronics Reliability*, 47(6):841 – 852, 2007. Modelling the Negative Bias Temperature Instability.
- [11] Anastasios A. Katsetos. Negative bias temperature instability (nbti) recovery with bake. *Microelectronics Reliability*, 48(10):1655 - 1659, 2008.
- [12] J.H. Stathis and S. Zafar. The negative bias temperature instability in mos devices: A review. *Microelectronics Reliability*, 46(2):270 – 286, 2006.
- [13] Saleh Shaheen, Gady Golan, Moshe Azoulay, and Joseph Bernstein. A comparative study of reliability for finfet. *Facta universitatis-series: Electronics* and Energetics, 31(3):343–366, 2018.
- [14] Z. Cheng and J. Bor. A cmos variable gain amplifier with dc offset calibration loop for wireless communications. In 2006 International Symposium on VLSI Design, Automation and Test, pages 1–4, 2006.
- [15] S. Li, J. Li, X. Gu, H. Wang, M. Tang, and Z. Zhuang. A continuously and widely tunable 5 db-nf 89.5 db-gain 85.5 db-dr cmos tv receiver with digitallyassisted calibration for multi-standard dbs applications. *IEEE Journal of Solid-State Circuits*, 48(11):2762–2774, Nov 2013.
- [16] H. Shih, C. Kuo, W. Chen, T. Yang, and K. Juang. A 250 mhz 14 db-nf 73 db-gain 82 db-dr analog baseband chain with digital-assisted dc-offset calibration for ultra-wideband. *IEEE Journal of Solid-State Circuits*, 45(2):338– 350, Feb 2010.
- [17] H. Shih, C. Chen, Y. Chang, and Y. Hu. An ultralow power multirate fsk demodulator with digital-assisted calibrated delay-line based phase shifter for high-speed biomedical zero-if receivers. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 23(1):98–106, 2015.

- [18] H. Shih, W. Chen, K. Juang, T. Yang, and C. Kuo. A 1.2v interferencesturdiness, dc-offset calibrated cmos receiver utilizing a current-mode filter for uwb. In 2008 IEEE Asian Solid-State Circuits Conference, pages 345–348, 2008.
- [19] Marc Pastre and Maher Kayal. Methodology for the digital calibration of analog circuits and systems. Springer, 2006.
- [20] Behzad and Razavi. Design of analog CMOS integrated circuits. McGraw-Hill, 2001.
- [21] R Jacob Baker. CMOS: circuit design, layout, and simulation, volume 1. John Wiley & Sons, 2008.
- [22] Y. Zhang, Y. Fei, Z. Peng, and F. Huang. A 250 mhz 60 db gain control range 1db gain step programmable gain amplifier with dc-offset calibration. In 2015 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS), pages 227–230, Nov 2015.
- [23] P. Mak, S. U, and R. P. Martins. On the design of a programmable-gain amplifier with built-in compact dc-offset cancellers for very low-voltage wlan systems. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 55(2):496-509, March 2008.
- [24] J. F. Witte, K. A. A. Makinwa, and J. H. Huijsing. A cmos chopper offsetstabilized opamp. *IEEE Journal of Solid-State Circuits*, 42(7):1529–1535, 2007.
- [25] Xiaojie Chu, Min Lin, Zheng Gong, Yin Shi, and Fa Foster Dai. A cmos programmable gain amplifier with a novel dc-offset cancellation technique. In *IEEE Custom Integrated Circuits Conference 2010*, pages 1–4, 2010.

## Publikácie autora

- [MS1] Michal Sovcik, Viera Stopjakova, Daniel Arbet, Martin Kováč, and Miroslav Potočný. Digital methods of calibration for analog integrated circuits in nanotechnologies. In 2017 15th International Conference on Emerging eLearning Technologies and Applications (ICETA), pages 1–6. IEEE, 2017.
- [MS2] Daniel Arbet, Viera Stopjakova, Martin Kovac, Lukas Nagy, Matej Rakus, and Michal Sovcik. 130 nm cmos bulk-driven variable gain amplifier for low-voltage applications. Journal of Circuits, Systems and Computers, 26(08), 2017.
- [MS3] Michal Sovcik, Martin Kovac, Daniel Arbet, Viera Stopjakova, and Miroslav Potocny. Ultra-low-voltage boosted driver for self-powered systems. *Microelectronics Reliability*, 80:155 – 163, 2018.
- [MS4] Viera Stopjakova, Matej Rakus, Martin Kovac, Daniel Arbet, Lukas Nagy, Michal Sovcik, and Miroslav Potocny. Ultra-low voltage analog ic design: Challenges methods and examples. *Radioengineering*, 27(1):171– 185, 2018.
- [MS5] Daniel Arbet, Martin Kovac, Lukas Nagy, Viera Stopjakova, and Michal Sovcik. Variable-gain amplifier for ultra-low voltage applications in 130nm cmos technology. In 2016 39th International Convention on Information and Communication Technology, Electronics and Microelectronics (MIPRO), May 2016.
- [MS6] Michal Sovcik, Michal Matuska, Daniel Arbet, and Viera Stopjakova. Cmos variable-gain amplifier for low-frequency applications. In 2016 IEEE 19th International Symposium on Design and Diagnostics of Electronic Circuits Systems (DDECS), April 2016.
- [MS7] Michal Matuska, Michal Sovcik, Daniel Arbet, and Viera Stopjakova. Spice model of capacitive mems microphone. In 2016 IEEE 19th International Symposium on Design and Diagnostics of Electronic Circuits Systems (DDECS), April 2016.

- [MS8] Michal Sovcik, Martin Kovac, Daniel Arbet, and Viera Stopjakova. Ultra-low-voltage driver for large load capacitance in 130nm cmos technology. In 2017 IEEE 20th International Symposium on Design and Diagnostics of Electronic Circuits & Systems (DDECS), pages 127–132. IEEE, 2017.
- [MS9] Daniel Arbet, Martin Kovac, Lukas Nagy, Viera Stopjakova, and Michal Sovcik. Two-stage bulk-driven variable gain amplifier for low-voltage applications. In 2018 IEEE 21st International Symposium on Design and Diagnostics of Electronic Circuits & Systems (DDECS), pages 45– 50. IEEE, 2018.
- [MS10] Miroslav Potocny, Michal Sovcik, Daniel Arbet, Viera Stopjakova, and Martin Kovac. New input offset voltage measurement setup for ultra lowvoltage fully differential amplifier. In 2018 International Conference on Applied Electronics (AE), pages 1–5. IEEE, 2018.
- [MS11] Michal Sovcik, Viera Stopjakova, Daniel Arbet, Martin Kovac, and Miroslav Potocny. Adverse effects of digital calibration hardware on lowvoltage operational amplifiers. In 2018 28th International Conference Radioelektronika (RADIOELEKTRONIKA), pages 1–4. IEEE, 2018.
- [MS12] Michal Sovcik and Viera Stopjakova. Digital calibration of operational amplifiers for low-voltage and low-power applications. In 2018 IEEE 21st International Symposium on Design and Diagnostics of Electronic Circuits & Systems (DDECS), pages 13-16. IEEE, 2018.
- [MS13] M. Sovcik, V. Stopjakova, D. Arbet, L. Nagy, and M. Kováč. Digital calibration of operational amplifiers and influence of calibration circuitry. In 2018 International Conference on Applied Electronics (AE), pages 1-6, 2018.
- [MS14] Simon Danko, Michal Sovcik, and Viera Stopjakova. Digital calibration of operational amplifiers and influence of calibration circuitry. In 2018 6th International conference on Advances in Electronic and Photonic Technologies (ADEPT), pages 128–131, 2018.

- [MS15] Michal Sovcik, Viera Stopjakova, Daniel Arbet, and Martin Kovac. Digital calibration of low-voltage and low-power analog ics. In 2018 16th International Conference on Emerging eLearning Technologies and Applications (ICETA), pages 505-510. IEEE, 2018.
- [MS16] Lukas Nagy, Daniel Arbet, Martin Kovac, Miroslav Potocny, Michal Sovcik, and Viera Stopjakova. Ekv transistor model for ultra low-voltage bulk-driven circuits. In 2019 17th International Conference on Emerging eLearning Technologies and Applications (ICETA), pages 546-551. IEEE, 2019.
- [MS17] Michal Sovcik, Viera Stopjakova, Daniel Arbet, and Martin Kovac. Onchip digital calibration of low-voltage analog ics in nanotechnologies. In 2019 17th International Conference on Emerging eLearning Technologies and Applications (ICETA), pages 733-738. IEEE, 2019.
- [MS18] Lukas Nagy, Daniel Arbet, Martin Kovac, Miroslav Potocny, Michal Sovcik, and Viera Stopjakova. Performance analysis of ultra low-voltage rail-to-rail comparator in 130 nm cmos technology. In 2019 IEEE AF-RICON, pages 1–5. IEEE, 2019.
- [MS19] Martin Kovac, Daniel Arbet, Viera Stopjakova, Michal Sovcik, and Lukas Nagy. Investigation of low-voltage, sub-threshold charge pump with parasitics aware design methodology. In 2019 IEEE 22nd International Symposium on Design and Diagnostics of Electronic Circuits & Systems (DDECS), pages 1–4. IEEE, 2019.
- [MS20] Viera Stopjakova, Daniel Arbet, Lukas Nagy, Martin Kovac, Miroslav Potocny, Michal Sovcik, Matej Rakus, and Lukas Kohutka. A on-chip energy harvester system for low voltage applications. Technical report.
- [MS21] Michal Sovcik, Viera Stopjakova, Daniel Arbet, and Miroslav Potocny. Autonomous on-chip digital calibration for analog ics in nanotechnologies. In 2020 30th International Conference Radioelektronika (RADI-OELEKTRONIKA), pages 172–176. IEEE, 2020.

- [MS22] Lukas Nagy, Daniel Arbet, Martin Kovac, Miroslav Potocny, Michal Sovcik, and Viera Stopjakova. Dynamic properties of ultra low-voltage railto-rail comparator designed in 130 nm cmos technology. In 2020 23rd International Symposium on Design and Diagnostics of Electronic Circuits & Systems (DDECS), pages 1–4. IEEE, 2020.
- [MS23] Miroslav Potocny, Michal Sovcik, and Viera Stopjakova. Development of test equipment for evaluation of low-power ac/dc converter asic. In 2020 30th International Conference Radioelektronika (RADIOELEK-TRONIKA), pages 181–185. IEEE, 2020.
- [MS24] Martin Kovac, Daniel Arbet, Lukas Nagy, Michal Sovcik, and Viera Stopjakova. Multi-topology dc-dc converter for low-voltage energy harvesting systems.
- [MS25] Michal Šovčík and Viera Stopjaková. Digitálne metódy kalibrácie analógových integrovaných obvodov. In Počítačové architektúry & diagnostika (PAD), 2017, 2017.
- [MS26] Michal Šovčík and Viera Stopjaková. Rozvoj digitálnych metód kalibrácie analógových integrovaných obvodov v nanotechnológiách. In Počítačové architektúry & diagnostika (PAD), 2018, 2018.
- [MS27] Michal Šovčík and Viera Stopjaková. Rozvoj digitálnych metód kalibrácie analógových integrovaných obvodov v nanotechnológiách. In Počítačové architektúry & diagnostika (PAD), 2019, 2019.