

SLOVENSKÁ TECHNICKÁ UNIVERZITA V BRATISLAVE

Fakulta elektrotechniky a informatiky

Ústav elektroniky a fotoniky

Vývoj metód merania a vyhodnocovania parametrov prototypových ASIC čipov

Methods for measurement and evaluation of prototype ASIC chips ICs

Autoreferát dizertačnej práce

na získanie vedecko-akademickej hodnosti Philosophiae Doctor (PhD.)

v študijnom programe: Elektronika a fotonika

v študijnom odbore: Elektrotechnika

forma štúdia: denná

Evidenčné číslo: FEI-104404-80601

autor: Ing. Richard Ravasz

školiťelka: prof. Ing. Viera Stopjaková, PhD.

Bratislava, jún 2025

Dizertačná práca bola vypracovaná na Ústave elektroniky a fotoniky,
Fakulta elektrotechniky a informatiky Slovenskej technickej univerzity v Bratislave.

Predkladateľ: **Ing. Richard Ravasz**
Ústav elektroniky a fotoniky
Fakulta elektrotechniky a informatiky
Slovenská technická univerzita v Bratislave
Ilkovičova 3, 841 04 Bratislava
email: richard.ravasz@stuba.sk

Školiteľka: **prof. Ing. Viera Stopjaková, PhD.**
Ústav elektroniky a fotoniky
Fakulta elektrotechniky a informatiky
Slovenská technická univerzita v Bratislave
Ilkovičova 3, 841 04 Bratislava
email: viera.stopjakova@stuba.sk

Oponenti: **prof. Ing. Michal Frivaldský, PhD.**
Fakulta elektrotechniky a informačných technológií
Žilinská univerzita v Žiline
Univerzitná 8215/1, Žilina, SR
email: michal.frivaldsky@uniza.sk

Ing. Vladimír Sedlák, PhD.
Hardware Design Engineer - Tachyum
Tachyum s.r.o.
email: vladimir.sedlak.mail@gmail.com

Autoreferát bol rozoslaný dňa:

Obhajoba dizertačnej práce sa koná dňa 25. júna 2025 o 13:00 hod. prezenčnou formou pred komisiou pre obhajoby dizertačných prác v študijnom programe Elektronika a fotonika v študijnom odbore Elektrotechnika.

Predseda skúšobnej komisie
prof. Ing. Ivan Hotový, DrSc.

Dekan fakulty FEI STU v Bratislave
prof. Ing. Vladimír Kutiš, PhD.

Obsah

Úvod a motivácia	3
1 Súčasný stav problematiky	4
1.1 Spínané napäťové konvertory	4
1.2 Flyback konvertor	4
1.3 Analýza metód merania elektrického prúdu	5
1.3.1 Odporový bočník	6
1.3.2 MOS tranzistor ako rezistor	8
1.3.3 Meranie prúdu pomocou prúdového zrkadla	9
1.3.4 Zhrnutie	10
1.4 Prevodník času na digitálnu hodnotu	11
1.4.1 TDC s počítadlom	11
1.4.2 TDC s oneskorovacími členmi	12
1.4.3 Vernierov TDC	13
1.4.4 Zhrnutie	14
2 Ciele dizertačnej práce	15
3 Metódy merania/odhadu prúdu v meničoch napätia	16
3.1 Navrhnutá metóda snímania elektrického prúdu	16
3.2 Detektor sklonu poklesu	17
3.2.1 Princíp činnosti a návrh	17
3.2.2 Výsledky simulácií	21
3.2.3 Výsledky meraní prototypových čipov	27
3.2.4 Porovnanie priamej a nepriamej metódy odhadu elektrického prúdu implementovaných v aplikácii.	30
3.2.5 Zhrnutie	33
4 Meranie parametrov ASIC zosilňovačov	35
4.1 Úvod	35
4.2 Analýza vybraných parametrov OZ a ich meranie	35
4.2.1 Vstupný offset	35
4.2.2 Parameter CMRR	36
4.2.3 Parameter PSRR	36
4.3 Testovaný zosilňovač	37

4.4	Návrh meracích obvodov a pracoviska pre overenie parametrov FDDA čipu	38
4.4.1	Meranie parametrov FDDA čipu	39
4.4.2	Diskusia k získaným výsledkom	44
4.5	Komunikačný systém pre ladiacu logiku na čipe	45
4.6	Implementácia komunikačného systému	45
4.7	Grafické rozhranie (GUI)	46
4.7.1	Komunikačný panel	47
4.7.2	Panel s registrami	47
4.7.3	Vykonávací panel	48
4.8	Zhrnutie	49
5	Zhrnutie výsledkov a prínosov	50
6	Záver	52
	Literatúra	59

Úvod a motivácia

Integrované obvody (angl. Integrated Circuit, IC) predstavujú kľúčový prvok moderných elektronických systémov. S narastajúcou mierou integrácie a zložitou IC sa zvyšujú aj požiadavky na ich testovanie, ktoré zabezpečuje kvalitu a spoľahlivosť finálnych produktov. V oblasti prenosnej elektroniky je zároveň prioritou znižovanie spotreby energie, pričom dôležitú úlohu zohráva monitorovanie elektrického prúdu v jednotlivých častiach systému. Zvlášť analógové obvody bývajú energeticky náročnejšie, a preto znalosť ich aktuálnej spotreby môže viesť k efektívnejšiemu riadeniu celého systému na čipe (angl. System-on-Chip, SoC).

V súčasnosti je čoraz dôležitejšie uchovávať informácie o elektrickom prúde v digitálnej forme, ktorá umožňuje jednoduchšiu integráciu s riadiacimi jednotkami. Prúd ako digitálny parameter sa využíva napríklad pri riadení DC/DC meničov, ktoré sú bežnou súčasťou mnohých elektronických aplikácií – od napájacích zdrojov až po zberače energie.

Tradičné metódy merania prúdu často využívajú operačné zosilňovače, odporové bočnčky a analógovo-digitálne prevodníky, čo môže zvýšiť náklady a zároveň negatívne ovplyvniť vlastnosti meraného obvodu. Nepriame metódy merania síce znižujú vplyv meracieho systému na samotný obvod, no môžu byť menej presné. Preto je dôležité vybrať vhodnú metódu merania na základe analýzy kompromisov medzi presnosťou, robustnosťou a nákladmi.

Neoddeliteľnou súčasťou návrhu integrovaných obvodov je aj ich testovanie. Hoci by sa mohlo zdať, že pri precíznom návrhu a výrobe je testovanie zbytočné, aj malé odchýlky môžu viesť k nefunkčnosti čipu. Z tohto dôvodu je potrebné testovanie riešiť už počas návrhového procesu. Správne navrhnuté testovacie štruktúry umožňujú overiť funkčnosť a spoľahlivosť IC a zároveň prispievajú k identifikácii možných porúch.

V prípade prototypových ASIC čipov je často potrebné otestovať viacero obvodov súčasne, čo kladie zvýšené nároky na počet vývodov púzdra čipu. Riešením tohto problému môže byť použitie vnútornej digitálnej logiky, ktorá umožní prepínanie meraných bodov a ich pripojenie na obmedzený počet výstupov. V kombinácii s automatizovaným meracím pracoviskom a grafickým rozhraním sa tak výrazne zjednoduší testovanie a zvýši efektivita hodnotenia výsledkov.

1 | Súčasný stav problematiky

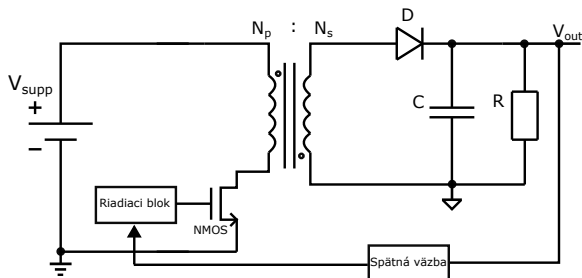
1.1 Spínané napäťové konvertory

Napäťové konvertory sú navrhnuté z polovodičových spínacích komponentov, pracujúcich na rôznych spínacích frekvenciách. Podľa ich charakteristiky ich môžeme rozdeliť na izolované a neizolované konvertory, a podľa typu napäťovej konverzie na tzv. AC-DC, DC-AC, DC-DC, AC-AC meniče [1]. Napäťové meniče sa používajú takmer v každom elektronickom zariadení ako je napríklad ovládač LED osvetlenia, adaptér pre mobilné telefóny a notebooky, a pod. [2]. Úlohou DC-DC napäťového konvertora je previesť napätie zo svojho vstupu na požadovanú hodnotu jednosmerného napätia na svojom výstupe. Súčasťou napäťového konvertora je riadiaci blok, ktorý sa stará o správnu funkčnosť meniča a zabezpečuje potrebnú účinnosť konverzie napätia zo vstupu na výstup [3]. Účinnosť napäťového konvertora pre vstupný výkon P_{in} a pre výstupný výkon P_{out} je určená nasledovne:

$$\eta = \frac{P_{out}}{P_{in}}, \quad (1.1)$$

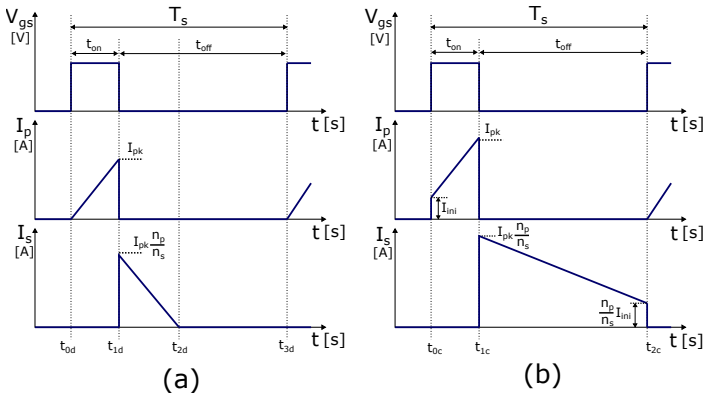
1.2 Flyback konvertor

Flyback konvertor predstavuje jednoduchú, izolovanú topológiu DC-DC meniča vhodnú pre nízko- a stredne-výkonové aplikácie. Princíp činnosti spočíva v akumulácii energie v primárnom vinutí transformátora počas zopnutia NMOS tranzistora, pričom po jeho rozopnutí sa nahromadená energia prenesie na sekundárnu stranu transformátora [4]. Na Obr.1.1 je znázornené principiálne zapojenie napäťového meniča typu flyback.



Obr. 1.1: Principiálne zapojenie napäťového meniča typu flyback

Flyback napáťový menič môže pracovať v dvoch rôznych režimoch [5] [6]. Ak prúd na sekundárnom vinutí klesne na nulu ešte pred uplynutím t_{off} času, takýto režim nazývame DCM (z angl. *Discontinuous Conduction Mode*), viď Obr.1.2(a). Ak prúd na sekundárnom vinutí je väčší ako nula pred uplynutím t_{off} času, takýto režim nazývame CCM (z angl. *Continuous Conduction Mode*), ktorý je zobrazený na Obr. 1.2(b). Počas časového intervalu $t_{0d} - t_{1d}$ a $t_{0c} - t_{1c}$ je spínaný tranzistor zopnutý a primárne vinutie je nabité z napájacieho napätia, čím kondenzátor C dodáva energiu do záťaže. Počas časového intervalu $t_{1d} - t_{2d}$ a $t_{1c} - t_{2c}$ je spínací tranzistor rozopnutý a dióda D je polarizovaná v priepustnom smere. Energia z primárneho vinutia je prenesená na sekundárne vinutie a do záťaže. Časový interval $t_{2d} - t_{3d}$ sa nachádza len pri DCM režime, pričom spínací tranzistor a dióda sú v nevodivom stave. V tomto časovom intervale energiu do záťaže poskytuje len kondenzátor C [7] [8].



Obr. 1.2: Porovnanie režimov činnosti DCM (a) a CCM (b)

1.3 Analýza metód merania elektrického prúdu

Pri návrhu elektronických obvodov je často nevyhnutné poznať hodnoty elektrických prúdov pretekajúcich jednotlivými vetvami alebo časťami obvodu [9]. Tieto prúdy môžu mať veľmi široký rozsah – od niekoľkých nanoampérov pri nízkoprikonových obvodoch až po stovky ampérov v silnoprúdových aplikáciách. Aby sme získali presné informácie o pretekajúcich prúdoch a zároveň minimalizovali ich vplyv na činnosť obvodu, je dôležité zvoliť vhodnú meraciu metódu. Jej výber závisí od typu obvodu a cieľovej aplikácie. Použitá metóda nesmie ovplyvniť parametre ani funkčnosť mera-

ného systému. Meracie techniky možno vo všeobecnosti rozdeliť do dvoch hlavných skupín:

1. Odporové metódy:

- (a) Odporový bočník (angl. *shunt resistor*)
- (b) Výstupný odpor MOS tranzistora R_{DS}

2. Magnetické metódy:

- (a) Prúdový transformátor
- (b) Rogowskeho cievka
- (c) Hallova sonda

V tejto práci sa zameriavame na metódy vhodné pre integrovanú implementáciu v rámci flyback napäťového meniča [10].

1.3.1 Odporový bočník

Jednou z najjednoduchších a najčastejšie používaných metód merania elektrického prúdu je metóda pomocou odporového bočníka. Vychádza z Ohmovho zákona, podľa ktorého je úbytok napätia na rezistore priamo úmerný veľkosti prúdu:

$$V = I \cdot R, \quad (1.2)$$

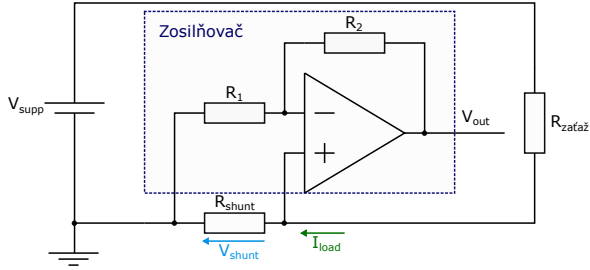
kde V je napäťový úbytok, I pretekajúci prúd a R odpor rezistora [11], [12]. Táto metóda je vhodná pre jednosmerný aj striedavý prúd, nevýhodou však sú výkonové straty, ktoré vznikajú na rezistore:

$$P_{loss} = I^2 \cdot R. \quad (1.3)$$

Zapojenia odporového bočníka so zosilňovačmi

Presnosť merania napätia na odporovom bočníku je výrazne ovplyvnená typom použitého zosilňovača. Medzi základné zapojenia patrí neinvertujúci zosilňovač, diferenciálny zosilňovač a prístrojový zosilňovač.

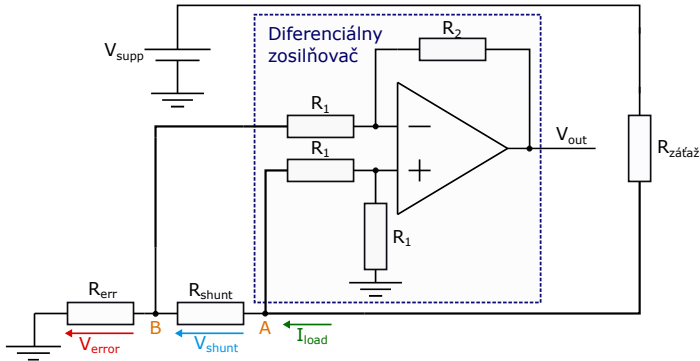
Neinvertujúci zosilňovač (Obr. 1.3) je jednoduchý na implementáciu, avšak môže byť citlivý na parazitné odpory v zemnej slučke



Obr. 1.3: Odporový bočník v zapojení neinvertujícího zesilňovače

Diferenciálny zosilňovač (Obr. 1.4) sníma napätie priamo medzi oboma koncami bočníka, čím eliminuje chyby spôsobené parazitami. Výstupné napätie je dané vzťahom:

$$V_{out} = \frac{R_2}{R_1} (V_A - V_B) = \frac{R_2}{R_1} V_{shunt}. \quad (1.4)$$

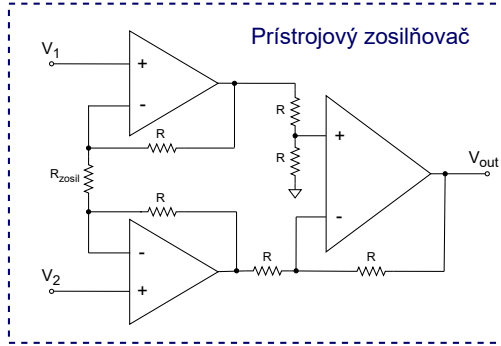


Obr. 1.4: Odporový bočník s diferenciálnym zosilňovačom

Prístrojový zosilňovač (Obr. 1.5) predstavuje najpresnejšie riešenie. Má vysokú vstupnú impedanciu a výborné potlačenie súhlasného napätia (CMRR). Jeho zosilnenie sa nastavuje podľa vzťahu:

$$A_v = 1 + \frac{2R}{R_{zosil}}. \quad (1.5)$$

Tento typ zosilňovača je ideálny pre aplikácie s nízkymi úrovňami signálu, kde je požadovaná vysoká presnosť a stabilita.



Obr. 1.5: Schéma zapojenia prístrojového zosilňovača

1.3.2 MOS tranzistor ako rezistor

Ďalšou odporovou metódou merania elektrického prúdu je technika, ktorá ako snímací prvok využíva odpor kanála MOSFET tranzistora [13], [14]. Princíp činnosti je podobný ako pri odporovom bočniku – založený na snímaní úbytku napätia na tranzistore, ktorý sa v lineárnom režime správa ako odporový prvok.

Ak MOS tranzistor pracuje v lineárnej oblasti, jeho výstupný odpor R_{DS} medzi kolektorom a emitorom možno vyjadriť nasledovne:

$$R_{DS} = \frac{L}{W\mu C_{ox}(V_{GS} - V_T)}, \quad (1.6)$$

Následne je možné vypočítať napäťový úbytok na tranzistore ako:

$$V_{DS} = R_{DS} \cdot I_{DS}, \quad (1.7)$$

Najväčšou nevýhodou tejto metódy je jej nízka presnosť. Je spôsobená nelineárnou závislosťou výstupného odporu R_{DS} od prevádzkových podmienok a značným rozptýlením výrobných parametrov.

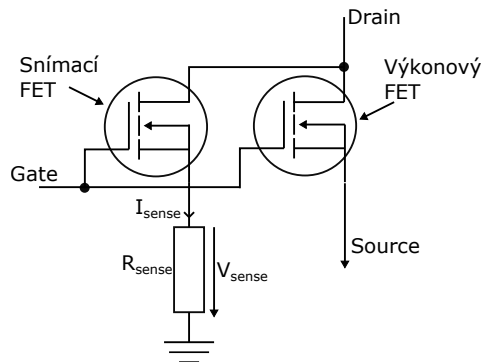
Okrem toho sú parametre ako C_{ox} , μ či V_T citlivé na zmeny teploty, čo spôsobuje exponenciálnu zmenu odporu R_{DS} v závislosti od teploty. Napriek tomu sa táto metóda často používa najmä pre jej jednoduchosť a vysokú účinnosť. Výhodou je, že nevyžaduje žiadne ďalšie snímacie komponenty – tranzistor plní súčasne funkciu spínacieho aj meracieho prvku.

1.3.3 Meranie prúdu pomocou prúdového zrkadla

Ďalšou meracou technikou, ktorá umožňuje efektívne snímanie elektrického prúdu, je metóda založená na prúdovom zrkadle. Pri tejto metóde je snímací MOSFET tranzistor zapojený paralelne s výkonovým spínacím tranzistorom [15], [16]. Principiálna schéma takéhoto zapojenia je znázornená na Obr. 1.6.

Ak predpokladáme, že oba tranzistory pracujú v lineárnom režime, odpor R_{DS} tranzistora v zopnutom stave vypočítame rovnakým spôsobom ako v predchádzajúcej podkapitole. Jeho hodnotu možno ovplyvniť zmenou šírky kanála tranzistora [17].

Vzhľadom na to, že šírka kanála snímacieho tranzistora je výrazne menšia (zvyčajne 100 až 1000-krát) ako šírka výkonového tranzistora, prúd pretekajúci snímacím tranzistorom je len zlomkovou hodnotou hlavného (meraného) prúdu. Tento zlomkový prúd je následne vedený cez snímací rezistor R_{sense} , kde môže byť zosnímaný bez významnej výkonovej straty.



Obr. 1.6: Principiálna schéma merania prúdu pomocou prúdového zrkadla

Táto metóda je veľmi účinná, najmä v oblasti výkonovej elektroniky, kde sa kladie dôraz na minimalizáciu výkonových strát. Vďaka nízkej hodnote prúdu na snímačnej vetve je možné dosiahnuť vysokú účinnosť merania.

Aby však meracie zapojenie poskytovalo presné výsledky, je potrebné venovať zvýšenú pozornosť návrhu topografie prúdového zrkadla.

1.3.4 Zhrnutie

V tejto časti kapitoly sme sa zaoberali analýzou najpoužívanějších priamych metód merania elektrického prúdu, ktoré sú vhodné na integrovanie do napäťového meniča typu flyback. Jednotlivé prístupy sú vzájomne porovnané v Tab. 1.1.

Najjednoduchšou a zároveň veľmi presnou metódou je meranie pomocou odporového bočníka. Jej hlavnou nevýhodou je však vznik výkonových strát, najmä pri vyšších hodnotách pretekajúceho prúdu. Na podobnom princípe je založená aj technika, ktorá využíva výstupný odpor MOS tranzistora (R_{DS}). Hoci nevyžaduje žiadne prídavné súčiastky, jej presnosť je ovplyvnená technologickým rozptylom parametrov a teplotnou závislosťou.

Meracia technika využívajúca prúdové zrkadlo predstavuje kompromis medzi účinnosťou a presnosťou. Vďaka tomu, že cez snúmací tranzistor preteká iba malá časť hlavného prúdu, sú výkonové straty výrazne nižšie. Zároveň však táto metóda vyžaduje presný návrh topografie a dobré zladenie tranzistorov, aby bola zachovaná dostatočná presnosť.

Každá z analyzovaných metód má svoje výhody aj obmedzenia, a preto je výber vhodnej techniky podmienený konkrétnymi požiadavkami danej aplikácie.

Tab. 1.1: Porovnanie priamych metód merania elektrického prúdu.

Parameter	Odporový bočník	MOS tranzistor ako rezistor	Prúdové zrkadlo
Schopnosť merať DC prúd	Veľmi dobrá	Dobrá (závisí od linearity)	Áno, ale obmedzené rozsahom
Chyba merania	Závisí od presnosti R a offsetu zosilňovača (0,1–1 %)	Nelinearita, teplotná závislosť (1–5 %)	Závisí od presnosti zrkadlového pomeru, mismatch tranzistorov (1–10 %)
Izolovanie (galv. oddelenie)	Nie, potrebné doplniť izolačný prvok (napr. optočlen)	Nie	Nie
Rozsah merania	Široký (mA až 100 A, podľa shuntu)	Obmedzený napäťovým rozsahom MOSFETu	Úzky – vhodné pre malé prúdy (μA – mA)
Výkonové straty	Závisí od veľkosti odporu	Významné pri vyšších prúdoch ($R_{DS(on)}$)	Nízke (ak je dobre navrhnuté)
Zložitosť zapojenia	Jednoduché	Stredná – potrebuje kalibráciu	Vyššia – závisí od presnej symetrie
Cena implementácie	Nízka	Nízka až stredná	Vyššia (nutné presné tranzistory, teplotná kompenzácia)

1.4 Prevodník času na digitálnu hodnotu

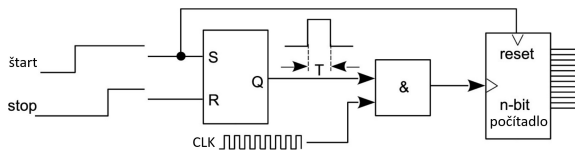
Súčasný trend digitalizácie v elektronike by sa nezaobišiel bez prevodníka času na digitálnu hodnotu (angl. *Time-to-Digital Converter*, TDC). TDC predstavuje kľúčový prvok pri digitálnom spracovaní analógových signálov a nachádza uplatnenie najmä vo vysokofrekvenčných obvodoch – ako napríklad v detektoroch fázy vo fázových závesoch (angl. *Phase-Locked Loop*, PLL) [18, 19].

Princíp kódovania analógovej veličiny prostredníctvom časového intervalu a jej následná digitalizácia nie je novinkou – využíval sa už v prvých návrhoch analógovo-digitálnych prevodníkov (ADC). Spočiatku boli TDC implementované najmä v jadrovej fyzike [20], dnes sú široko používané v ASIC a FPGA riešeníach v rôznych oblastiach.

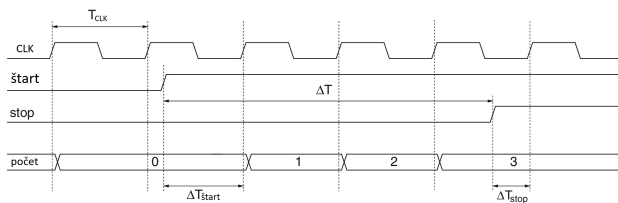
Medzi základné požiadavky TDC architektúr patria: vysoké rozlíšenie, široký merací rozsah, nízka spotreba, jednoduchá kalibrácia a nízke náklady [21, 22].

1.4.1 TDC s počítadlom

Jednou z najjednoduchších implementácií TDC je použitie čítača a referenčného hodinového signálu. Bloková schéma takéhoto TDC je znázornená na Obr. 1.7 a jeho časové priebehy sú na Obr. 1.8.



Obr. 1.7: Bloková schéma TDC s čítačom



Obr. 1.8: Časový diagram TDC s čítačom

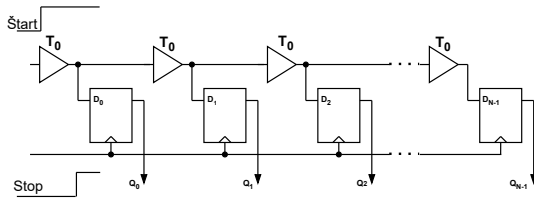
Výsledný interval ΔT medzi signálmi *Start* a *Stop* môžeme vyjadriť ako:

$$\Delta T = N \cdot T_{CLK} + (\Delta T_{start} - \Delta T_{stop}), \quad (1.8)$$

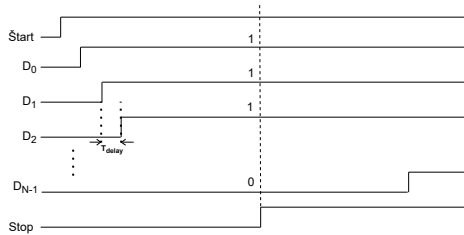
kde N je hodnota počítadla, T_{CLK} je perióda hodinového signálu a ΔT_{start} , ΔT_{stop} predstavujú časové nepresnosti spôsobené asynchrónnosťou začiatku a konca merania.

1.4.2 TDC s oneskorovacími členmi

Druhou často využívanou architektúrou je TDC založený na kaskáde oneskorovacích členov (napr. invertorov). Jej bloková schéma je zobrazená na Obr. 1.9 a časové priebehy na Obr. 1.10.



Obr. 1.9: Blokový diagram TDC s oneskorovacími členmi



Obr. 1.10: Časový diagram TDC s oneskorovacími členmi

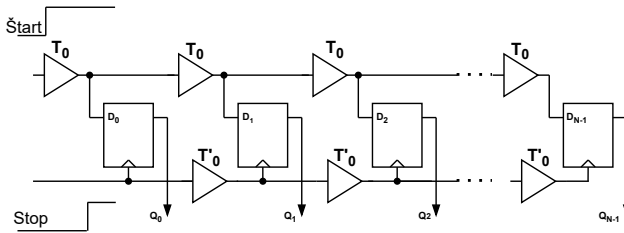
Rozlíšenie tejto architektúry je dané oneskorením jedného člena (T_0), pričom celkový merací rozsah platí:

$$Rozsah = N \cdot T_0 \quad (1.9)$$

1.4.3 Vernierov TDC

Vernierova architektúra TDC (Obr. 1.11) umožňuje dosiahnuť vyššie rozlíšenie ako predchádzajúce zapojenie vďaka využitiu dvoch vetiev oneskorovacích článkov s mierne odlišným oneskorením (T_0 a T'_0). Rozlíšenie tejto topológie je dané rozdielom:

$$\Delta T_0 = T_0 - T'_0 \quad (1.10)$$



Obr. 1.11: Blokový diagram Vernierovho TDC

Vernierov TDC je vhodný pre aplikácie vyžadujúce rozlíšenie pod 10 ps, no jeho presnosť môže byť ovplyvnená teplotou a rozptylom výrobných parametrov.

1.4.4 Zhrnutie

V tejto časti sme porovnali tri vybrané topológie TDC obvodov: s čítačom, oneskorovacími členmi a Vernierovu architektúru. Ich výhody a nevýhody sumarizuje Tab. 1.2. Na základe požiadaviek našej aplikácie sme sa rozhodli implementovať TDC s počítadlom, ktorý ponúka široký merací rozsah a jednoduchú implementáciu. Potenciálnu vyššiu spotrebu pri vyšších frekvenciách sme sa snažili eliminovať dynamickým riadením hodinového signálu, čo je detailnejšie rozobraté v kapitole 3.

Tab. 1.2: Porovnanie topológií TDC

Typ TDC	Výhody	Nevýhody
TDC s oneskorovacími členmi	jednoduchá architektúra vysoké rozlíšenie malá čipová plocha	citlivosť na výrobné odchýlky obmedzený merací rozsah
TDC s počítadlom	široký merací rozsah jednoduchá implementácia nezávislosť od výrobných odchýlok	nížšie rozlíšenie vyššia spotreba pri vysokých frekvenciách
Vernierov TDC	vysoké rozlíšenie (do 10 ps) efektívne využitie čipovej plochy	citlivosť na rozdiely v oneskorení vyššia zložitosť dlhší čas konverzie

2 | Ciele dizertačnej práce

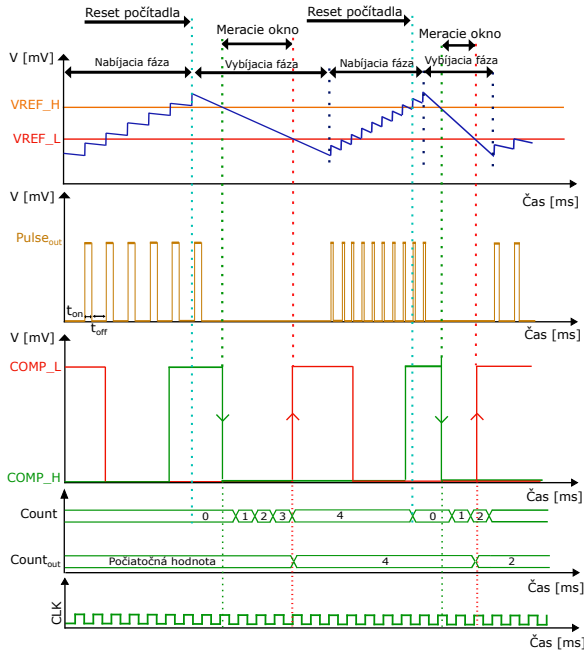
Na základe vykonanej analýzy meracích metód elektrického prúdu, ktorej cieľom je vybrať najvhodnejšiu metódu merania pre implementáciu do riadiaceho systému DC-DC flyback meniča, ako aj na základe potrieb rozvoja všeobecných metód testovania a overovania parametrov prototypových ASIC čipov, boli ciele dizertačnej práce stanovené nasledovne:

- Analýza existujúcich meracích metód elektrického prúdu a výber vhodnej on-chip meracej metódy vzhľadom na jej dopad na meraný systém.
- Návrh, vývoj a implementácia nepriamej metódy odhadu elektrického prúdu na čipe v štandardnej CMOS technológii.
- Experimentálne overenie vyvinutého meracieho systému prostredníctvom merania prototypových čipov.
- Návrh meracieho systému pre overenie parametrov nízkonapäťových ASIC zosilňovačov.

3 | Metódy merania/odhadu prúdu v meničoch napätia

3.1 Navrhnutá metóda snímania elektrického prúdu

Pri riadení meniča je dôležité poznať výstupný prúd aj napätie. Tradičné metódy merania prúdu môžu byť energeticky náročné, a preto sme navrhli nepriamu metódu, založenú na meraní poklesu napätia na výstupnom kondenzátore počas vybijacej fázy. Tento pokles je úmerný odoberanému prúdu a umožňuje jeho odhad bez potreby priameho snímacieho prvku. Princíp navrhnutého riešenia a časové priebehy činnosti meniča spolu s meracím procesom sú na Obr.3.1.



Obr. 3.1: Časové priebehy činnosti konvertora a meracej metódy

Systém meria napätový rozdiel v určenom časovom okne a podľa rýchlosti poklesu napätia vyhodnotí hodnotu prúdu [RR6]. Na Obr.3.1 si môžeme všimnúť výstupné napätie spolu s referenčnými úrovňami V_{REF_H} a V_{REF_L} , spínací signál $Pulse_{out}$,

výstupy komparátorov, hodnota počítadla $Count$, výstup zo systému $Count_{out}$ a systémový hodinový signál CLK .

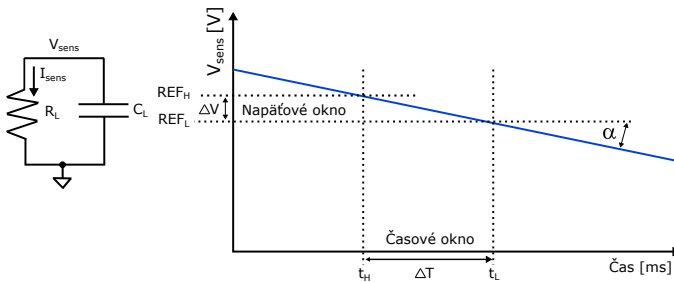
Po aktivácii resetu sa systém nakonfiguruje do počiatočných podmienok a vynuluje sa počítadlo. Po dosiahnutí $VREF_H$ začne vybíjacia fáza a aktivuje sa meranie. Počítadlo $Count$ sa inkrementuje s každou nábežnou hranou hodinového signálu. Keď napätie klesne pod $VREF_L$, hodnota $Count$ sa uloží do registra $Count_{out}$, z ktorého sa pomocou LUT určí konfigurácia ďalšieho spínania.

3.2 Detektor sklonu poklesu

3.2.1 Princíp činnosti a návrh

Princíp činnosti nepriamej metódy odhadu elektrického prúdu (výstupného prúdu meničča), ktorá je vykonaná navrhnutým meracím systémom nazvaným aj ako *detektor sklonu poklesu* napätia, je načrtnutý na Obr.3.2. Výstupný prúd I_{sens} je závislý od výstupného napätia V_{sens} , a od hodnôt záťaže R_L a výstupného kondenzátora C_L . Výstupný meraný prúd vieme vyjadriť nasledovne:

$$I_{sens} = \frac{V_{sens}}{R_L} \cdot e^{\frac{-t}{R_L C_L}} \approx \frac{V_{sens}}{R_L} \quad (3.1)$$



Obr. 3.2: Princíp činnosti detektora sklonu poklesu

Ak uvažujeme veľkú hodnotou kapacity výstupného kondenzátora, potom $t/R_L C_L \rightarrow 0$ z čoho vyplýva, že vo fáze vybíjania sa snímané napätie na kondenzátore mení lineárne a je možné ho jednoducho snímať pomocou navrhutej nepriamej metódy. Sklon

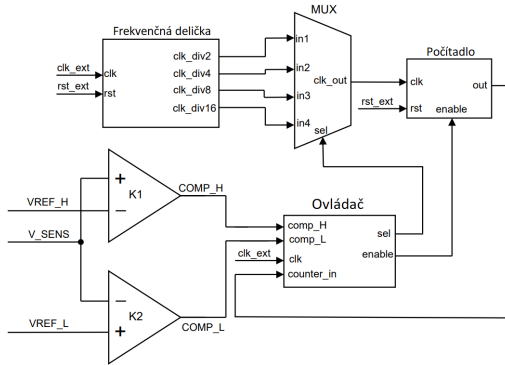
poklesu výstupného napätia označeného ako α snímame v časovom okne ΔT , ktoré je nastavené referenčnými napätiami V_{REFH} a V_{REFL} .

Hodnotu výstupného prúdu môžeme potom vyjadriť nasledovným vzťahom:

$$I_{sens} = C_L \cdot \frac{\Delta V}{\Delta T} = \frac{V_{REFL} - V_{REFH}}{t_L - t_H} \quad (3.2)$$

Bloková schéma navrhnutého obvodu nepriamej metódy odhadu elektrického prúdu je zobrazená na Obr. 3.3. Merací hardvér sa skladá z piatich blokov:

- Delička frekvencie
- 4-kanálový multiplexor (MUX)
- Ovládač
- 10-bitové počítadlo
- tzv. Window komparátor (tvorený komparátormi K1, K2)



Obr. 3.3: Bloková schéma navrhnutého obvodu merania elektrického prúdu

Zosnímané výstupné napätie z meraného systému (napätového meniča) je privedené na vstup *Window komparátora*, ktorý je označený ako V_{SENS} . Vstupy REF_H a REF_L nastavujú dĺžku časového okna, počas ktorého je aktivované počítadlo. Referencie pre komparátory sú privedené z napätových zdrojov. Prípadné nežiaduce zákmity sú odstránené pomocou nastaviteľnej hysterézy. Komparátory s hysterézou boli navrhnuté s použitím štandardnej topológie.

Externý hodinový signál je privedený do frekvenčnej deličky, ktorá podelí vstupnú frekvenciu clk_{ext} na polovicu, štvrtinu, osminu a šestnástinu vstupnej frekvencie. Všetky výstupy z frekvenčnej deličky sú privedené do 4-kanálového multiplexora. Jeho úlohou

je vybrať jeden zo štyroch privedených hodinových signálov zo vstupu na svoj výstup. Multiplexor je riadený dvoma bitmi signálu označeného ako *sel*.

Ďalším dôležitým blokom v systéme je 10-bitové počítadlo, ktoré je pre princíp činnosti navrhutej metódy merania kľúčové, nakoľko slúži na meranie dĺžky časového okna ΔT . Každou nábežnou hranou hodinového signálu *clk* z výstupu multiplexora sa počítadlo inkrementuje o jeden. Pri štarte celého systému, vieme počítadlo resetovať (nastaviť na nulu) pomocou riadiaceho vstupu *rst*. Vstup označený ako *enable* zapína proces počítania. Ak je *enable* v logickej jednotke, počítadlo je aktívne a inkrementuje sa. V opačnom prípade je počítadlo pozastavené.

Úlohou bloku nazvaného ovládač je kontrolovať aktuálny stav počítadla a podľa neho zvoliť hodnotu selektovacieho vstupu multiplexora $sel < 1 : 0 >$, ktorým nastavujeme hodnotu spínacej frekvencie *clk* pre počítadlo. Spínacia frekvencia je voliteľná z dôvodu možnosti zredukovania počtu bitov počítadla. Ak je meraný systém (menič) málo zaťažený, pokles výstupného napätia má malý sklon. Z toho dôvodu by časové meracie okno bolo veľmi dlhé a počítadlo by rátať do vysokých hodnôt. Znížením frekvencie hodinového signálu zredukujeme tento počet.

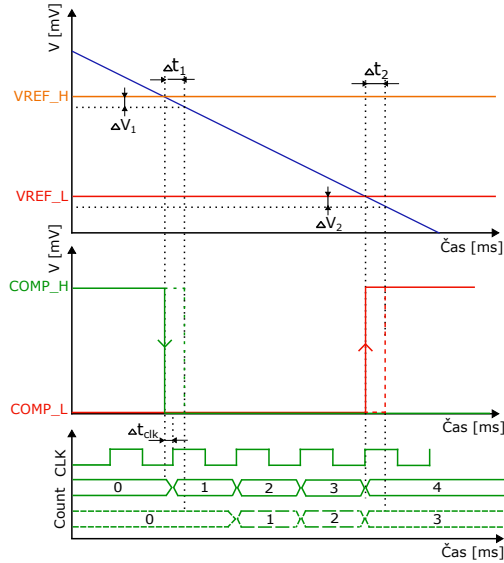
Keďže ako snímací prvok v meracom systéme je použitý window komparátor, presnosť meracej metódy je ovplyvnená rozptylom parametrov výrobného procesu, vstupným ofsetom komparátorov a oneskorením komparátorov. Po zahrnutí spomínaných nežiadúcich vplyvov, výstupný prúd môžeme vyjadriť nasledovne:

$$I_{sens} = C_L \cdot \frac{\Delta V}{\Delta T} = C_L \frac{V_{REFL} - V_{REFH} \pm \Delta V_{off}}{t_L - t_H \pm \Delta t_d}, \quad (3.3)$$

kde ΔV_{off} je rozdiel vstupných ofsetov a Δt_d je rozdiel v oneskorení komparátorov K1 a K2.

Na Obr. 3.4 sú zobrazené časové priebehy snímaného napätia na výstupnom kondenzátore, referenčných úrovní V_{REFH} a V_{REFL} , výstupov komparátorov $COMP_H$ a $COMP_L$, hodinového signálu CLK a stavu počítadla počas celého meracieho cyklu. Priebeh výstupu komparátorov so zohľadnením oneskorenia a hysterézie je znázornený prerušovanou čiarou, zatiaľ čo ideálny priebeh bez týchto vplyvov je zobrazený plnou čiarou.

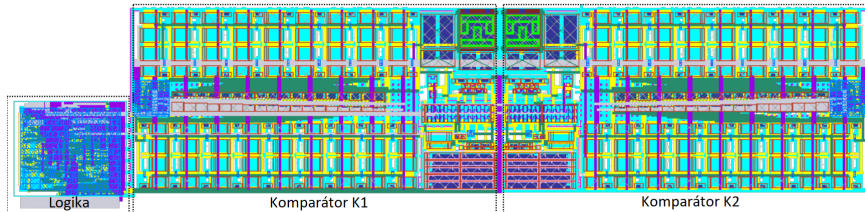
Na obrázku je znázornená aj chyba merania Δt_{clk} , ktorá vzniká v dôsledku asynchrónneho správania window komparátora voči hodinovému signálu. Táto chyba je prirodzeným dôsledkom nesúladi medzi okamihom zmeny výstupu komparátora a nábežnou hranou CLK , pričom jej maximálna hodnota nepresiahne periódu hodinového signálu. Hysteréza komparátorov K1 a K2 bola nastavená na rovnakú hodnotu a je označená ako ΔV_1 pre K1 a ΔV_2 pre K2. Výstup komparátorov je pri uvažovaní hyste-



Obr. 3.4: Časové priebehy detektora sklonu poklesu

rézy označený ako Δt_1 pre K1 a Δt_2 pre K2.

Na Obr.3.5 sa nachádza topografia (layout) navrhnutého obvodu detektora sklonu poklesu. Rozmery fyzického rozloženia obvodu sú $62 \mu\text{m} \times 265 \mu\text{m}$, čo predstavuje plochu $0,016 \text{ mm}^2$ v rámci celkovej plochy čipu $2,3 \text{ mm}^2$. Najväčšiu plochu zaberajú komparátory K1 a K2, ktoré majú implementované doplnkové funkcie, ako je nastavitelná hystereza a kalibrácia komparátorov, čo sú veľmi dôležité funkcie hlavne z pohľadu testovania prototypového čipu navrhnutého detektora sklonu poklesu.



Obr. 3.5: Topografia navrhnutého obvodu merania elektrického prúdu

3.2.2 Výsledky simulácií

V tejto časti práce sa zameriavame na simulačné výsledky detektora sklonu poklesu so zohľadnením rozptylu parametrov výrobnjej technológie [RR7]. Analýza bola realizovaná pomocou Monte Carlo simulácie a cez okrajové technologické podmienky. Okrem toho bol obvod testovaný v celom rozsahu pracovných teplôt od $-20\text{ }^{\circ}\text{C}$ do $+85\text{ }^{\circ}\text{C}$.

V Tab.3.1 sú vypočítané hodnoty, ktoré počítadlo ideálne dosiahne pre rôzne smernice poklesu výstupného napätia (SLOPE). Tieto hodnoty budú slúžiť ako referencia pre porovnanie s odsimulovanými a nameranými hodnotami počítadla.

Tab. 3.1: Konverzná tabuľka medzi frekvenciou počítadla, a smernicou časového priebehu výstupného napätia (SLOPE).

	Frekvencia počítadla [kHz]			
SLOPE	500	250	125	62,5
10	3000	1500	750	375
20	1500	750	375	187,5
30	1000	500	250	125
40	750	375	187,5	93,8
50	600	300	150	75
60	500	250	125	62,5
70	428,6	214,3	107,1	53,6
80	375	187,5	93,8	46,9
90	333,3	166,7	83,3	41,7
100	300	150	75	37,5
110	272,7	136,4	68,2	34,1
120	250	125	62,5	31,3
130	230,8	115,4	57,7	28,8
140	214,3	107,1	53,6	26,8
150	200	100	50	25

Vypočítané hodnoty sme získali nasledovne:

$$SLOPE = \frac{\Delta V}{\Delta t} \quad (3.4)$$

$$\Delta t = \frac{\Delta V}{SLOPE}, \quad (3.5)$$

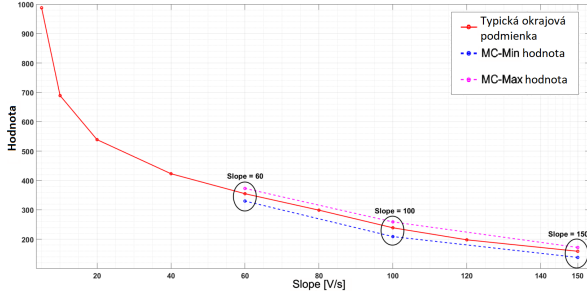
pričom zmenu napätia ΔV sme udržiavali konštantne na 60 mV a Δt sme dopočítali pre zvolenú smernicu krivky poklesu napätia.

Výslednú hodnotu, ktorú má počítadlo ideálne dosiahnuť, sme následne vypočítali pomocou vzťahu:

$$Pocet = \frac{\Delta t}{\frac{1}{F_{poc}}}, \quad (3.6)$$

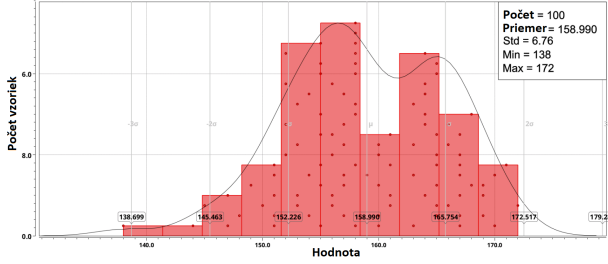
kde *Pocet* predstavuje napočítanú hodnotu počítadla, ktorú dosiahne za čas Δt , a F_{poc} je spínacia frekvencia počítadla.

Na Obr.3.6 môžeme nájsť závislosť dosiahnutej hodnoty počítadla od nastavenej smernice poklesu snímaného napätia. Výsledky sme odsimulovali použitím MC analýzy pre typickú podmienku (červená krivka). Minimálne hodnoty dosiahnuté počítadlom v MC analýze sú znázornené modrou prerušovanou krivkou a maximálne hodnoty sú znázornené fialovou prerušovanou krivkou. Z Obr.3.6 a Obr.3.7 vyplýva, že hodnota počítadla má vplyvom variácie výrobného procesu smerodajnú odchýlku ± 6 . Ak uvažíme variáciu $\pm 3\Sigma$, počítadlo dosiahne hodnoty v rozsahu od 138 do 172, pričom priemerná hodnota je 159 pre sklon 150 V/s. Tento výsledok reprezentuje celkovú chybu navrhovaného systému so zahrnutím variácie výrobného procesu u všetkých blokov implementovaných v meracej obvode.

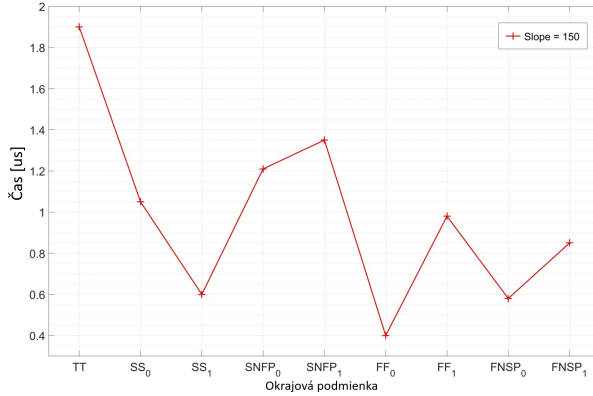


Obr. 3.6: Závislosť konečnej hodnoty počítadla od nastaveného sklonu napätia

Ďalším zdrojom chyby je Δt_{clk} , ktorý je vysvetlený v predchádzajúcej časti práce prostredníctvom Obr.3.4. Na Obr.3.8 si môžeme všimnúť závislosť chyby Δt_{clk} od okrajových podmienok výrobného procesu pre sklon (smernicu) 150 V/s. Maximálna chyba, ktorú Δt_{clk} dosiahne, sú takmer 2 μs . Pri vstupnej frekvencii 1 MHz má chyba spôsobená Δt_{clk} nežiadúci vplyv, ktorý spôsobí odchýlku počítadla o 1 alebo 2 pulzy. Chybu Δt_{clk} sme analyzovali pre rôzne smernice poklesu napätia, pričom maximálna chyba bola 2 μs . Výsledky MC analýzy pre chybu Δt_{clk} pre sklon 150 V/s je znázornená na Obr.3.7. Ak uvažíme variáciu $\pm 3\Sigma$, chyba Δt_{clk} nadobúda hodnoty v rozsahu



Obr. 3.7: Monte Carlo analýza pre sklon 150 V/s
od 1,512 μs do 2,506 μs , pričom stredná hodnota je 1,955 μs .



Obr. 3.8: Δt_{clk} chyba pre slope = 150 V/s

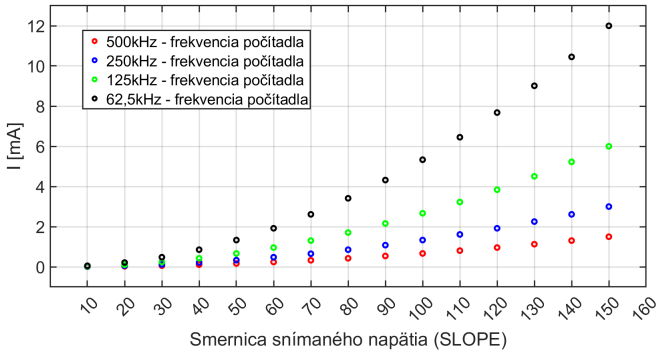
Na Obr.3.9 je znázornená chyba merania prúdu nepriamej metódy v μA . Chyba je závislá od spínacej frekvencie počítadla a od smernice sklonu výstupného snímaného napätia. Túto chybu sme vypočítali na základe zdroja chyby Δt_{clk} , ktorý sa objavuje v meracom systéme pri preklopení komparátorov. Chybu merania sme vypočítali pomocou nasledovných vzťahov:

$$I_{err} = C \frac{\Delta V}{\Delta t + 2\Delta t_{clk}}, \quad (3.7)$$

$$I_{err} = C \frac{\Delta V}{\Delta t + 2\left(\frac{1}{f_{poc}}\right)}, \quad (3.8)$$

kde C je hodnota kapacity výstupného kondenzátora, ΔV je zmena napätia snímaného napätia, ktorú sme nastavili na konštantnú hodnotu 60 mV, čas Δt predstavuje

celkovú dĺžku meracieho okna a Δt_{clk} je chyba merania. Keďže chyba merania Δt_{clk} vzniká na začiatku aj na konci meracieho okna, musíme ju prenásobiť dvoma. Tákýto výpočet platí, ak počas celého merania je frekvencia počítadla konštantná. Ako si môžeme všimnúť na Obr.3.9 s rastúcou smernicou sklonu stúpa aj chyba merania. Najmenšiu chybu merania dosiahneme pri spínacej frekvencii 500 kHz a pri smernici 10. Táto chyba má hodnotu $7 \mu A$, čo je približne 0,07%-tná chyba. Najväčšiu chybu merania sme zaznamenali pri najnižšej spínacej frekvencii počítadla 62,5 kHz a pri najväčšej smernici sklonu 150, pričom táto chyba má hodnotu 12 mA, čo predstavuje 7,4%-tnú chybu.



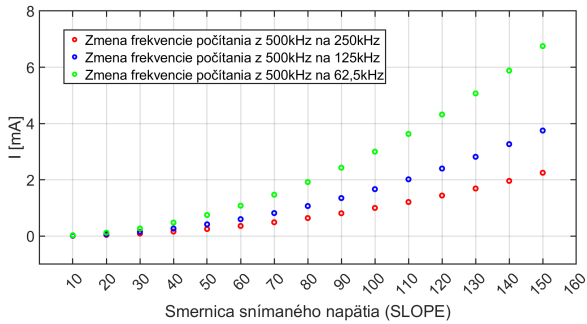
Obr. 3.9: Chyba merania pre rôzne spínacie frekvencie počítadla a smernice (SLOPE)

Ak sa pri snímaní frekvencia počítadla mení dynamicky podľa nastaveného intervalu zmeny frekvencie, potom chybu merania vypočítame nasledovne:

$$I_{err} = C \frac{\Delta V}{\Delta t + \left(\frac{1}{f_{Spoc}} + \frac{1}{f_{Epoc}} \right)}, \quad (3.9)$$

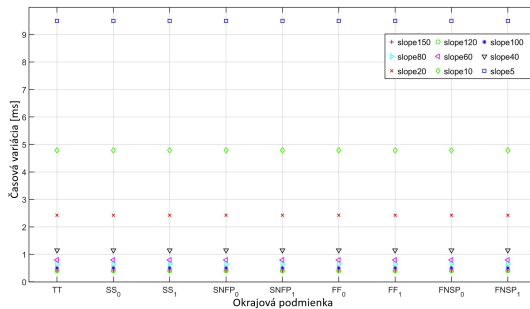
pričom f_{Spoc} je počiatočná spínacia frekvencia počítadla, ktorá je stále rovnaká pre všetky smernice a f_{Epoc} je spínacia frekvencia, ktorá sa nastaví dynamicky na základe stanoveného intervalu. Chyba merania je zobrazená na Obr.3.10. Počiatočná frekvencia f_{Spoc} bola nastavená na hodnotu 500 kHz a konečná frekvencia spínania f_{Epoc} sa nastavuje podľa intervalu na hodnotu 250 kHz, 125 kHz a 62,5 kHz. Najnižšiu chybu merania dosiahneme pri počiatočnej frekvencii spínania 500 kHz, koncovej spínacej frekvencii 250 kHz a smernici 10. Táto chyba merania prúdu je $10 \mu A$. Najväčšiu chybu merania sme zaznamenali pri počiatočnej frekvencii 500 kHz, ktorá sa

dynamicky zmení počas merania na hodnotu 62,5 kHz. Táto má hodnotu 6,75 mA pri smernici 150, čo predstavuje chybu merania 4,3%.



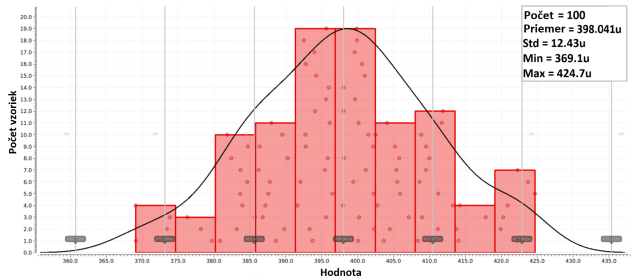
Obr. 3.10: Chyba merania pre rôzne spínacie frekvencie počítadla a smernice (SLOPE)

Za účelom analýzy robustnosti navrhovaného meracieho systému voči rozptylu parametrov výroby sme odsimulovali zmenu časového okna v závislosti od okrajových podmienok technológie pri rôznych teplotách. Dosiahnuté výsledky pre rôzne smernice poklesu napätia sú zobrazené na Obr.3.11.



Obr. 3.11: Variácia časového okna v závislosti od okrajových podmienok

Ako si môžeme všimnúť dĺžka časového okna nadobúda rôzne hodnoty v závislosti od zmeny smernice, ale pre konkrétnu smernicu sa hodnota časového okna pre jednotlivé okrajové podmienky technológie nemení. Výsledky MC analýzy pre rôzne dĺžky časového okna s variáciou $\pm 3\sigma$ sú zobrazené na Obr.3.12. Hodnota dĺžky časového okna sa mení v rozmedzí od 369,1 μs do 424,7 μs pri priemernej hodnote 398,041 μs .



Obr. 3.12: Výsledky MC analýzy: varácia časového okna

Prevodová tabuľka 3.2 popisuje jednotlivé konfigurácie merania a priradenú vstupnú spináciu frekvenciu. Odsimulované výsledky spotreby energie obvodu v závislosti od nastavenej konfigurácie (spínacej frekvencie systému) a okrajových podmienok technológie je možné nájsť v Tab.3.3. Najvyššiu spotrebu obvod vykazoval pri konštantnej spínacej frekvencii 500 kHz a okrajovej podmienke FF1. Naopak najnižšiu spotrebu obvod dosiahol pri konštantnej spínacej frekvencii 62,5 kHz a okrajovej podmienke SS0.

Tab. 3.2: Prevodová tabuľka medzi konfiguráciou merania a vstupnou frekvenciou.

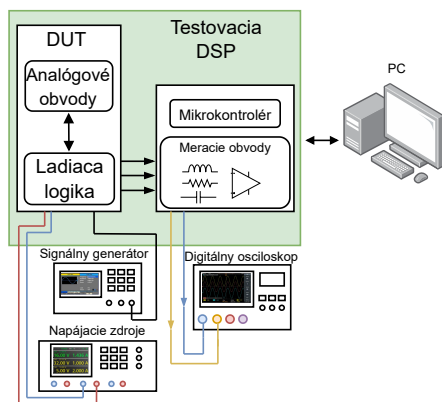
Konfigurácia 1	Dynamická zmena frekvencie Vstupná frekvencia 500 kHz
Konfigurácia 2	Bez dynamickej zmeny frekvencie Vstupná frekvencia 500 kHz
Konfigurácia 3	Bez dynamickej zmeny frekvencie Vstupná frekvencia 250 kHz
Konfigurácia 4	Bez dynamickej zmeny frekvencie Vstupná frekvencia 125 kHz
Konfigurácia 5	Bez dynamickej zmeny frekvencie Vstupná frekvencia 62,5 kHz

Tab. 3.3: Spotreba obvodu pri rôznych spínacích frekvenciách a okrajových podmienkach.

	Konfigurácia 1	Konfigurácia 2	Konfigurácia 3	Konfigurácia 4	Konfigurácia 5
TT	4,707 μW	4,759 μW	4,664 μW	4,617 μW	4,593 μW
SS0	3,34 μW	3,39 μW	3,298 μW	3,253 μW	3,23 μW
SS1	3,905 μW	3,957 μW	3,86 μW	3,811 μW	3,787 μW
SNFP0	3,918 μW	3,969 μW	3,876 μW	3,83 μW	3,807 μW
SNFP1	6,078 μW	6,139 μW	6,039 μW	5,986 μW	5,959 μW
FF0	20,74 μW	20,79 μW	20,69 μW	20,65 μW	20,62 μW
FF1	42,43 μW	42,47 μW	42,38 μW	42,32 μW	42,27 μW
FNSP0	4,472 μW	4,521 μW	4,43 μW	4,385 μW	4,362 μW
FNSP1	9,741 μW	9,785 μW	9,688 μW	9,641 μW	9,607 μW

3.2.3 Výsledky meraní prototypových čipov

Detektor sklonu poklesu bol navrhnutý pomocou opisného jazyka Verilog a implementovaný vo forme ASIC čipu, ktorý bol vyrobený v 65 nm CMOS technológii [RR5]. Na čip boli spolu s detektorom sklonu poklesu implementované aj ďalšie podporné podobvody tvoriace celý systém na čipe. Kritické uzly obvodu boli vyvedené mimo čipu na testovaciu dosku. Celý merací proces bol riadený navrhnutou logikou, ktorá významne zredukovala potrebný počet pinov puzdra čipu. Ďalšou jej výhodou je možnosť kalibrácie vybraného parametra navrhnutého obvodu akým je napríklad hysteréza komparátorov K1 a K2. Bloková schéma vyvinutého meracieho pracoviska pre overenie prototypových čipov je zobrazená na Obr.3.13.



Obr. 3.13: Bloková schéma celého meracieho pracoviska

Namerané výsledky vo forme tabuľky prezentujúcej vzťah medzi spínacou frekvenciou, sklonom snímaného výstupného napätia a konečnou hodnotou počítadla sa nachádzajú v Tab.3.4. Vstupné podmienky merania boli identické s tými v simuláciách. Sklon meraného výstupného napätia sa menil od 10 po 150 a spínacia frekvencia bola nastavená na 500 kHz, 250 kHz a 125 kHz. Taktiež bola použitá dynamická zmena frekvencie, ktorá sa menila v závislosti od nastavených intervalov pomocou riadiacej digitálnej logiky. Ak porovnáme simulačné a namerané výsledky, môžeme si všimnúť rozdiely v konečných hodnotách počítadla. Táto odchýlka mohla pravdepodobne vzniknúť z dôvodu variácie parametrov výrobného procesu prototypových čipov, vneseného

rušenia alebo ďalších nežiaducich vplyvov. Za hlavnou zdroj chyby merania možno pravdepodobne považovať nezhodnosť súčiastok v topografii komparátorov K1 a K2.

Tab. 3.4: Namerané výsledky pri rôznych spínacích frekvenciách, sklone snímaného výstupného napätia a konečnej hodnote počítadla

SLOPE	500 [kHz]	250 [kHz]	125 [kHz]	Dynamická zmena frekvencie [kHz]
10	3122	1338	826	808
20	1456	949	476	627
30	1169	645	333	555
40	911	438	241	510
50	774	389	194	470
60	623	332	164	438
70	534	256	133	407
80	481	241	122	395
90	443	210	111	379
100	389	193	98	350
110	348	175	88	332
120	322	134	82	318
130	298	149	76	302
140	272	136	69	277
150	246	124	64	249

Aby sme tento predpoklad potvrdili, vykonali sme merania oneskorení a hysterézy komparátorov K1 a K2. Meranie boli zrealizované na piatich vzorkách čipov. Namerané časové oneskorenia komparátorov K1 a K2 sa nachádzajú v tabuľke Tab.3.5. Tento rozdiel vyjadruje chybu časového meracieho okna, ktorá prispieva ku celkovej chybe merania. Najhoršiu chybu časového okna má vzorka označená ako Čip 3 a dosahuje hodnotu 994 ns. Ako si môžeme všimnúť v Tab.3.5 hodnoty chyby časového okna dosahujú malé čísla, čo pridáva len zanedbateľný príspevok ku celkovej chybe. Namerané hysterézy komparátorov K1 a K2 sa nachádzajú v tabuľkách Tab.3.6 a Tab.3.7. Hysterézy sme namerali pre nábežnú aj dobežnú hranu komparátorov pri hodnotách smernice poklesu snímaného napätia 10 a 150. Celková chyba počítadla pre rôzne spínacie frekvencie, smernice a merané vzorky je uvedená v tabuľke Tab.3.8. Chyba reprezentuje zmenu šírky časového okna zapríčinenú rôznou hysterézou medzi nábežnou hranou $COMP_L$ a dobežnou hranou $COMP_H$. Najlepšie výsledky dosahuje Čip 1 a Čip 5 pre smernicu 10, a pre smernicu 150 sú to Čip 4 a Čip 5. Ako si môžeme všimnúť, znížením spínacej frekvencie počítadla sa znížila chyba merania navrhutej nepriamej metódy. Znížením spínacej frekvencie však znížime presnosť metódy z pohľadu odhadu veľkosti elektrického prúdu.

3.2. Detektor sklonu poklesu

Tab. 3.5: Oneskorenie komparátorov K1 a K2 - namerané výsledky.

	COMP_L Oneskorenie [us]		COMP_H Oneskorenie [us]		Chyba oneskorenia [ns]
	Nábežná hrana	Dobežná hrana	Nábežná hrana	Dobežná hrana	COMP_L (Nábežná hrana) - COMP_H (Dobežná hrana)
Čip 1	1,613	1,165	2,822	1,089	524
Čip 2	2,054	1,1	1,89	1,170	884
Čip 3	2	1,028	1,765	1,006	994
Čip 4	1,9	1,034	1,983	1,056	846
Čip 5	1,388	1,208	3,282	0,750	638

Tab. 3.6: Nameraná hysteréza komparátora $COMP_L$ pre rôzne vzorky čipu.

	COMP_L							
	HYS - SLOPE 10				HYS - SLOPE 150			
	Nábežná hrana		Dobežná hrana		Nábežná hrana		Dobežná hrana	
	HYS [mV]	Čas [us]	HYS [mV]	Čas [us]	HYS [mV]	Čas [us]	HYS [mV]	Čas [us]
Čip 1	15,2	1320	19,2	1680	7	36	14	87
Čip 2	10,4	944	14,8	1340	9,6	64	17,2	110
Čip 3	10	840	16,4	1370	3,2	256	9,6	780
Čip 4	10	836	15,6	1270	8,8	49	17,2	106
Čip 5	6,4	560	9,6	860	5,5	27	12,8	84

Tab. 3.7: Nameraná hysteréza komparátora $COMP_H$ pre rôzne vzorky čipu

	COMP_H							
	HYS - SLOPE 10				HYS - SLOPE 150			
	Nábežná hrana		Dobežná hrana		Nábežná hrana		Dobežná hrana	
	HYS [mV]	Čas [us]	HYS [mV]	Čas [us]	HYS [mV]	Čas [us]	HYS [mV]	Čas [us]
Čip 1	20	1620	13,6	1250	20,8	140	11,6	74
Čip 2	11,2	880	5,6	520	12,4	84	3,6	24
Čip 3	7,6	700	2,4	160	10	62	1,6	8
Čip 4	14	1200	10	920	16	101	7,6	50
Čip 5	8	680	6	490	11,2	70	4	20

Tab. 3.8: Celková chyba počítadla pre rôzne spínacie frekvencie a smernice.

	SLOPE 10			SLOPE 150		
	500kHz	250kHz	125kHz	500kHz	250kHz	125kHz
Čip 1	35	17,5	8,75	19	9,5	4,75
Čip 2	212	106	53	20	10	5
Čip 3	340	170	85	124	62	31
Čip 4	42	21	10,5	0,5	0,25	0,125
Čip 5	35	17,5	8,75	3,5	1,75	0,875

Tabuľka 3.9 zobrazuje koreláciu konečnej hodnoty počítadla pre výsledky získané simuláciou, post-layout simuláciou a meraním vzorky čipu. Zatiaľ čo výsledky post-layout simulácie vyvinutého detektora sklonu s parazitnými prvkami vykazujú vynika-

júcu koreláciu so simuláciami, výsledky merania prototypových vzoriek vykazujú určité odchýlky. To môže byť spôsobené citlivosťou obvodu na nastavenie jeho kritických častí počas procesu merania, akými sú napr. oscilátor alebo komparátor, ktorého nastavenie hysterézy môže výrazne ovplyvniť samotné meranie.

Radi by sme však zdôraznili, že prezentovaná metóda je určená len na odhad hodnoty výstupného prúdu meniča v určitom rozsahu, ktorý je dostatočný na efektívne riadenie výkonového spínača.

Tab. 3.9: Porovnanie konečnej hodnoty počítadla získanej zo simulácie, post-layout simulácie a meraním pri spínacej frekvencii 125 kHz a pri rôznych hodnotách sklonu.

SLOPE	Simulácia	Post-layout simulácia	Meranie
10	750	751	826
20	375	375	476
30	250	249	333
40	187	187	241
50	150	149	194
60	125	124	164
70	107	107	133
80	93	92	122
90	83	83	111
100	75	75	98
110	68	67	88
120	62	62	82
130	57	58	76
140	53	52	69
150	50	50	64

3.2.4 Porovnanie priamej a nepriamej metódy odhadu elektrického prúdu implementovaných v aplikácii.

Vyššie opísanú a navrhnutú nepriamu metódu merania prúdu sme aplikovali do systému napäťového meniča typu flyback a následne ju vyhodnotili prostredníctvom porovnania so štandardnou priamou metódou merania prúdu. Jednou z najjednoduchších metód merania výstupného prúdu vo flyback konvertore je použitie priamej metódy merania s pomocnými súčiastkami umiestnenými mimo čipu tzv. off-chip. Veľkou výhodou takéhoto prístupu je jeho jednoduchá implementácia a vysoká presnosť merania.

Odmerané napätie je privedené do analógovo-digitálneho prevodníka, kde je jeho hodnota prevedená na číslo. Následne je digitálna hodnota prúdu privedená do systému kontroléra, kde ho príslušný blok spracuje a postará sa o vhodné nastavenie parametrov pre tzv. vyhľadávaciu tabuľku (LUT). Spotreba AD prevodníka sa pohybuje okolo 324 μW . Ide o 12-bitový Sigma-Delta prevodník s nízkou spotrebou energie [23]. Takáto meracia metóda je síce jednoduchá na implementáciu a má vysokú presnosť, avšak pre našu aplikáciu nie je vhodná práve z dôvodu vysokej spotreby a kvôli stratám výkonu na snímacom prvku (shunt rezistore). Preto sme sa v rámci tejto dizertačnej práce rozhodli zamerať na návrh nepriamej metódy merania prúdu, ktorú by bolo možné implementovať s meničom napätia na spoločnom čípe, tzv. on-chip. Výhody a nevýhody nepriamej metódy merania elektrického prúdu v porovnaní s bežnými konvenčnými metódami sú zhrnuté v Tab.3.10.

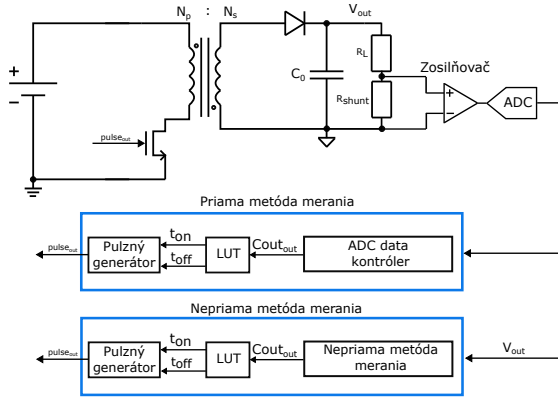
Tab. 3.10: Výhody a nevýhody navrhovanej metódy odhadu elektrického prúdu.

Výhody	Nevýhody
absencia snímacieho prvku absencia AD prevodníka nízka spotreba energie odolnosť voči PVT variáciám	nižšia presnosť potreba window komparátora

Na Obr. 3.14 sú porovnané schémy zapojenia pri použití priamej a nepriamej metódy merania elektrického prúdu na výstupe flyback konvertora.

V oboch porovnávaných metódach merania boli použité rovnaké bloky v radiacom obvode akými sú pulzný generátor či LUT tabuľka. Pulzný generátor je navrhnutý na RTL úrovni pomocou opisného jazyka Verilog. Jeho úlohou je generovanie kontrolného signálu označeného ako *pulse_{out}*, ktorý riadi výkonový NMOS tranzistor na primárnej strane flyback transformátora. Pulzný generátor je riadený dvoma vstupmi. Vstup označený ako *t_{on}* má 5 bitov a nastavuje dĺžku trvania signálu *pulse_{out}* v úrovni logickej jednotky. Druhý vstup označený ako *t_{off}* má 9 bitov a nastavuje dĺžku trvania signálu *pulse_{out}* v logickej nule. Pomocou parametrov *t_{on}* a *t_{off}* vieme nastavovať striedu a aj periódu spínacieho signálu. Takýto spôsob riadenia by sme mohli zaradiť do PWM (z angl. *Pulse-Width Modulation*) a aj PFM (z angl. *Pulse-Frequency Modulation*) metód riadenia. Signály pre pulzný generátor sú privádzané z LUT. Vstupom do LUT je signál *Cout_{out}*, ktorý pochádza z navrhutej nepriamej/priamej metódy merania. LUT prekladá dáta získané z meracieho obvodu na signál, ktorý je privedený do pulzného generátora. Riadiaci signál pre výkonový NMOS tranzistor sa poskladá z *t_{on}* a *t_{off}*

získaných z LUT bloku.



Obr. 3.14: Porovnanie princípu použitia priamej a nepriamej metódy merania prúdu vo flyback napäťovom meniči

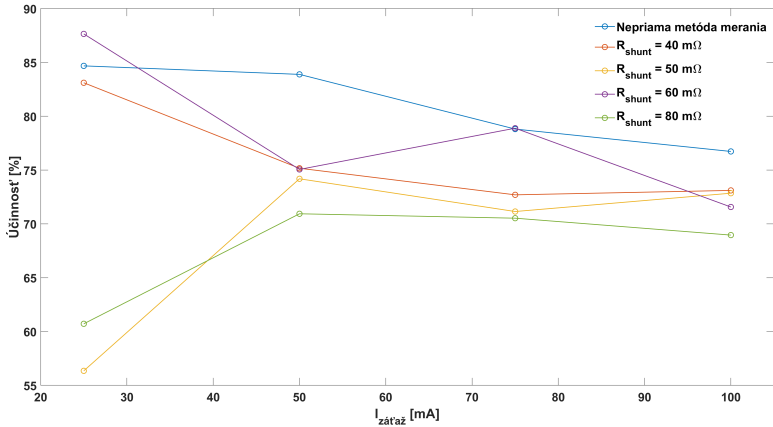
Počas simulácií sme celý systém analyzovali a nastavovali rôzne dĺžky t_{on} a t_{off} , aby sme našli vhodné podmienky, pri ktorých napäťový menič dosahoval najvyššiu účinnosť pre konkrétnu záťaž. Najlepšie nastavené časy trvania t_{on} a t_{off} , pri ktorých vykazoval menič najvyššiu účinnosť pri rôznej záťaži sú zobrazené v Tab.3.11.

Tab. 3.11: Simulované výsledky pre najvyššie dosiahnuté účinnosti konvertora pri konkrétnom nastavení časov t_{on} a t_{off} a výstupného prúdu.

I_{out} [mA]	t_{on} [μ s]	t_{off} [μ s]	Účinnosť konvertora
100	1,7	255	77 %
75	1,2	240	80 %
50	1,7	170	84 %
25	1,7	170	85 %

Aby sme boli schopní relevantne porovnať priamu a nepriamu metódu odhadu elektrického prúdu, bolo potrebné nasimulovať rovnaké podmienky pri oboch meracích metódach. Získané simulované výsledky pri dosahovaní najlepších účinností sú zobrazené na Obr. 3.15. Nastavené časy t_{on} a t_{off} sme prevzali z Tab.3.11. Ide o hodnoty časov, pri ktorých menič vykazoval najlepšiu účinnosť počas simulácií nepriamou metódou odhadu elektrického prúdu. Ako je možné pozorovať, počas simulácie bola menená aj hodnota odporu snímacieho sériového rezistora, aby sme zistili jeho vplyv na účinnosť meniča. Z výsledkov je zrejmé, že účinnosť meniča pri použití priamej metódy merania

výstupného prúdu poklesla.



Obr. 3.15: Porovnanie vplyvu nepriamej a priamej metódy merania na účinnosť konvertora

3.2.5 Zhreutie

Táto kapitola bola venovaná návrhu nepriamej metódy merania/odhadu elektrického prúdu, ktorá bola implementovaná na čip. Navrhnutý merací hardvér sme analyzovali pomocou simulácií ako aj pomocou meraní prototypových vzoriek čipov na testovacej doske. Pomocou tejto metódy a vyvinutého meracieho systému je možné odhadnúť hodnotu výstupného prúdu napäťového meniča na základe sklonu poklesu snímaného napätia na jeho výstupe. Významný negatívny faktor ovplyvňujúci presnosť metódy je nezhodnosť parametrov dvoch komparátorov, ktoré tvoria snímaciu časť samotného meracieho systému. Pre zlepšenie presnosti a vylepšenie metódy je určite potrebné do meracieho obvodu dodatočne implementovať kalibračné metódy a techniky, ktoré zvýšia celkovú presnosť merania. Ako vyplýva z meraní, oneskorenie komparátorov vplyva na presnosť merania len zanedbateľnou mierou. Na druhej strane rôzna hodnota hysterézy oboch komparátorov má za následok posun časového meracieho okna a významne ovplyvní namerané výsledky. Táto hysteréza mohla byť ovplyvnená napríklad výrobným procesom alebo rušením z iných blokov čipu.

Aby sme boli schopní zvoliť správnu metódu merania elektrického prúdu, vykonali sme porovnanie medzi našou nepriamou metódou merania a bežne používanou priamou metódou merania prúdu pomocou odporového bočníka. Obe metódy sme implemen-

tovali na meranie záťažového prúdu v DC-DC flyback meniči. Porovnávali sme vplyv meracích metód na účinnosť konverzie meniča. Zo získaných simulačných výsledkov vyplýva, že pri použití nepriamej metódy merania, konvertor dosahuje vyššiu účinnosť. Ďalšou výhodou nepriamej metódy je skutočnosť, že nie sú potrebné žiadne prídavné snímacie elementy, ktoré zvyšujú celkovú spotrebu systému. Na druhej strane je však zodpovedné poznamenať, že navrhnutá nepriama metóda merania prúdu nemusí dosahovať dostatočnú presnosť, ktorá je u vybraných aplikácií požadovaná.

4 | Meranie parametrov ASIC zosilňovačov

4.1 Úvod

Operačné zosilňovače (OZ) predstavujú základný stavebný prvok analógových systémov a sú široko využívané v elektronických zariadeniach. Pri ich analýze rozlišujeme ideálny a reálny model. Ideálny OZ má nulový vstupný prúd aj ofset, nekonečné zosilnenie, vstupnú impedanciu a nulovú výstupnú impedanciu. V reálnych obvodoch však vstupné ofsetové napätie či závislosť zisku od frekvencie spôsobujú odchýlky, ktoré je nutné zohľadniť pri návrhu.

Návrh OZ zahŕňa viacero krokov – od špecifikácie požiadaviek a výberu topológie až po dimenzovanie tranzistorov a optimalizáciu. Kľúčové parametre ako zosilnenie v otvorenej slučke, PSRR, CMRR, výstupný rozsah alebo spotreba energie výrazne ovplyvňujú výsledné vlastnosti zosilňovača.

4.2 Analýza vybraných parametrov OZ a ich meranie

4.2.1 Vstupný ofset

Jedným z najdôležitejších nežiaducich parametrov operačných zosilňovačov je vstupné ofsetové napätie. Ide o malé jednosmerné napätie, ktoré je potrebné priviesť na vstupy zosilňovača, aby bol výstup nulový. Vzniká v dôsledku nesymetrie vstupného diferenciálneho páru, spôsobenej najmä výrobnými odchýlkami tranzistorov. Tento ofset môže ovplyvniť presnosť zosilňovača, najmä pri spracovaní malých signálov. Ofsetové napätie zároveň ovplyvňuje ďalšie dôležité parametre ako CMRR či PSRR, a preto je jeho minimalizácia, prípadne kalibrácia, kľúčová pri návrhu precíznych analógových obvodov. Jednou z techník používaných na kompenzáciu vstupného ofsetového napätia je napríklad trimovanie.

$$V_{OS} = \frac{V_{OUT}}{1 + \frac{R_2}{R_1}}, \quad (4.1)$$

pričom V_{OS} je vstupné ofsetové napätie, V_{OUT} je výstupné napätie a $1 + \frac{R_2}{R_1}$ je zosilnenie operačného zosilňovača.

4.2.2 Parameter CMRR

Jedným z dôležitých parametrov operačných zosilňovačov je CMRR (Common-Mode Rejection Ratio), ktorý vyjadruje schopnosť potlačiť súhlasné signály na vstupe. Ideálny zosilňovač súhlasné napätie úplne potláča, no reálny môže na tieto signály čiastočne reagovať. V praxi CMRR udáva, ako dobre zosilňovač odfiltruje nežiaduci rušivý signál spoločný pre oba vstupy, pričom zosilní iba rozdielový signál.

Parameter CMRR môžeme vyjadriť nasledovným vzťahom:

$$CMRR = \frac{A_{v(d)}}{A_{cm}}, \quad (4.2)$$

kde $A_{v(d)}$ je diferenciálne napäťové zosilnenie a $A_{(cm)}$ je zosilnenie súhlasného napätia (common-mode zosilnenie). Správne navrhnutý diferenciálny zosilňovač má zvyčajne vysoké diferenciálne zosilnenie a malé common-mode zosilnenie, výsledkom čoho je vysoký parameter CMRR. Parameter CMRR v decibeloch vyjadríme vzťahom:

$$CMRR = 20 \log \left(\frac{A_{v(d)}}{A_{(cm)}} \right) \quad (4.3)$$

4.2.3 Parameter PSRR

PSRR je dôležitý parameter operačných zosilňovačov a iných analógových obvodov a vyjadruje ich schopnosť potlačiť vplyv kolísania napájacieho napätia na výstupný signál. V ideálnom prípade by zmeny napájacieho napätia nemali ovplyvniť výstupné napätie, avšak v reálnych obvodoch sa určité zvlnenie (striedavá zložka napájacieho napätia) môže preniesť na výstup obvodu. PSRR sa definuje ako pomer efektívnej hodnoty (RMS) zvlnenia (angl. *ripple*) napätia na vstupe k efektívnej hodnote zvlnenia napätia na výstupe, vyjadrený v decibeloch:

$$PSRR = -20 \log \left(\frac{Ripple_{IN}}{Ripple_{OUT}} \right), \quad (4.4)$$

kde $Ripple_{IN}$ je RMS hodnota zvlnenia napájacieho napätia, a $Ripple_{OUT}$ je RMS hodnota zvlnenia výstupného napätia. Hodnota PSRR sa obvykle udáva pri rôznych frekvenciách, pretože schopnosť potlačenia zvlnenia sa mení v závislosti od frekvencie rušivého signálu. Vyššia hodnota PSRR znamená lepšiu schopnosť obvodu potlačiť vplyv kolísania napájacieho napätia. Schéma zapojenia OZ pre meranie parametra PSRR je rovnaká ako pri meraní parametra CMRR.

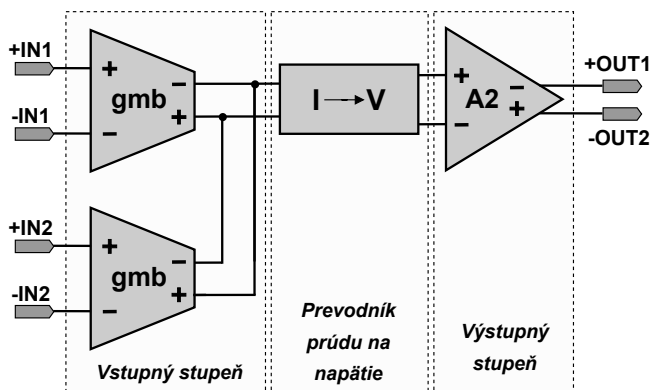
4.3 Testovaný zosilňovač

Jedným z typov OZ je diferenciálny rozdielový zosilňovač (DDA), často používaný ako základný blok v nízko-príkonových analógových a zmiešaných integrovaných obvodoch. Oproti klasickému OZ má DDA štyri vstupy, čo mu umožňuje širšie možnosti spracovania signálu, napr. v integrátoroch, filtroch či modulátoroch. Ak má DDA zároveň aj diferenciálny výstup, nazýva sa plne diferenciálny rozdielový zosilňovač (FDDA). V tejto práci bol testovaným obvodom (DUT) práve FDDA, realizovaný ako zákaznícky integrovaný obvod (ASIC).

Základná bloková schéma testovaného FDDA je zobrazená na Obr.4.1. Zosilňovač sa skladá z troch hlavných častí:

- vstupný stupeň,
- prevodník prúdu na napätie,
- výstupný stupeň.

FDDA má dve diferenciálne časti vo vstupnom stupni, ktoré prevádzajú dve vstupné diferenciálne napätia na dva prúdy. Tieto prúdy sú následne od seba odčítané a výsledný prúd je prevedený naspäť na diferenciálne napätie pre výstupný stupeň, ktorý ho zosilní. $+IN1$, $-IN1$ a $+IN2$, $-IN2$ sú napäťové vstupy, a $+OUT1$ $-OUT2$ sú napäťové výstupy FDDA.



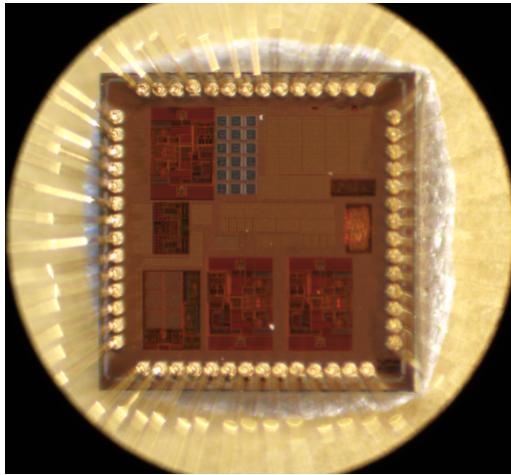
Obr. 4.1: Bloková schéma FDDA

Výstupný stupeň následne toto diferenciálne napätie zosilní. Výstupné napätie FDDA môžeme vyjadriť nasledovným vzťahom:

$$V_{OUT} = A[(V_{+IN1} - V_{-IN1}) - (V_{+IN2} - V_{-IN2})] , \quad (4.5)$$

kde A je celkové zosilnenie, $V_{OUT} = V_{+OUT} - V_{-OUT2}$ je diferenciálne výstupné napätie, $V_{+IN1} - V_{-IN1}$ a $V_{+IN2} - V_{-IN2}$ sú dve diferenciálne vstupné napätia. Blížšie je obvod FDDA opísaný v prácach [24], [25].

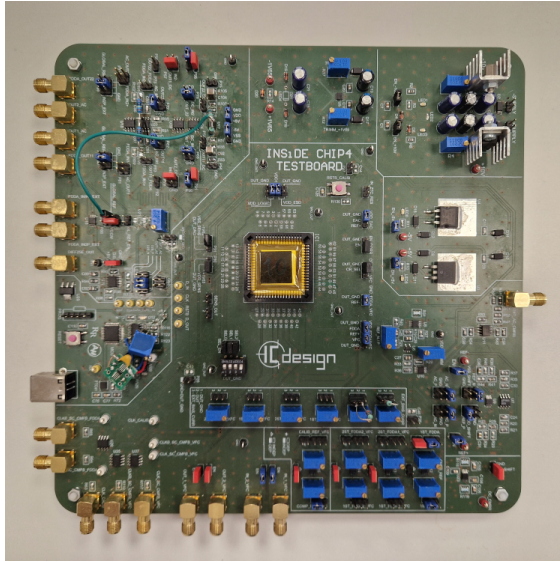
Fotografia vyrobeného čipu s implementovaným FDDA spolu s podpornými podobvodmi sa nachádza na Obr.4.2.



Obr. 4.2: Fotografia FDDA implementovaného na čip

4.4 Návrh meracích obvodov a pracoviska pre overenie parametrov FDDA čipu

FDDA obvod bol navrhnutý v prostredí Cadence a realizovaný v 130 nm CMOS technológii. Pre jeho testovanie boli meracie obvody implementované priamo na čipe. K overeniu funkčnosti prototypov bola navrhnutá testovacia doska s potrebnými obvodmi, pričom fotografia dosky je zobrazená na Obr. 4.3.



Obr. 4.3: Navrhnutá testovacia doska pre verifikáciu FDDA

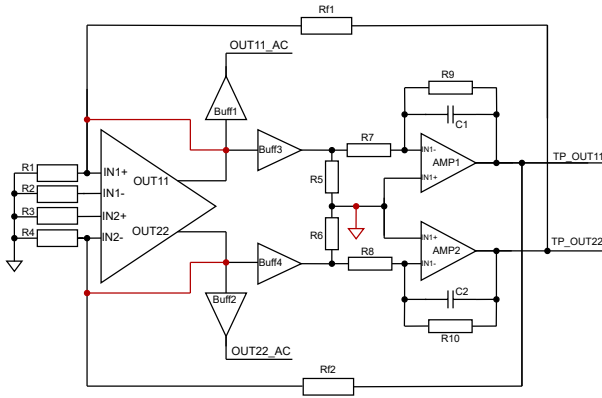
Dôležité uzly a signály pre overenie funkčnosti FDDA boli vyvedené a pripojené na externé obvody umiestnené na testovacej doske. Je to z dôvodu možnosti riadenia týchto uzlov a doladenia parametrov obvodu. Celý systém FDDA a meracích obvodov na čipe je ovládaný navrhnutou digitálnou logikou. Táto logika zjednodušila celkovú verifikáciu obvodu a ušetrila veľa pinov puzdra čipu. Ďalšia funkcia riadiacej logiky je kalibrácia parametrov FDDA. Kontrolná logika komunikuje s čipom cez mikrokontrolér, ktorý slúži ako rozhranie medzi počítačom a testovaným čipom. Pre zjednodušenie ovládania, nastavovania a kalibrácie čipu sme navrhli aj grafické užívateľské rozhranie.

4.4.1 Meranie parametrov FDDA čipu

Schéma FDDA zapojenia nazvaného ako DCLOOP je zobrazená na Obr.4.4. Toto zapojenie slúži na meranie vstupného napäťového offsetu FDDA. Zosilnenie zapojenia DCLOOP pre vstupy IN1+ a IN2- je dané vzťahom:

$$GAIN(-) = -\frac{R_{f2}}{R_4} \quad (4.6)$$

$$GAIN(+) = 1 + \frac{R_{f1}}{R_1} \quad (4.7)$$



Obr. 4.4: FDDA DCLOOP zapojenie

Zosilnenie DCLOOP bolo nastavené na hodnotu 200 pomocou precíznych rezistorov. Červené prepojenia na Obr.4.4 reprezentujú zapojenie počas merania chyby samotnej testovacej dosky označenej ako $ERROR_{TB}$, ktorá má hodnotu $38,73 \text{ mV}$.

Keďže meracia sústava má veľkú časovú konštantu, doba ustálenia pri nastavení meracích parametrov bola až 25 minút. Vstupný offset napätia FDDA sme vypočítali pomocou vzťahu:

$$OFFSET = \frac{DIFF - ERROR_{TB}}{GAIN} \quad (4.8)$$

$$OFFSET = \frac{(OUT22 - OUT11) - ERROR_{TB}}{GAIN} \quad (4.9)$$

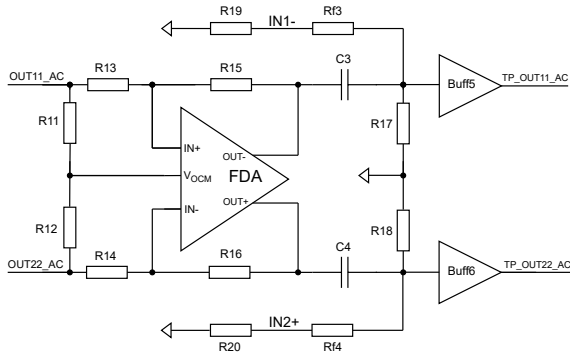
Hodnota vstupného offsetu je $-0,662 \text{ mV}$. Počas merania boli meracie sondy pripojené na uzly označené ako TP_OUT11 a TP_OUT22 .

Schéma zapojenia FDDA v zapojení nazvanom ako ACLOOP je znázornená na Obr.4.5. Hodnota zosilnenia pre vstupy IN1- a IN2+ zapojenia ACLOOP sme nastavili na 1000 pomocou rezistorov R_{f3} , R_2 , R_{f4} a rezistora R_3 .

Zosilnenie sme vypočítali pomocou vzťahov:

$$GAIN(-) = -\frac{R_{f3}}{R_2} \quad (4.10)$$

$$GAIN(+) = 1 + \frac{R_{f4}}{R_3} \quad (4.11)$$

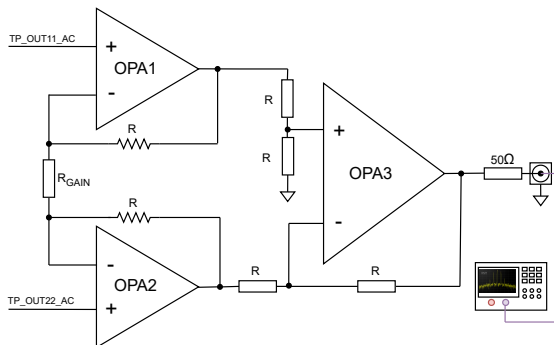


Obr. 4.5: FDDA ACLOOP konfigurácia.

Bloková schéma prevodníka z diferenciálneho vstupu na jednoduchý alebo tiež nazývaný single-ended výstup (D2SE) je zobrazená na Obr.4.6. Napäťové zosilnenie prístrojového zosilňovača (Obr.4.6) je dané vzťahom:

$$Av = 1 + \frac{2R}{R_{GAIN}} \quad (4.12)$$

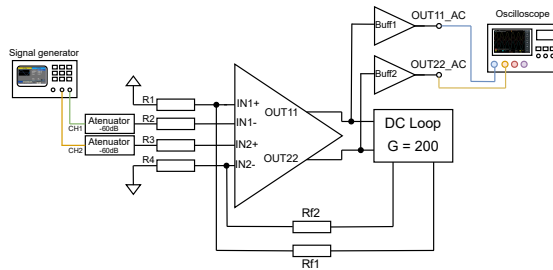
Zosilnenie prístrojového zosilňovača sme nastavili na 2, pričom výstup prevodníka je ukončený rezistorom s hodnotou odporu 50 Ω. Keďže vstupná impedancia spektrálneho analyzátora je 50 Ω, merané napätie je v pomere 1/1 (ako bez zosilnenia).



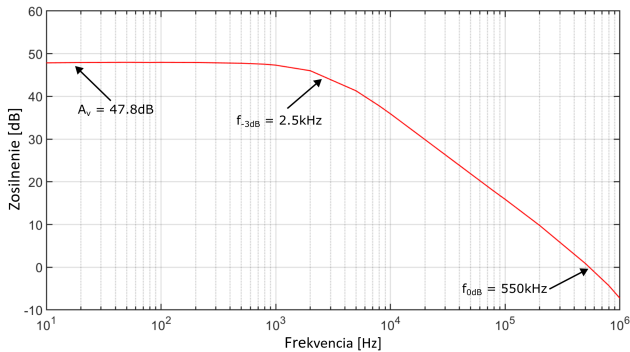
Obr. 4.6: Prevodník diferenciálneho vstupu na single-ended výstup

Schéma zapojenia pre meranie frekvenčnej charakteristiky FDDA sa nachádza na Obr.4.7. Zosilnenie zapojenia DCLOOP sme nastavili na 200. Generátor signálov je pripojený na vstupy $IN1-$ a $IN2+$ cez -60 dB -ový attenuátor a rezistory R2 a R3. Differenciálny výstup z FDDA sme pripojili na osciloskop cez napäťové sledovače označené ako Buff1 a Buff2.

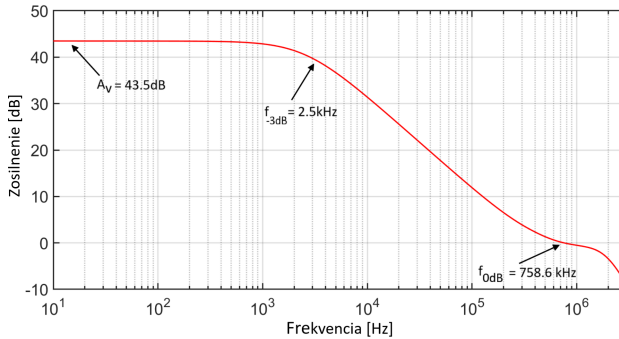
Frekvenčná charakteristika nameraná z jednej vzorky prototypového čipu pri teplote 27°C je zobrazená na Obr.4.8. Nameraná hodnota zosilnenia FDDA je približne 48 dB, pričom šírka pásma zosilnenia (angl. *Gain Bandwidth, GBW*) dosahuje hodnotu 550 kHz a šírka pásma zosilňovača (angl. *Bandwidth, BW*) je 2,5 kHz. Frekvenčná charakteristika získaná zo simulácie sa nachádza na Obr.4.9. Hodnota zosilnenia získaná simuláciami je 43,5 dB a simulovaná šírka pásma zosilnenia je okolo 758,6 kHz.



Obr. 4.7: Schéma zapojenia pre meranie frekvenčnej charakteristiky.

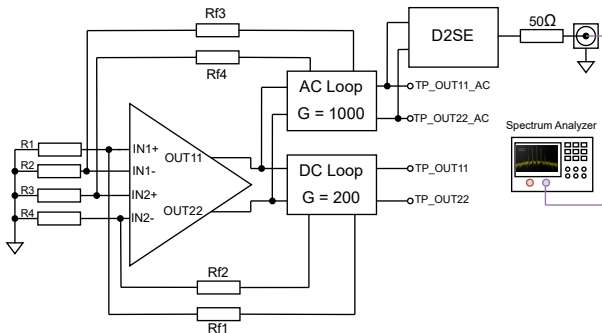


Obr. 4.8: Nameraná frekvenčná charakteristika FDDA.

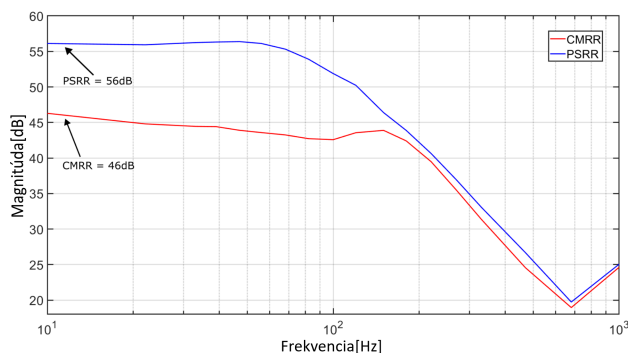


Obr. 4.9: Odsimulovaná frekvenčná charakteristika FDDA.

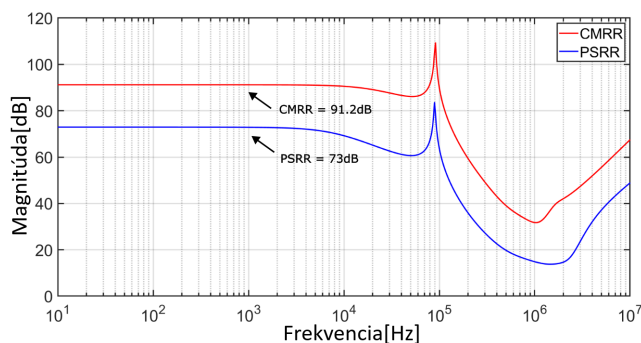
Schéma zapojenia pre meranie parametrov CMRR a PSRR testovaného zosilňovača FDDA sa nachádza na Obr.4.10. Zosilnenie ACLOOP sme nastavili na 1000 pomocou rezistorov Rf3 a Rf4 a zosilnenie DLOOP sme nastavili na hodnotu 200 pomocou rezistora Rf2 a Rf4. Všetky vstupy FDDA sú pripojené voči zemi cez rezistory R1, R2, R3 a R4. Diferenciálny výstup ACLOOP je privedený do prevodníka označeného ako D2SE a následne do spektrálneho analyzátoru cez 50Ω-ový ukončovací rezistor. Parameter CMRR pre FDDA sme namerali pri kolísaní napájacieho napätia vo fáze (kladná hodnota napájania voči zápornej hodnote). Pri parametri PSRR napájacie napätie fluktovalo v protifáze. Namerané charakteristiky parametrov CMRR a PSRR sú zobrazené na Obr.4.11. Charakteristiky CMRR a PSRR parametrov získané simuláciou sú zobrazené na Obr.4.12.



Obr. 4.10: Schéma zapojenia merania CMRR a PSRR parametrov



Obr. 4.11: Nameraná charakteristika CMRR a PSRR



Obr. 4.12: Odsimulovaná charakteristika CMRR a PSRR

4.4.2 Diskusia k získaným výsledkom

Porovnania nameraných a odsimulovaných výsledkov FDDA sú zhrnuté v tabuľke Tab.4.1, kde môžeme pozorovať, že nameraná hodnota GBW sa znížila z 758,6 kHz na hodnotu 550 kHz. Ostatné merané parametre – CMRR a PSRR zaznamenali tak tiež pokles. Na druhej strane nameraný vstupný napäťový ofset a hodnota zosilnenia dosiahla lepší výsledok v porovnaní s výsledkami získanými zo simulácií. Zhoršenie niektorých nameraných parametrov FDDA môže mať viacero príčin, avšak najpravdepodobnejším dôvodom je variácia parametrov výrobnjej polovodičovej technológie. Namerané aj simulované výsledky sme získali pri teplote 27°C . Porovnanie parametrov meraného FDDA s inými prácami je zhrnuté v tabuľke Tab.4.2.

Tab. 4.1: Porovnanie odsimulovaných a nameraných parametrov FDDA.

Parameter	Simulačné výsledky	Namerané výsledky
Jednosmerné zosilnenie	43,5 dB	48 dB
GBW	758,6 kHz	550 kHz
CMRR	91,2 dB	46 dB
PSRR	73 dB	56 dB
Vstupný ofset napätia	-0,880 mV	-0,662 mV

Tab. 4.2: Porovnanie parametrov meraného FDDA s inými prácami.

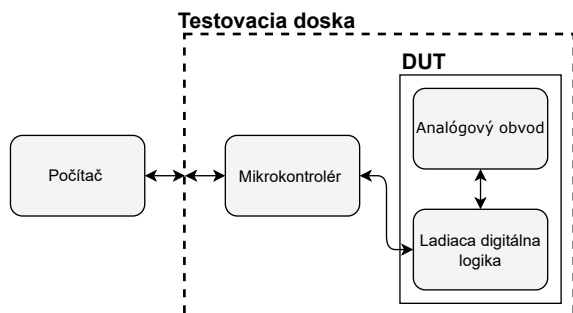
Parameter	FDDA [26]	DDA [27]	Táto práca
Výrobná technológia [μm]	0,05	0,18	0,13
V_{DD} [V]	0,4	1,8	0,4
I_{DD} [μA]	79,6	10,7	59,8
Jednosmerné zosilnenie [dB]	58,6	131	43,5
GBW [MHz]	2,31	1,1	0,7586
CMRR [dB]@1kHz	92	-	91,2
PSRR [dB]@1kHz	-	-	73

4.5 Komunikačný systém pre ladiacu logiku na čipe

Pri návrhu integrovaných elektronických systémov sa kladie dôraz na zmenšovanie rozmerov a minimalizáciu spotreby energie, najmä v prenosných zariadeniach [28]. Výrobný proces však prináša odchýlky parametrov, ktoré môžu ovplyvniť funkčnosť čipu [29]. Na ich kompenzáciu sa často využíva kalibrácia – buď jednorázová (napr. trimovanie tavnými poistkami) [30], alebo flexibilnejšia, opakovateľná metóda s riadiacou logikou a prepínateľnými prvkami (napr. banky rezistorov či kondenzátorov)[RR4].

4.6 Implementácia komunikačného systému

Navrhnutý komunikačný systém slúži na konfiguráciu digitálnej logiky integrovaného čipu, ktorá zabezpečuje kalibráciu parametrov plne diferenciálneho zosilňovača. Pomocou digitálnych registrov je možné ladiť zosilňovač cez jednoduché ovládacie prvky (tlačidlá, enkóder), alebo efektívnejšie pomocou PC a grafického rozhrania. Komunikácia s čipom prebieha prostredníctvom mikrokontroléra, ako znázorňuje Obr. 4.13.

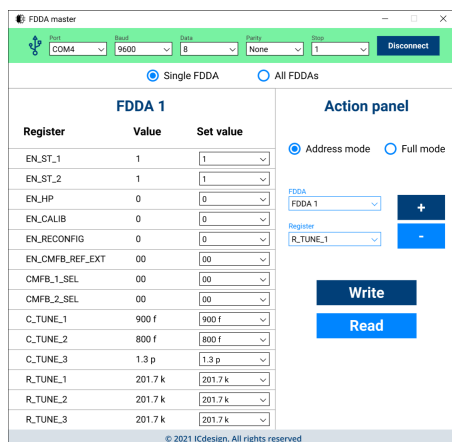


Obr. 4.13: Bloková schéma riadiaceho systému pre meranie/kalibráciu

4.7 Grafické rozhranie (GUI)

Pre jednoduchšiu ovládateľnosť všetkých 42 ladiacich registrov v digitálnej ladiacej logike na čipe sme pomocou programovacieho jazyka Python a s použitím ThInter knižnice navrhli grafické užívateľské rozhranie zobrazené na Obr.4.14. Grafické rozhranie je rozdelené do troch panelov:

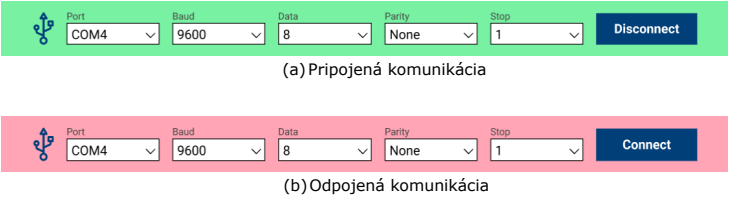
- Komunikačný panel
- Panel s registrami
- Vykonávací (Action) panel



Obr. 4.14: Vyvinuté grafické rozhranie pre automatizáciu merania

4.7.1 Komunikačný panel

Na zabezpečenie komunikácie medzi počítačom a čipom bol použitý komunikačný protokol UART. Užívateľ si môže nastaviť základné komunikačné parametre (port, baud rate, parita atď.) v grafickom prostredí aplikácie. Stav pripojenia je indikovaný farebne – zelená signalizuje aktívne spojenie, červená prerušené (Obr. 4.15).



Obr. 4.15: Aktuálny stav komunikácie

4.7.2 Panel s registrami

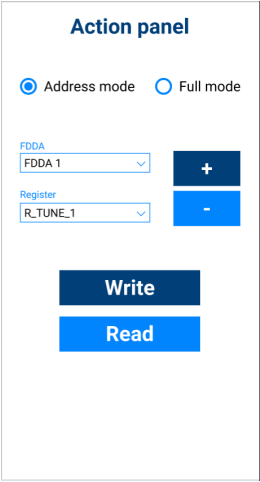
Nastavenie a kontrola registrov ladiacej logiky sa realizuje pomocou prehľadného grafického panelu (Obr. 4.16). Panel umožňuje čítanie a zápis hodnôt do registrov, pričom podporuje ladenie buď jedného, alebo všetkých implementovaných zosilňovačov FDDA na čipe.

FDDA 1		
Register	Value	Set value
EN_ST_1	1	1
EN_ST_2	1	1
EN_HP	0	0
EN_CALIB	0	0
EN_RECONFIG	0	0
EN_CMFB_REF_EXT	00	00
CMFB_1_SEL	00	00
CMFB_2_SEL	00	00
C_TUNE_1	900 f	900 f
C_TUNE_2	800 f	800 f
C_TUNE_3	1.3 p	1.3 p
R_TUNE_1	201.7 k	201.7 k
R_TUNE_2	201.7 k	201.7 k
R_TUNE_3	201.7 k	201.7 k

Obr. 4.16: Panel s registrami

4.7.3 Vykonávací panel

Zápis a čítanie hodnôt registrov prebieha prostredníctvom vykonávacieho panela (Obr. 4.17). Ten umožňuje pracovať buď s jednotlivými registrami (*Address mode*), alebo so všetkými naraz (*Full mode*). Používateľ si tiež môže zvoliť konkrétny FDDA obvod, ktorý chce konfigurovať.



Action panel

☒ Address mode ☐ Full mode

FDDA
FDDA 1

Register
R_TUNE_1

+

-

Write

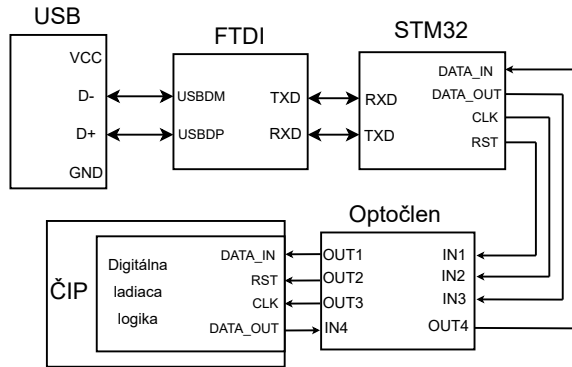
Read

Obr. 4.17: Vykonávací panel

4.8 Zhrnutie

V dizertačnej práci bol navrhnutý a implementovaný kontrolný systém pre ladiacu digitálnu logiku na čípe, vrátane grafického rozhrania. Keďže pôvodná logika nepodporovala štandardné protokoly ako SPI či I2C, bol vyvinutý vlastný komunikačný systém, ktorý bol úspešne nasadený pri testovaní analógových integrovaných obvodov. Komunikácia prebieha cez USB-UART prevodník FT234XD, pričom galvanické oddelenie zabezpečuje optočlen (Obr. 4.18).

Vyvinutý merací systém na overovanie prototypových ASIC obvodov umožňuje okrem merania dôležitých parametrov aj jednoduché nastavovanie ladiacej logiky, ktoré slúži okrem iného aj na kalibráciu zosilňovača prostredníctvom kompenzácie nežiaduceho vplyvu variácií výrobnnej technológie na vlastnosti testovaného obvodu (FDDA). Týmto spôsobom zabezpečíme jeho stabilné vlastnosti aj v technológiách s významným rozptylom parametrov technológie.



Obr. 4.18: Bloková schéma systému implementovaného na testovacej doske

5 | Zhrnutie výsledkov a prínosov

Znalosť veľkosti elektrického prúdu pretekajúceho v integrovaných obvodoch a systémoch implementovaných na čipe je pri ich návrhu veľmi dôležitá. Priame konvenčné metódy merania elektrického prúdu môžu výrazne ovplyvniť vlastnosti meraného obvodu, čo je pri niektorých aplikáciách neprípustné. Zvolením nepriameho prístupu merania elektrického prúdu zredukujeme tento vplyv meracej sústavy na meraný obvod.

V dizertačnej práci bol analyzovaný nepriamy spôsob merania/odhadu veľkosti elektrického prúdu, ktorý bol spolu s podpornými obvodmi implementovaný na čip. Takýto spôsob snímania má slúžiť na meranie elektrického prúdu na výstupe flyback napäťového konvertora, čo má vo výsledku zlepšiť celkovú účinnosť meniča. Navrhnutý systém bol verifikovaný simuláciami, následne implementovaný a vyrobený v štandardnej CMOS technológii vo forme ASIC čipu. Následne boli experimentálnymi meraniami na vyvinutej testovacej doske overené vzorky prototypových čipov. Výsledky ukázali, že navrhnutý princíp merania je vhodný a ľahko použiteľný v danej aplikácii. Avšak nedokonalosť výrobnéj technológie pravdepodobne spôsobila odchýlku v nameraných a simulovaných výsledkoch. Túto diskrepanciu pripisujeme nezhodnosti implementovaných komparátorov, ktoré sú kľúčovou súčasťou meraného systému.

Každý navrhnutý integrovaný obvod musí byť ešte pred finálnym uvedením na trh dôkladne otestovaný. V rámci procesu charakterizácie je možné odhaliť nesúlad so zadanými požiadavkami zákazníka, prípadne zistiť riziká spoľahlivosti obvodu. Obvod, ktorý bol v tejto práci predmetom takýchto meraní je plne diferenciálny diferenčný operačný zosilňovač - FDDA. Na testovacej doske sme okrem podporných meracích obvodov pre zosilňovač implementovali aj digitálnu komunikáciu, riadenú pomocou grafického rozhrania. Získané namerané výsledky uspokojivo korelujú so simulovanými parametrami a potvrdzujú funkčnosť testovaného obvodu po jeho vyrobení.

Za hlavné prínosy a najdôležitejšie výsledky tejto dizertačnej považujeme nasledovné:

- Hlavným prínosom je návrh a implementácia novej nepriamej metódy odhadu elektrického prúdu. Celý systém merania prúdu bol implementovaný na čip v 65 nm CMOS technológii vo forme zákazníckeho IO. Namerané výsledky potvrdzujú funkčnosť a sľubné vlastnosti nepriameho snímacieho systému, čo predstavuje ďalšie možnosti pre výskum v tejto oblasti.
- Bola vykonaná detailná analýza a porovnanie navrhutej nepriamej metódy so štandardne používanou priamou metódou merania elektrického prúdu. Zo zís-

kaných výsledkov vyplýva, že nepriamy prístup odhadu hodnoty prúdu má významne nižšiu spotrebu energie a menej ovplyvňuje samotný meraný obvod.

- Nepriamy merací systém sme implementovali do systému napäťového meniča typu flyback. Získané výsledky potvrdili zväčšenie účinnosti meniča, ktorú vykazoval pri použití navrhutej nepriamej metódy merania elektrického prúdu (v porovnaní so štandardne využívanou metódou merania pomocou odporového bočníka).
- Z dôvodu zistenej odchýlky medzi nameranými a simulovanými výsledkami sme podrobili v systéme použité napäťové komparátory bližšej analýze. Zo získaných výsledkov môžeme povedať, že chyba v hysterézach komparátorov výrazne ovplyvní celkový výsledok dosiahnutý meracím systémom.
- Bola vyvinutá testovacia doska na meranie vybraných parametrov nízkonapätových ASIC zosilňovačov. Vykonalí sme experimentálne overenie vybraných parametrov plne diferenciálneho diferenčného operačného zosilňovača meraním prototypových vzoriek čipov. Proces merania a kalibrácie FDDA obvodu bol ovládaný pomocou navrhnutého grafického rozhrania, cez ktoré bola realizovaná komunikácia s radiacou digitálnou logikou na čípe.

6 | Záver

Pri návrhu integrovaných obvodov sa nezaobídeme bez poznatkov o pretekajúcich prúdoch v jednotlivých vetvách obvodu. Znalosť hodnoty prúdu môže byť veľmi užitočná pri riadení iných častí navrhovaného elektronického systému. Aby sme tieto informácie získali, musíme aplikovať jednu z dostupných meracích metód merania elektrického prúdu. Zvolená a použitá metóda však nesmie degradovať funkčnosť meraného systému.

Veľká časť dizertačnej práce bola zameraná na rozvoj meracích metód na snímanie elektrického prúdu, vhodných pre implementáciu na čip. Analyzovali sme viacero priamych metód merania elektrického prúdu ako je metóda merania pomocou odporového bočníka. Táto metóda patrí medzi najjednoduchšie metódy merania, avšak vyžaduje dodatočné snímacie komponenty (napr. rezistor), ktoré môžu ovplyvniť vlastnosti a parametre meraného systému. Taktiež táto metóda vyžaduje A/D prevodník, ktorý významne zvyšuje celkovú spotrebu obvodu.

Hlavným zámerom tejto dizertačnej práce bolo preto navrhnúť nepriamu metódu merania/odhadu elektrického prúdu a implementovať ju do existujúceho ASIC flyback napäťového meniča. Metódu sme podrobili simuláciám ako aj experimentálnym meraniam na navrhutej testovacej doske. Pri meraniach sme menili smernicu poklesu snímaného výstupného napätia od 10 po 150. Taktiež sme menili aj spínaciu frekvenciu meracej metódy. Z nameraných výsledkov vyplýva, že meracia metóda má potenciál pre použitie v predmetnej aplikácii. Rozdiely medzi výsledkami dosiahnutými v simuláciách a meraniami pripisujeme snímacím napäťovým komparátorom, ktoré sa starajú o riadenie spínania počítadla v meracej metóde. Hlavným zdrojom chyby je pravdepodobne nastaviteľná hystereza v komparátoroch, ktorá bola ovplyvnená rozptylom výrobnjej technológie.

Druhá časť práce bola zameraná na návrh meracích obvodov a testovacej dosky pre overovanie parametrov plne diferenciálneho diferenčného operačného zosilňovača (predtým navrhnutého na našom oddelení). Testovanie integrovaných obvodov je neodmysliteľnou súčasťou ich návrhu a výroby. Každý vyrobený obvod musí byť podrobený dôkladnému otestovaniu, pri ktorom sa odhalia odchýlky v parametroch či funkcii navrhnutého obvodu, prípadne prítomnosť porúch/defektov spôsobujúcich následne zníženie spoľahlivosti obvodu. Aby bolo možné obvod otestovať, je potrebné implementovať meracie štruktúry do obvodov už pri samotnom návrhu IO. Spolu s podpornými meracími obvodmi bol na testovacej doske implementovaný komunikačný systém, ktorý sme ovládali pomocou vyvinutého grafického rozhrania. Na čip bola integrovaná aj riadiaca digitálna logika, ktorá zabezpečuje kalibráciu a ladenie niektorých parametrov. Z na-

meraných výsledkov vyplýva, že navrhnutý obvod dosahuje požadované parametre, čo dokazuje aj korelácia so simulačnými výsledkami.

Ďalší výskum v oblasti rozvoja meracích a kalibračných metód môže byť zameraný na zlepšenie robustnosti metódy a zníženie vplyvu snímacích napäťových komparátorov na merací systém.

Publikácie autora

Vedecké časopisy

- [RR1] R. Ravasz, M. Potočný, D. Arbet, M. Kováč, D. Maljar, L. Nagy, and V. Stopjaková, (2024). Measurement Approach to Evaluation of Ultra Low-Voltage Amplifier ASICs. Measurement Science Review, 24(1), 9-16.

Podiel autora: 50 %

- [RR2] R. Ondica, M. Kovac, A .Hudec, R. Ravasz, D. Maljar, V. Stopjakova and D. Arbet, (2023). An Overview of Fully On-Chip Inductors. Radioengineering, 32(1), 11.

Podiel autora: 5 %

- [RR3] M. Potocny, M. Kovac, D. Arbet, M. Sovcik, L. Nagy, V. Stopjakova and R. Ravasz, (2021). Low-voltage DC-DC converter for IoT and on-chip energy harvester applications. Sensors, 21(17), 5721.

Podiel autora: 10 %

Príspevky z konferencií v databázach WoS alebo Scopus

- [RR4] R. Ravasz, A. Hudec, D. Arbet and V. Stopjakova, (2022, April). On-Chip Current Sensing Approaches for DC-DC Converters. In 2022 25th International Symposium on Design and Diagnostics of Electronic Circuits and Systems (DDECS) (pp. 64-67). IEEE.
Podiel autora: 50 %
- [RR5] R. Ravasz, D. Maljar, D. Arbet, V. Stopjakova and P. Kubinec, (2023, June). Design of the Slope Detection Circuit for On-Chip Current Sensing. In 2023 30th International Conference on Mixed Design of Integrated Circuits and System (MIXDES) (pp. 111-115). IEEE.
Podiel autora: 50 %
- [RR6] A. Hudec, R. Ravasz, D. Arbet and V. Stopjakova, (2021, September). A control system for automated evaluation and tuning of asic parameters. In 2021 International Conference on Applied Electronics (AE) (pp. 1-4). IEEE.
Podiel autora: 30 %
- [RR7] R. Ravasz, A. Hudec, D. Maljar, R. Ondica and V. Stopjakova, (2022, October). Introduction to Teaching the Digital Electronics Design Using FPGA. In 2022 20th International Conference on Emerging eLearning Technologies and Applications (ICETA) (pp. 549-554). IEEE.
Podiel autora: 60 %
- [RR8] R. Ravasz, M. Kovac and V. Stopjakova, (2020, September). Experimental Verification of a Ultra-Low Voltage Charge Pump. In 2020 International Conference on Applied Electronics (AE) (pp. 1-4). IEEE.
Podiel autora: 70 %

-
- [RR9] A. Hudec, R. Ondica, R. Ravasz and V. Stopjakova, (2024, April). Constant Voltage Maximum Power Point Tracking Method for Fully Integrated Solar-Powered Energy Harvester. In 2024 27th International Symposium on Design & Diagnostics of Electronic Circuits & Systems (DDECS) (pp. 152-155). IEEE.
Podiel autora: 10 %
- [RR10] M. Kováč, M. Potočný, D. Arbet, R. Ondica, R. Ravasz and V. Stopjaková, (2023, May). Low-Power CMOS Frequency Comparator. In 2023 46th MIPRO ICT and Electronics Convention (MIPRO) (pp. 196-201). IEEE.
Podiel autora: 15 %
- [RR11] R. Ondica, M. Kováč, R. Ravasz, D. Maljar, A. Hudec and V. Stopjaková, (2022, October). Fully Integrated On-Chip Inductors: An Overview. In 2022 20th International Conference on Emerging eLearning Technologies and Applications (ICETA) (pp. 484-490). IEEE.
Podiel autora: 10 %
- [RR12] A. Hudec, R. Ravasz, R. Ondica and V. Stopjakova, (2023, October). Selected Issues Causing Meta-stability in Digital Circuits and Approaches to Avoiding Them. In 2023 21st International Conference on Emerging eLearning Technologies and Applications (ICETA) (pp. 206-211). IEEE.
Podiel autora: 20 %

Ostatné publikácie autora

- [RR13] R. Ravasz, Rozvoj metód merania a vyhodnocovania parametrov prototypových ASIC čipov. P. Rozkovec, M. Zdenek. PAD 2021. Liberec: Technická univerzita v Liberci, 2022, s. 11–14. ISBN 978-80-7494-592-2.
Podiel autora: 100 %
- [RR14] R. Ravasz, A. Hudec, D. Arbet and V. Stopjakova, (2022). Indirect on-chip current sensing approaches for DC-DC converters. A. Kozáková. ELITECH '22. Bratislava: Vydavateľstvo Spektrum STU, ISBN 978-80-227-5192-6.
Podiel autora: 70 %
- [RR15] R. Ondica, D. Maljar, A. Hudec, R. Ravasz and V. Stopjakova, (2023). Analysis of switching boundaries of a fully integrated DC-DC boost converter. A. Kozáková. ELITECH '23. Bratislava: Vydavateľstvo Spektrum STU, ISBN 978-80-227-5298-5.
Podiel autora: 5 %
- [RR16] A. Hudec, R. Ondica, R. Ravasz and V. Stopjakova, (2022) . Design and analysis of power consumption of MPPT controller in 130 nm CMOS technology. A. Kozáková. ELITECH '22. Bratislava: Vydavateľstvo Spektrum STU, ISBN 978-80-227-5192-6.
Podiel autora: 10 %
- [RR17] D. Maljar, R. Ravasz and V. Stopjakova, (2023). Digital Autocalibration of Analog ICs and its Practical Application. D. Jandura, I. Lettrichova, J. Kováč. ADEPT 2023. Žilina: Vydavateľstvo EDIS, s. 99–102. ISBN 978-80-554-1977-0.
Podiel autora: 30 %

-
- [RR18] R. Ondica, A. Hudec, R. Ravasz and V. Stopjakova, (2023). Digital control method for a fully integrated voltage converter. D. Jandura, I. Lettrichova, J. Kováč. ADEPT 2023. Žilina: Vydavateľstvo EDIS, s. 107–110. ISBN 978-80-554-1977-0.

Podiel autora: 5 %

- [RR19] L. Stuchlikova, RAVASZ, Richard, J. Drobny, A. Kosa, P. Benko, J. Kovac, L. Sylvain. Electrically active defects in 10 kV SiC PIN diode structures with natural and isotope pure layers. In ASDAM 2018 : 12th International conference on advanced semiconductor devices and microsystems. Smolenice, Slovakia. October 21-24, 2018. 1. ed. Danvers : IEEE, 2018, S. 5-8. ISBN 978-1-5386-7488-8.

Podiel autora: 15 %

- [RR20] L. Stuchlikova, O. Pohorelec, R. Ravasz Richard, A. Kosa, P. Benko, J. Kovac, L. Sylvain. DLTS study of defects in SiC based devices. In International workshop on devices and applications project : Escel ju Osiris. Bratislava, Slovakia. December 14-15, 2017. 1.vyd. Bratislava : Desidia Tech l.t.d, 2017, S. 38-40. ISBN 978-80-972928-1-2. Kategória publikácie do 2021: BEF

Podiel autora: 15 %

Literatúra

- [1] Y. P. Siwakoti, M. Forouzesh, and N. H. Pham, “Power electronics converters—an overview,” *Control of Power Electronic Converters and Systems*, pp. 3–29, 2018.
- [2] W. Chong, C. Xiangyu, Y. Yu, S. Daying, and G. Wenhua, “A constant current control method for primary-side regulation active-clamp flyback converter with small current sensing resistor,” in *2023 IEEE Energy Conversion Congress and Exposition (ECCE)*, pp. 3524–3528, IEEE, 2023.
- [3] R. W. Erickson and D. Maksimovic, *Fundamentals of power electronics*. Springer Science & Business Media, 2007.
- [4] A. A. Mohammed and S. M. Nafie, “Flyback converter design for low power application,” in *2015 International conference on computing, control, networking, electronics and embedded systems engineering (ICCNEEE)*, pp. 447–450, IEEE, 2015.
- [5] Y. Li and Z. Zhu, “A constant current control scheme for primary-side controlled flyback controller operating in dcm and ccm,” *IEEE Transactions on Power Electronics*, vol. 35, no. 9, pp. 9462–9470, 2020.
- [6] S. Xu, Q. Shen, C. Wang, D. Ding, and W. Sun, “A digital control scheme for psr flyback converter in ccm and dcm,” *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 8, no. 3, pp. 2837–2849, 2019.
- [7] T.-J. Liang, K.-H. Chen, and J.-F. Chen, “Primary side control for flyback converter operating in dcm and ccm,” *IEEE Transactions on Power Electronics*, vol. 33, no. 4, pp. 3604–3612, 2017.
- [8] Y. Li and J. Zheng, “A low-cost adaptive multi-mode digital control solution maximizing ac/dc power supply efficiency,” in *2010 Twenty-Fifth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 349–354, IEEE, 2010.
- [9] S. Wang, C. Lu, L. Song, Y. Chen, Z. Fu, F. Liu, and H. Huang, “Research on characteristics of a high precision current sensor,” in *2022 23rd International Conference on Electronic Packaging Technology (ICEPT)*, pp. 1–4, IEEE, 2022.
- [10] H. P. Forghani-Zadeh and G. A. Rincon-Mora, “Current-sensing techniques for dc-dc converters,” in *The 2002 45th Midwest Symposium on Circuits and Systems, 2002. MWSCAS-2002.*, vol. 2, pp. II-II, IEEE, 2002.
- [11] P. Scherz and S. Monk, *Practical electronics for inventors*. McGraw-Hill Education, 2013.
- [12] W. Huang, X. Yang, and C. Ling, “A novel current sensing circuit for boost dc-dc converter,” in *Anti-counterfeiting, Security, and Identification*, pp. 1–4, IEEE, 2012.

- [13] K.-H. Cheng, C.-W. Su, and H.-H. Ko, “A high-accuracy and high-efficiency on-chip current sensing for current-mode control cmos dc-dc buck converter,” in *2008 15th IEEE International Conference on Electronics, Circuits and Systems*, pp. 458–461, IEEE, 2008.
- [14] P. S. Xu and M. S. Tong, “On-chip current sensing technique for h-bridge driver system,” in *2022 Photonics & Electromagnetics Research Symposium (PIERS)*, pp. 138–142, IEEE, 2022.
- [15] O. Aiello and F. Fiori, “A new mirroring circuit for power mos current sensing highly immune to emi,” *Sensors*, vol. 13, no. 2, pp. 1856–1871, 2013.
- [16] V. Gogolou, T. Laopoulos, and S. Siskos, “A wide range current sensing technique for integrated dc-dc converters,” in *2022 37th Conference on Design of Circuits and Integrated Circuits (DCIS)*, pp. 01–04, IEEE, 2022.
- [17] F. Yang, “A on-chip current sensing circuit for boost converter,” in *ISCTT 2021; 6th International Conference on Information Science, Computer Technology and Transportation*, pp. 1–5, VDE, 2021.
- [18] R. B. Staszewski and P. T. Balsara, *All-digital frequency synthesizer in deep-submicron CMOS*. John Wiley & Sons, 2006.
- [19] J. Szyduczyński, D. Kościelnik, and M. Miśkowicz, “Time-to-digital conversion techniques: A survey of recent developments,” *Measurement*, p. 112762, 2023.
- [20] J. Christiansen, “Picosecond stopwatches: The evolution of time-to-digital converters,” *IEEE Solid-State Circuits Magazine*, vol. 4, no. 3, pp. 55–59, 2012.
- [21] C.-Y. Yao, W.-C. Hsia, and Y.-J. Wen, “The soft-injection-locked ring oscillator and its application in a vernier-based tdc,” *IEEE Transactions on Instrumentation and Measurement*, vol. 63, no. 8, pp. 2064–2071, 2014.
- [22] J.-P. Jansson, V. Koskinen, A. Mantyniemi, and J. Kostamovaara, “A multichannel high-precision cmos time-to-digital converter for laser-scanner-based perception systems,” *IEEE Transactions on Instrumentation and Measurement*, vol. 61, no. 9, pp. 2581–2590, 2012.
- [23] A. DEVICES, “12-bit low power sigma-delta adc.”
- [24] D. Arbet, G. Nagy, M. Kováč, and V. Stopjaková, “Fully differential difference amplifier for low-noise applications,” in *2015 IEEE 18th International Symposium on Design and Diagnostics of Electronic Circuits & Systems*, pp. 57–62, IEEE, 2015.
- [25] D. Arbet, M. Kováč, G. Nagy, and V. Stopjaková, “High dynamic range and low distortion fully differential difference amplifier in cmos,” in *2015 25th International Conference Radioelektronika (RADIOELEKTRONIKA)*, pp. 114–117, IEEE, 2015.

- [26] T. Kulej and F. Khateb, “0.4-v bulk-driven differential-difference amplifier,” *Microelectronics Journal*, vol. 46, no. 5, pp. 362–369, 2015.
- [27] G. Ong and P. Chan, “A micropower gate-bulk driven differential difference amplifier with folded telescopic cascode topology for sensor applications,” in *2010 53rd IEEE International Midwest Symposium on Circuits and Systems*, pp. 193–196, IEEE, 2010.
- [28] M. Alhawari, B. Mohammad, H. Saleh, and M. Ismail, *Energy harvesting for self-powered wearable devices*. Springer, 2018.
- [29] M. Šovčík, V. Stopjaková, D. Arbet, M. Kováč, and M. Potočný, “Adverse effects of digital calibration hardware on low-voltage operational amplifiers,” in *2018 28th International Conference Radioelektronika (RADIOELEKTRONIKA)*, pp. 1–4, IEEE, 2018.
- [30] M. Alafogianni, R. Penlington, and M. Birkett, “Resistor trimming geometry; past, present and future,” in *IOP Conference Series: Materials Science and Engineering*, p. 012002, IOP Publishing, 2016.