SLOVENSKÁ TECHNICKÁ UNIVERZITA V BRATISLAVE Fakulta elektrotechniky a informatiky Ústav elektroniky a fotoniky

Rozvoj bezdrôtového prenosu, konverzie a úspory energie v elektronických systémoch na čipe

Development of wireless power transfer, and energy conversion and reduction for systems on chip

Autoreferát dizertačnej práce na získanie vedecko-akademickej hodnosti Philosophiae Doctor (PhD.)

v štúdijnom programe:	Elektronika a fotonika
v štúdijnom odbore:	Elektrotechnika
forma štúdia:	denná prezenčná

autor:	Ing. Miroslav Potočný
školiteľka:	prof. Ing. Viera Stopjaková, PhD.

Bratislava, august 2021

Dizertačná práca bola vypracovaná na Ústave elektroniky a fotoniky, Fakulta elektrotechniky a informatiky Slovenskej technickej univerzity v Bratislave.

Predkladateľ:	Ing. Miroslav Potočný
	Ústav elektroniky a fotoniky
	Fakulta elektrotechniky a informatiky
	Slovenská technická univerzita v Bratislave
	Ilkovičova 3, 812 19 Bratislava
	email: miroslav.potocny@stuba.sk
Školiteľka:	prof. Ing. Viera Stopjaková, PhD.
	Ústav elektroniky a fotoniky
	Fakulta elektrotechniky a informatiky
	Slovenská technická univerzita v Bratislave
	Ilkovičova 3, 812 19 Bratislava
	email: viera.stopjakova@stuba.sk
Oponenti:	prof. Ing. Ján Šaliga, PhD.
	Katedra elektroniky a multimediálnych telekomunikácií
	Fakulta elektrotechniky a informatiky
	Technická univerzita v Košiciach
	Letná 9, Košice, SR
	email: jan.saliga@tuke.sk
	doc. Ing. Jiří Jakovenko, PhD.
	Katedra mikroelektroniky
	Fakulta elektrotechnická
	České vysoké učení technické v Praze
	Technická 1902/2, Praha, ČR
	email: jakovenk@fel.cvut.cz

Autoreferát bol rozoslaný dňa: 6.augusta 2021

Obhajoba dizertačnej práce sa koná dňa 31. augusta 2021 o 10:00 hod. pred komisiou pre obhajoby dizertačných prác v odbore doktorandského štúdia Elektronika a fotonika prostredníctvom videokonferencie.

Predseda skúšobnej komisie prof. Ing. Ivan Hotový, DrSc.

Dekan fakulty FEI STU v Bratislave prof. Dr. Ing. Miloš Oravec

Obsah

1	Úvo	od a motivácia	1
	1.1	Zoznam publikácií autora, ktoré tvoria jadro dizertačnej práce	3
	1.2	Ciele dizertačnej práce	6
2	Prís	spevok k zberačom energie a napájacím obvodom pre	
	nízl	ko-príkonové IO	7
	2.1	Zberač energie integrovaný na čipe	7
		2.1.1 Súčasný stav	7
		2.1.2 Navrhnuté riešenia a prínos	8
	2.2	Menič napätia pre nízko-príkonové aplikácie	13
		2.2.1 Súčasný stav	13
		2.2.2 Navrhnuté riešenia a prínos	14
3	Prís	spevok k návrhu nízko-napäťových IO	19
	3.1	Návrh a kalibrácia nízko-napäťových zosilňovačov	19
		3.1.1 Súčasný stav	19
		3.1.2 Navrhnuté riešenia a prínos \ldots	20
	3.2	Problematika komparátorov pre nízko-napäťové IO	25
		3.2.1 Súčasný stav	25
		3.2.2 Navrhnuté riešenia a prínos	25
	3.3	Modelovanie štruktúr pre nízke napätia	29
		3.3.1 Súčasný stav	29
		3.3.2 Navrhnuté riešenia a prínos	30
4	\mathbf{Zhr}	nutie prínosov a záver	34
	4.1	Zhrnutie prínosov	34
	4.2	Záver	36
Li	terat	túra	38
P	ublik	ácie autora	47
	Pub	likácie autora tvoriace jadro práce	47
	Pub	likácie autora súvisiace s témami práce	48
	Osta	atné publikácie autora	50

1 Úvod a motivácia

V poslednom období neustále rastie dopyt po prenosných elektronických zariadeniach pre použitie v širokej škále aplikácií, ako napríklad v oblasti implantovateľných medicínskych zariadení (IMD) [1–5], rádiofrekvenčnej identifikácie (RFID) [6,7], internetu vecí (IoT) [8,9], a iných. Hlavnými požiadavkami pre takéto systémy sú kompaktné rozmery, energetická nenáročnosť, ale aj nízke výrobné náklady. Pre splnenie týchto čoraz náročnejších požiadaviek je nutné použitie integrovaných obvodov (IO) alebo riešení v podobe systémov na čipe (SoC) s veľmi nízkou hodnotou napájacieho napätia a nízkou spotrebou. Rozvoj systémov s veľmi nízkou spotrebou a ich čoraz širšie využitie zároveň vytvára tlak na vývoj nových zdrojov energie s optimalizovanou účinnosťou pri nízkych výstupných výkonoch.

Ako možné riešenie pre predĺženie životnosti a zmenšenie rozmerov bezdrôtových elektronických systémov sa ukazuje využitie zberu energie z okolitého prostredia. Toto umožňuje výrazné predĺženie životnosti batérie alebo dokonca jej úplné nahradenie. Pre tento účel je možné využiť zvyčajne viacero zdrojov energie ako napríklad solárnu energiu, tepelné zdroje, vibračné alebo ultrazvukové zdroje, vysokofrekvenčnú (VF) energiu elektromagnetického poľa, prípadne aj ich kombináciu [10, 11]. Pre oblasť IMD systémov sa javí ako najschodnejšie využitie prenosu energie blízkym magnetickým poľom, keďže sa potrebné štruktúry dajú realizovať v štandardnom CMOS výrobnom procese [12]. Implementácia celého systému v plne integrovanej podobe nám umožňuje minimalizovať celkové rozmery IMD systému, čo je veľkou výhodou z pohľadu náročnosti invazívnych medicínskych zákrokov spojených s implantáciou takéhoto systému do tkaniva.

Aplikácie v oblasti IoT, ktoré si vyžadujú nepretržitý chod s vysokou spoľahlivosťou, napríklad takzvané systémy *smart home* alebo *smart grid*, sú v poslednej dobe čoraz viac rozšírené [13, 14]. Tento trend bude v dohľadnej dobe pravdepodobne ďalej napredovať, nakoľko sa kladie čoraz väčší dôraz na energetickú efektivitu a širšie využitie obnoviteľných zdrojov [15–17]. Implementácia IoT senzorických zariadení pre monitorovanie spotreby elektrickej energie často vyžaduje použitie bezdrôtovej komunikácie [18]. Obvody komunikácie spolu s obvodmi nutnými na meranie elektrického výkonu tvoria podstatnú časť celkovej spotreby takýchto zariadení a robia ich príliš energeticky náročné vzhľadom na využitie zberačov energie, pri zachovaní kompaktných rozmerov celého zariadenia [19]. Monitorovacie systémy pre túto oblasť sa vyznačujú variabilnou spotrebou energie v závislosti od režimu činnosti, objemu prenášaných dát a použitej technológie bezdrôtovej komunikácie [20]. Preto sme sa zamerali na riešenia, ktoré si zachovávajú vysokú hodnotu účinnosti pre široký rozsah výstupného výkonu.

Predĺženie životnosti batériami napájaných zariadení sa dá dosiahnuť aj znížením ich celkovej spotreby. Tejto problematike sa venuje oblasť návrhu nízkopríkonových IO, ktorá predstavuje veľkú výzvu najmä pre návrhárov analógových a zmiešaných IO. Pri znižovaní napájacieho napätia a použití niektorých zaužívaných topológií analógových IO dochádza k zmene pracovného režimu MOS tranzistorov zo silnej inverzie do slabej inverzie [21, 22], čo ich robí prakticky nepoužiteľnými, nakoľko sú tieto často založené na modeloch platných len pre režim silnej inverzie [23]. S týmto súvisí aj problém nepresnosti konvenčne dostupných simulačných modelov MOS tranzistorov v strednej a slabej inverzii [24], čo vnáša veľké komplikácie do samotného návrhu analógových blokov IO pracujúcich v týchto oblastiach. Nezanedbateľný vplyv na obtiažnosť návrhu analógových častí IO má aj rozptyl technologických parametrov použitých súčiastok, čo vo výsledku spôsobuje ich zníženú robustnosť. Ako vhodné riešenie pre potlačenie týchto vplyvov sa ukazuje použitie digitálneho prístupu na kalibráciu parametrov analógových obvodov [25]. Z týchto dôvodov bol náš výskum v tejto oblasti zameraný na vývoj nových metód použiteľných pre návrh analógových častí IO s nízkou hodnotou napájania, rozvoju metód zabudovanej kalibrácie, ako aj implementácii simulačných modelov tranzistorov so zvýšenou presnosťou v oblastiach strednej a slabej inverzie.

Značná časť úsilia autora počas doktorandského štúdia bola venovaná realizácii prototypových čipov navrhnutých riešení. Nakoľko boli navrhnuté riešenia vo väčšine prípadov vysoko špecializované, pre zabezpečenie čo najvyššej presnosti bolo nutné vynaložiť značné úsilie aj vývoju metodík merania, ako aj vhodnej implementácii externého zapojenia IO pre minimalizáciu vplyvu vonkajších parazitných javov. Dizertačná práca je zostavená ako súhrn nadobudnutých poznatkov, dosiahnutých výsledkov a hlavných prínosov vedeckej činnosti autora. Tieto boli doteraz publikované v podobe celkovo 32 vedeckých publikácií. Z týchto bolo vybraných sedem kľúčových prác, referencovaných ako [MP], ktoré doplnené o sprievodný text tvoria jadro dizertačnej práce. Publikácie autora, ktoré súvisia s témou dizertačnej práce sú uvedené v kompletnom zozname publikácií, referencované ako [PA]. Ostatné publikácie autora, ktoré priamo nesúvisia s jadrom dizertačnej práce sú taktiež uvedené v rámci kompletného zoznamu publikácií s odlišným spôsobom referencovania [PB].

Publikácie autora sú podľa ich zamerania rozdelené do dvoch obšírnejších oblastí výskumu odpovedajúcim kapitolám jadra dizertačnej práce:

- Príspevok k zberačom energie a napájacím obvodom pre nízko-príkonové IO
- Príspevok k návrhu nízko-napäťových IO

Tieto kapitoly so širokým záberom sú ďalej rozdelené na podkapitoly venované čiastkovým úlohám a zámerom riešeným počas doktorandského štúdia autora. Vzhľadom na ich určitú rôznorodosť bola zvolená štruktúra so samostatnou analýzou súčasného stavu a zhrnutím dosiahnutých výsledkov pre každú oblasť (podkapitolu). Rovnako sú relevantné kľúčové publikácie autora priradené ku príslušnej podkapitole.

1.1 Zoznam publikácií autora, ktoré tvoria jadro dizertačnej práce

 POTOČNÝ, Miroslav, KOVÁČ, Martin, ARBET, Daniel, STOPJA-KOVÁ, Viera. A 200 MHz RF wireless power transfer receiver for implantable medical devices fully integrated in 130 nm CMOS. In BEC 2018: 16th Biennial baltic electronics conference. Tallinn, Estonia. October 8-10, 2018. Danvers: IEEE, 2018, [5]s. ISBN 978-1-5386-7311-9. V databáze: IEEE: 8600988; WOS: 000457625500037; SCOPUS: 2-s2.0-85061484424.

(2.1.2a, [MP1] - podiel autora: 60 %)

 STOPJAKOVÁ, Viera, KOVÁČ, Martin, POTOČNÝ, Miroslav. Onchip energy harvesting for implantable medical devices. In Radioengineering. Vol. 29, No. 2 (2020), s. 269-284. ISSN 1210-2512 (2019: 1.076 - IF, Q4 - JCR Best Q, 0.257 - SJR, Q3 - SJR Best Q). V databáze: WOS: 000546752900001; SCOPUS: 2-s2.0-85087655333.

(2.1.2b, [MP2] - podiel autora: 30 %)

 POTOČNÝ, Miroslav, BRENKUŠ, Juraj, STOPJAKOVÁ, Viera. High side power MOSFET switch driver for a low-power AC/DC converter. In DDECS 2019: IEEE 22nd International symposium on design and diagnostics of electronic circuits and systems. Cluj-Napoca, Romania. April 24-26, 2019. Danvers: IEEE, 2019, [6]s. ISSN 2473-2117. ISBN 978-1-7281-0072-2. V databáze: IEEE: 8724667; WOS: 000492839800030.

(2.2.2a, [MP3] - podiel autora: 40 %)

POTOČNÝ, Miroslav, STOPJAKOVÁ, Viera, KOVÁČ, Martin. Design and verification of a low-power AC/DC converter. In Journal of Electrical Engineering. Vol. 72, No. 2 (2021), s. 113-118. ISSN 1335-3632 (2019: 0.686 - IF, Q4 - JCR Best Q, 0.204 - SJR, Q3 - SJR Best Q). V databáze: DOI: 10.2478/jee-2021-0015; SCOPUS: 2-s2.0-85106249323.

(2.2.2b, [MP4] - podiel autora: 70 %)

 STOPJAKOVÁ, Viera, RAKÚS, Matej, KOVÁČ, Martin, ARBET, Daniel, NAGY, Lukáš, ŠOVČÍK, Michal, POTOČNÝ, **POTOČNÝ**, **Miro**slav. Ultra-low voltage analog IC design: Challenges, methods and examples. In Radioengineering. Vol. 27, No. 1 (2018), s. 17-185. ISSN 1210-2512 (2018: 0.967 - IF, Q4 - JCR Best Q, 0.244 - SJR, Q3 - SJR Best Q). V databáze: WOS: 000430296500023; SCOPUS: 2-s2.0-85045341627.

(3.1.2a, 3.2.2a, [MP5] - podiel autora: 10%)

 NAGY, Lukáš, STOPJAKOVÁ, Viera, ARBET, Daniel, POTOČNÝ, Miroslav, KOVÁČ, Martin. An ultra low-voltage rail-to-rail comparator for on-chip energy harvesters. In AEÜ International Journal of Electronics and Communications. Vol. 108, (2019), s. 10-18. ISSN 1434-8411 (2019: 2.924 - IF, Q2 - JCR Best Q, 0.593 - SJR, Q2 - SJR Best Q). V databáze: SCOPUS: 2-s2.0-85066932477; CC: 000480670900002.

(3.2.2b, [MP6] - podiel autora: 5%)

NAGY, Lukáš, ARBET, Daniel, KOVÁČ, Martin, POTOČNÝ, Miroslav, ŠOVČÍK, Michal, STOPJAKOVÁ, Viera. EKV MOS transistor model for ultra low-voltage bulk-driven IC design. In DDECS 2021 : IEEE 24th International symposium on design and diagnostics of electronic circuits and systems. Vienna, Austria. April 7-9, 2021. Danvers : IEEE, 2021, S. 6-10. ISSN 2473-2117. ISBN 978-1-6654-3595-6. V databáze: IEEE: 9417051; SCOPUS: 2-s2.0-85105601100; DOI: 10.1109/DDECS52668.2021.9417051.

(3.3.2a, [MP7] - podiel autora: 5 %)

1.2 Ciele dizertačnej práce

Na základe vykonanej podrobnej analýzy súčasného stavu výskumu účinnosti napájania bezdrôtových zariadení pre systémy akými sú IMD alebo IoT, ako aj nevyhnutnosti minimalizácie spotreby energie IO použitých na realizáciu takýchto systémov, a po zohľadnení doterajších poznatkov získaných pri návrhu nízko-napäťových a nízko-príkonových systémov na čipe, boli ciele dizertačnej práce stanovené nasledovne:

- Rozvoj a aplikácia špecializovaných metód návrhu analógových IO pracujúcich s nízkou hodnotou napájacieho napätia, ako aj rozvoj metód kalibrácie a merania experimentálnych vzoriek čipov.
- Preskúmať metódy zlepšenia efektivity meničov napätia s veľmi nízkym výstupným výkonom, vhodných pre aplikáciu v senzorických uzloch IoT.
- Preskúmať možnosť implementácie plne integrovaného systému bezdrôtového zberača VF energie, vhodného pre aplikáciu v systémoch implantovateľných medicínskych zariadení.
- Optimalizácia metodiky extrakcie parametrov simulačných modelov MOS tranzistorov pre nízko-napäťové IO s veľmi nízkou spotrebou energie, za účelom zvýšenia presnosti modelov.

2 Príspevok k zberačom energie a napájacím obvodom pre nízko-príkonové IO

2.1 Zberač energie integrovaný na čipe

2.1.1 Súčasný stav

V rámci tejto kapitoly sa zaoberáme prenosom VF energie blízkym magnetickým poľom pre napájanie plne integrovaných implantovateľných medicínskych zariadení (IMD) s prijímacou cievkou realizovanou na čipe.

Plne integrované systémy bezdrôtového prenosu energie majú zvyčajne značné obmedzenia spojené s realizáciou celého systému v štandardnej CMOS technológii. Hlavným limitujúcim faktorom je zvyčajne veľmi slabá väzba medzi vysielačom a prijímačom vyplývajúca najmä z malých rozmerov integrovanej prijímacej cievky. Nezanedbateľný vplyv má aj samotné ľudské tkanivo, ktoré tvorí stratové prostredie pre prenášaný VF signál [26]. Ako najvýhodnejšie sa ukazuje frekvenčné pásmo medzi 150 MHz až 500 MHz, kde je možné implementovať prijímacie cievky s rozmermi v jednotkách milimetrov priamo na čipe IO [27–33].

Výskum autora pre oblasť realizácie plne integrovaného prijímača systému bezdrôtového prenosu energie bol do značnej miery zameraný na zlepšenie parametrov VF usmerňovačov určených pre takúto aplikáciu. Hlavný parameter v literatúre používaný na porovnávanie usmerňovačov je účinnosť konverzie VF výkonu P_{VF} na jednosmerný výkon P_{DC} . Táto účinnosť η_p je závislá od strát v obvode usmerňovača [34]. Najväčší vplyv na účinnosť a výstupný výkon usmerňovača majú parametre použitých polovodičových prvkov, a to hlavne prahové napätie V_{TH} tranzistorov a zvodový prúd I_{leak} .

Veľmi často používané zapojenie usmerňovačov v bežných RFID systémoch je založené na tzv. Dicksonovej nábojovej pumpe [35]. Hlavnou nevýhodou tohto zapojenia je veľký vplyv prahového napätia MOS tranzistorov na hodnotu výstupného napätia. Existuje niekoľko možností potlačenia tohto vplyvu. Prvou je použitie tranzistorov s nízkou hodnotou prahového napätia [36], čo však zvyšuje ich zvodový I_{leak} prúd a tým aj straty výkonu v obvode [37]. Ďalšou možnosťou je využitie MOS tranzistorov s dynamickým prahovým napätím (DTMOS) [38]. V takomto zapojení je prahové napätie závislé od napätia medzi emitorom a substrátom V_{SB} , čo nám dovoľuje podľa potreby meniť hodnotu prahového napätia [37]. V [39] bolo navrhnuté riešenie využívajúce usmerňovačom generované DC napätie na potlačenie vplyvu V_{TH} tranzistorov. Týmto spôsobom je napätie V_{GS} tranzistorov jednosmerne posunuté o hodnotu výstupného napätia, čo zvyšuje napätie hradlo-emitor V_{GS} tranzistorov a znižuje minimálny vstupný výkon potrebný pre naštartovanie celého obvodu usmerňovača. [40].

V [41] bolo navrhnuté mostíkového zapojenie VF usmerňovača. Obvod je zložený z dvoch NMOS a dvoch PMOS tranzistorov, ktoré majú do kríža prepojené hradlá. Hradlá sú budené v protifáze voči emitorovej elektróde, čo robí toto riešenie výhodné pri použití symetrickej antény. Hlavný rozdiel medzi takýmto mostíkom a topológiami založenými na Dicksonovom zapojení je skutočnosť, že tranzistory v mostíku nefungujú ako diódy, ale správajú sa ako spínače rozložené do kríža symetricky podľa stredu. Toto zapojenie preto znižuje vplyv prahového napätia tranzistorov pri ich zopnutí a zároveň znižuje zvodové prúdy zatvorených tranzistorov [41]. Dalšie vylepšenie tohto zapojenia bolo navrhnuté v [42], kde bola využitá metóda DTMOS na zníženie prahového napätia PMOS tranzistorov a zvýšenie účinnosti obvodu. Zväčšenie zvodového prúdu je v tomto prípade potláčané diferenciálnym budením tranzistorov. Mostíkové zapojenia majú vo všeobecnosti lepšie vlastnosti ako Dicksonove usmerňovače pre spracovanie vstupného VF signálu s nízkou amplitúdou [43, 44]. Preto sme sa v pri návrhu VF usmerňovača v CMOS nanometrovej technológii zamerali hlavne na tento druh zapojenia.

2.1.2 Navrhnuté riešenia a prínos

Príspevok k návrhu zberača energie na čipe IO v štandardnej CMOS výrobnej technológii, zahrňujú nasledujúce publikácie:

- M. Potočný, M. Kováč, D. Arbet and V. Stopjaková. A 200 MHz RF wireless power transfer receiver for implantable medical devices fully integrated in 130 nm CMOS. BEC 2018 : 16th Biennial baltic electronics conference (2018)
 2.1.2a, [MP1]
- V. Stopjaková, M. Kováč, M. Potočný. On-chip energy harvesting for implantable medical devices. Radioengineering. Vol. 29, No. 2 (2020)
 2.1.2b, [MP2]

Prvou oblasťou výskumu realizovaného v rámci tejto práce bol návrh VF usmerňovača vhodného pre integráciu v dostupnej CMOS technológii. Táto problematika bola rozobraná v publikáciách autora [PA1,PA2]. V týchto publikáciách bola navrhnutá upravená topológia mostíkového zapojenia VF usmerňovača založená na rozšírení princípu kompenzácie vplyvu V_{TH} [42]. Toto modifikované zapojenie bolo porovnané so zapojeniami bez kompenzácie a s kompenzáciou len PMOS tranzistorov. Navrhnutá topológia umožňuje dodať až o 40 % vyšší výstupný výkon ako ostatné porovnávané zapojenia.



Obr. 2.1: Zapojenie realizovaného integrovaného prijímača [MP1].

Následne bol navrhnutý systém integrovaného prijímača. Toto bolo hlavným cieľom práce publikovanej v [MP1]. Zapojenie navrhnutého systému prenosu energie je zobrazené na obrázku 2.1. Systém sa skladá sa z prijímacej cievky, obvodu impedančného prispôsobenia, a troch stupňov usmerňovača zapojených do kaskády.

Prijímacia cievka je založená na topológii predstavenej v [45]. Jej vlastnosti mali zásadný vplyv na výber frekvenčného pásma systému prenosu energie. Toto bolo nastavené na frekvenciu s maximálnym faktorom kvality cievky, teda na hodnotu 200 MHz. Parametre tejto topológie boli experimentálne overené v [MP2], kde bola zistená výrazne znížená hodnota faktora kvality v porovnaní so simuláciami. Tento rozdiel je pravdepodobne spôsobený realizáciou na čipe spolu s inými druhmi obvodov, ktoré museli byť umiestnené v rámci plochy cievky.



Obr. 2.2: Topológia čipu prototypu zberača energie [MP1].

Obvod impedančného prispôsobenia bol navrhnutý pre maximálny prenos výkonu [46, 47]. Skladá sa z kondenzátora pripojeného paralelne k prijímacej cievke, a sériovej kapacity medzi cievkou a obvodom usmerňovača. Navrhnutá topológia nám umožňuje regulovať celkovú kapacitu paralelného rezonančného obvodu, čo bolo zvolené pre potlačenie vplyvu výrobného rozptylu prototypu IO a pre umožnenie regulácie celkového výstupného výkonu VF usmerňovača. Táto čiastočná regulácia bola dosiahnutá pomocou rozladenia tohto obvodu, čo umožňuje zmeniť hodnotu vstupného napätia pre usmerňovač, a tým meniť aj jeho výstupný výkon.

Zvyšná časť prijímača je zložená z troch stupňov VF usmerňovača navrhnutého v [PA2]. Stupne usmerňovača sú zapojené do kaskády, čím sa dá dosiahnuť násobne vyššie jednosmerné výstupné napätie ako je hodnota amplitúdy vstupného VF napätia. Pri optimálnych podmienkach sa má účinnosť podľa simulačných výsledkov z [PA2] pohybovať okolo hodnoty 70 %. Topológia prototypového čipu s realizáciou tohto zapojenia je zobrazená na obrázku 2.2, kde sú hlavné časti systému prijímača zvýraznené červenou farbou.



Obr. 2.3: Fotografie realizovaných DPS vysielacej časti systému na bezdrôtový prenos energie [PA3].



Obr. 2.4: Fotografie vzoriek prototypu integrovaného prijímača systému na bezdrôtový prenos energie. Verzia s celým čipom (a), verzia s prerušeným obvodovým lemom čipu (b) [MP2].

Ďalším krokom v rámci tohoto výskumu bolo experimentálne overenie vyrobených vzoriek prijímača. Za týmto účelom bolo potrebné navrhnúť vysielaciu časť systému bezdrôtového prenosu energie. Rozmer vysielacích cievok bol optimalizovaný pre prenos na vzdialenosť približne 1 cm [48,49]. Tieto časti vysielača boli realizované v štyroch rôznych verziách vo forme DPS, ktorých fotografie sú zobrazené na obrázku 2.3. Z dôvodu minimalizácie vplyvu parazitných vlastností púzdra na meranie parametrov integrovaného prijímača sme sa toto rozhodli uskutočniť na nezapuzdrených vzorkách, ktoré boli nakontaktované na malú DPS pre zjednodušenie manipulácie. Vzorky boli vyhotovené v dvoch verziách za účelom preskúmania vplyvu obvodového lemu čipu na vlastnosti integrovanej prijímacej cievky. Fotografie oboch verzií použitých pre meranie sú zobrazené na obrázku 2.4.



Obr. 2.5: Závislosti výstupného výkonu a celkovej efektivity prenosu systému bezdrôtového prenosu energie od odporu záťaže [MP2].

Výsledky meraní sú na obrázku 2.5, kde sú zobrazené závislosti výstupného výkonu a celkovej efektivity prenosu od odporu záťaže. Aj keď sa tieto výsledky nedajú pokladať za konečné, nakoľko sa pri jeho realizácii vyskytli problémy so spoľahlivosťou kontaktov a parazitnými vlastnosťami vysielacích cievok, úspešne demonštrujú funkčnosť integrovaného prijímača. Ďalším vysvetlením relatívne nízkej efektivity prenosu môže byť aj zmena parametrov modifikovanej prijímacej cievky voči verzii použitej pre modelovanie obvodu impedančného prispôsobenia. Toto mohlo byť spôsobené vykonanými úpravami jej topológie, aj keď boli zachované rovnaké celkové rozmery aj počet závitov. Nakoľko sa téma experimentálneho overenia navrhnutého systému nedá pokladať za uzavretú, bude predmetom ďalšieho výskumu.

2.2 Menič napätia pre nízko-príkonové aplikácie

2.2.1 Súčasný stav

V rámci tejto témy bol náš výskum zameraný na zvýšenie účinnosti konverzie napätia pre aplikácie s nízkym výstupným výkonom, ktoré napájané z rozvodnej siete. Ide napríklad o bezdrôtové zariadenia IoT určené na monitorovanie spotreby elektrickej energie v inteligentných domácnostiach [50–52]. Takéto systémy sa vyznačujú variabilnou spotrebou energie, v závislosti od režimu činnosti, objemu prenášaných dát a použitej technológie bezdrôtovej komunikácie [20]. Preto sme sa zamerali na riešenia, ktoré si zachovávajú vysokú hodnotu účinnosti pre široký rozsah výstupného výkonu.

Hlavným úskalím v tejto aplikácii je vysoký pomer vstupného a výstupného napätia. Z tohto dôvodu boli klasické obvodové riešenia pre túto oblasť založené na transformátoroch v kombinácii s diódovým usmerňovačom, a niekedy doplnené o lineárny stabilizátor napätia alebo Zenerovu diódu za účelom regulácie výstupného napätia. Nevýhodami uvedeného prístupu je nízka účinnosť η_p a nutnosť použitia objemných transformátorov na zníženie amplitúdy striedavého napätia zo štandardnej sieťovej hodnoty 230 V_{RMS} pri frekvencii 50 Hz.

V poslednom období zaznamenávame snahu tento princíp nahradiť tzv. spínanými meničmi napätia (SMPS) pracujúcimi vo vyšších frekvenčných pásmach [53–55]. V porovnaní s klasickým riešením tieto ponúkajú zvýšenú účinnosť η_p , menšie rozmery magnetických prvkov, vyššiu flexibilitu vstupného a výstupného napätia, ako aj možnosť kompenzácie účinníka vstupného striedavého výkonu. Spínané meniče pracujú s jednosmernými napätiami na ich vstupe, takže najskôr je potrebné usmerniť striedavé sieťové napätie. Hlavnými nevýhodami SMPS je nežiadúce generovanie VF rušenia vo vstupnom aj výstupnom napätí, ktoré vyžaduje zahrnutie filtračných obvodov alebo použitie pokročilých metód riadenia spínania. Tieto nevýhody sú predmetom súčasného výskumu, a boli publikované napríklad v prácach [56–60].

Dalším možným obvodovým riešením je využitie meniča založeného na kapacitnom deliči. Tento typ meniča je často používaný v aplikáciách s konštantným odberom pod 10 W, akými sú napríklad LED žiarovky [61]. V tomto zapojení nie je nutné použiť magnetické prvky, nakoľko je založené na obmedzení vstupného prúdu sériovou impedanciou kondenzátora. Týmto spôsobom je znížená hodnota napätia, ktoré je následne usmernené. Podrobný opis a analýza tohto zapojenia je predmetom publikácie [62]. Hlavnou výhodou v tomto prípade je jednoduchosť a nízke náklady na realizáciu, ako aj vysoká efektivita η_p . Nakoľko je vstupný prúd obmedzený kondenzátorom, teda reaktančným prvkom, vnáša tento fázový posun vstupného striedavého prúdu. Toto má za následok nízku hodnotu účinníka. Rovnako je potrebné zabezpečiť dostatočne vysokú hodnotu kondenzátora pre žiadaný výstupný prúd. S týmto je spojená aj nevyhnutnosť zvodu prebytočného prúdu pri poklese výstupného prúdu, čo robí toto zapojenie nevhodné pre napájanie premenlivých záťaží.

2.2.2 Navrhnuté riešenia a prínos

Príspevok tejto dizertačnej práce k meničom napätia pre aplikácie s nízkym príkonom zahrňuje nasledujúce publikácie:

- M. Potočný, J. Brenkuš, V. Stopjaková. High side power MOSFET switch driver for a low-power AC/DC converter. DDECS 2019: IEEE 22nd International symposium on design and diagnostics of electronic circuits and systems (2019)
 2.2.2a, [MP3]
- M. Potočný, V. Stopjaková, M. Kováč. Design and verification of a lowpower AC/DC converter. Journal of Electrical Engineering, Vol.72, No.2, (2021)
 2.2.2b. [MP4]

Prvou témou skúmanou v rámci tejto oblasti výskumu v dizertačnej práci bol návrh obvodových blokov IO meniča napätia schopného spracovať štandardné striedavé (AC) napätie v rozvodnej sieti, teda 230 V_{RMS} o frekvencii 50 Hz. Topológia navrhnutého meniča čerpá z práce [63], kde bola predstavené zapojenie meniča založené na kontrolovanom nabíjaní zásobného kondenzátora. Samotné nabíjanie je dosiahnuté pripojením tohto kondenzátora k usmernenému, ale nefiltrovanému striedavému napätiu počas vhodného časového úseku periódy vstupného napätia. Napätie uložené v tomto zásobnom kondenzátore je ďalej spracované meničom DC napätia na úroveň vhodnú pre napájanie pripojenej záťaže.

Hlavným cieľom publikácie autora [MP3] bolo navrhnúť obvodové bloky potrebné na realizáciu riadenia hlavného externého spínača zabezpečujúceho pripájanie zásobného kondenzátora. Ako najvhodnejšie riešenie sa ukázalo využitie tzv. *bootstrap* kondenzátora C_{BST} , ktorý slúži ako plávajúci zdroj náboja pre nabíjanie hradla hlavného externého tranzistora typu NMOS. Bloková schéma takto fungujúceho budiča je zobrazená na obrázku 2.6. Vstupné napätie systému meniča napätia označené V_{IN} , výstupné napätie V_{MID} , výstupný zásobný kondenzátor C_{MID} a napätie uložené v *boostrap* kondenzátore V_{BST} .



Obr. 2.6: Zjednodušená bloková schéma budiča externého NMOS tranzistora [MP3].

Samotný kondenzátor C_{BST} pracuje v dvoch rozdielnych konfiguráciách, v závislosti od stavu externého spínača. Ak má byť tento vypnutý, spodná elektróda C_{BST} je pripojená na potenciál zeme, čo umožňuje jeho nabíjanie. Ak má byť naopak spínač zopnutý, je nutné spodnú elektródu pripojiť na emitor spínacieho tranzistora, aby sa náboj uložený v tomto kondenzátore dal použiť na zopnutie tranzistora. Podrobný popis týchto obvodových blokov bol predmetom publikácie autora [MP3]. O riadenie celého systému sa stará digitálny riadiaci obvod. Tento bol realizovaný ako asynchrónny, hlavne z dôvodu redukcie vlastnej spotreby. Synchronizácia spínania bola dosiahnutá na základe sledovania zmien napätí V_{IN} , V_{MID} a V_{BST} pomocou komparátorov so zabudovanou hysteréziou pripojených k týmto uzlom.

Navrhnuté obvodové bloky boli overené pomocou simulácií. Taktiež bola overená aj funkčnosť systému ako celku doplnená o analýzu strát v obvode. Ako jeden z hlavných zdrojov statických strát sa ukázal zvodový prúd odporového deliča použitého na sledovanie hodnoty vstupného usmerneného napätia. Riešenie tohto nedostatku bolo založené zahrnutí spínacieho tranzistora aj pre tento odporový delič, ktorého riadenie bolo realizované rovnako ako pre hlavný spínač. Topografia vyvinutého IO je zobrazená na obrázku 2.7.



Obr. 2.7: Topografia navrhnutého IO riadiaceho obvodu meniča napätia.

Počas prvotného overenia funkčnosti prototypových IO bol identifikovaný problém v sekundárnom spínacom obvode. Tento mal za následok nesprávne fungovanie spínača pre vstupný odporový delič. Po vyradení tohto obvodového bloku bol navrhnutý IO funkčný. Tento problém je s vysokou pravdepodobnosťou spôsobený chybou v digitálnej riadiacej časti. Na základe týchto poznatkov boli experimentálne overené potrebné štartovacie sekvencie externých napätí pre navrhnutý IO, ktoré boli následne použité pri návrhu modulu schopného fungovať samostatne. Zjednodušená bloková schéma a fotografia navrhnutej DPS tohto modulu sú zobrazené na obrázku 2.8. Podrobný popis celého procesu testovania bol predstavený v publikácii autora [MP4].



Obr. 2.8: Modul DPS pre charakterizáciu parametrov prototypu meniča napätia. Zjednodušená bloková schéma (a) a fotografia realizovanej DPS (b) [MP4].

Ako prvé sme uskutočnili meranie s obmedzením amplitúdy vstupného AC napätia. Dosiahnuté hodnoty efektivity η_p sú zobrazené na obrázku 2.9 a pri týchto vstupných podmienkach sa pohybovali nad 90 % pre výstupný výkon nad 300 mW. Hodnota η_p klesla pod 80 % pri výstupnom výkone 100 mW. Tieto výsledky meraní nasvedčujú že použitá topológia meniča napätia je vhodná pre nízko-príkonové aplikácie a zachováva si vysokú hodnotu η_p pre široký rozsah výstupného výkonu. Pri zvyšovaní amplitúdy vstupného napätia sme narazili na ďalšie problémy s riadením navrhnutého IO, čo nám znemožnil charakterizovať parametre prototypu napäťového meniča pri nominálnej amplitúde napätia v rozvodnej sieti 230 V_{RMS} . Parametre meniča boli pre tento prípad približne určené pričítaním rozdielu statickej spotreby pri zvýšenej amplitúde vstupného AC napätia. Takto získané hodnoty naznačujú hodnotu η_p dosiahnuteľnú týmto zapojením viac ako 80 % pri nominálnom výstupnom výkone 500 mW. Táto upravená závislosť η_p od výstupného výkonu je taktiež zobrazená na obrázku 2.9.

Odhalená nespoľahlivosť navrhnutého IO je pravdepodobne kombinácia dvoch hlavných príčin, a to použitie asynchrónneho riadiaceho obvodu spolu s nedostatočnou odolnosťou voči rušeniu, ktoré je generované vo vstupnom napätí pri



Obr. 2.9: Celková výkonová účinnosť meniča napätia. Hodnoty namerané s nízkym vstupným napätím (modrá) a upravené hodnoty pre sieťové napätie (červená) [MP4].

spínaní hlavného tranzistora. Pre nápravu týchto nedostatkov by bolo nutné opätovne navrhnúť niektoré obvodové bloky systému meniča so zameraním sa na jeho digitálnu časť. Použitie synchrónneho riadiaceho obvodu by mohlo zvýšiť robustnosť celého obvodu. Takáto závažná úprava si však vyžaduje nový výrobný beh pre výrobu prototypov IO.

3 Príspevok k návrhu nízko-napäťových IO

3.1 Návrh a kalibrácia nízko-napäťových zosilňovačov

3.1.1 Súčasný stav

Na potlačenie nežiaducich efektov vznikajúcich pri návrhu IO s veľmi nízkou hodnotou napájacieho napätia, opísaných v kapitole 1, boli vyvinuté viaceré metodiky a technologické procesy používané v súčastnosti pri ich návrhu a fyzickej implementácii na čip v súčasných výrobných technológiách. V rámci nášho výskumu sme sa zamerali na využitie podprahového režimu funkcie tranzistorov a jeho kombináciu s ovládaním MOS tranzistorov substrátovou elektródou (technika BDMOS) a zapojením tranzistorov s dynamickým prahovým napätím (technika DTMOS).

Výber správneho režimu činnosti tranzistorov sa s postupným znižovaním napájacieho napätia stáva jedným z najdôležitejších aspektov návrhu analógových obvodov [64]. Ako jeden z parametrov pre určenie vhodného pracovného bodu tranzistora sa ukazuje tzv. inverzný koeficient (*ic*), ktorý je určený pomerom kolektorového prúdu I_D a takzvaného technologického prúdu (I_0) určeného parametrami výrobného procesu. MOS tranzistory pracujúce v silnej inverzii (*ic* > 10) sa vyznačujú širokým frekvenčným pásmom zosilnenia, vysokou spotrebou a relatívne malou plochou. Naopak tranzistory v slabej inverzii (*ic* < 1) majú malú spotrebu, zaberajú väčšiu plochu a ich frekvenčné pásmo je obmedzené [65]. Medzi týmito režimami sa nachádza oblasť strednej inverzie (*ic* \approx 1), ktorá ponúka kompromis v rámci vyššie uvedených troch parametrov MOS tranzistora.

Metóda BDMOS je založená na ovládaní kolektorového prúdu I_D pomocou substrátovej prenosovej vodivosti g_{mb} [66], zatiaľ čo hradlová elektróda je vy-

užitá pre nastavenie pracovného bodu tranzistorov. Na rozdiel od bežného riadenia tranzistora pomocou napätia V_{GS} je v tomto prípade výrazne potlačený vplyv V_{TH} tranzistorov, čo je hlavnou výhodou tejto metódy pre aplikácie s nízkym napájacím napätím. Táto metóda je kompatibilná so štandardnými CMOS výrobnými procesmi [65], čo ju robí relatívne jednoducho aplikovateľnou pre modifikáciu existujúcich topológií základných stavebných blokov analógových IO, ako napríklad prúdové zrkadlo [67] alebo diferenciálny pár [68]. Nevýhodami sú relatívne nízka hodnota g_{mb} v porovnaní s prevodovou vodivosťou g_m tranzistora riadeného hradlovou elektródou [69]. Zároveň má tento prístup obmedzenú šírku pásma zosilnenia, zvýšenú vstupnú kapacitu a horšie šumové vlastnosti. Ďalšou nevýhodou je citlivosť voči prípadnému prierazu MOS tranzistora, ktorý sa však dá ale potlačiť vhodnými úpravami a zásahmi do topografie čipu.

Metóda dynamického prahového napätia DTMOS je odvodená od predchádzajúcej metódy. Tu sú hradlo a substrátová elektróda spojené, čo spôsobuje zmenu pracovného bodu tranzistora spolu so zmenou vstupného napätia. Zároveň je prúd I_D modulovaný pomocou celkovej prenosovej vodivosti $g_m + g_{mb}$ [70] tranzistora, čo je výhodou v porovnaní s BDMOS zapojením. Aplikácia tejto metódy je podobná ako pre metódu BDMOS, s rovnakými problémami z pohľadu rizika prierazu tranzistorov.

Problémy týchto metód sú však často spojené s nepresnosťou dostupných simulačných modelov a väčším vplyvom rozptylu parametrov výroby IO na funkciu a vlastnosti navrhovaných IO. Toto sťažuje overenie obvodov pomocou simulácií a kladie zvýšený dôraz na rozvoj metodík pre meranie a kalibráciu obvodov navrhnutých pomocou týchto prístupov.

3.1.2 Navrhnuté riešenia a prínos

Prvou oblasťou aplikácie BDMOS metódy bol návrh a implementácia operačných zosilňovačov (OZ), ktoré sú jedným z najrozšírenejších základných blokov analógových IO. Pre lepšie využitie dostupného napäťového rozsahu sme sa rozhodli implementovať diferenciálnu topológiu zosilňovača s variabilným zosilnením (VGA), ktorá je výhodná z pohľadu univerzálnosti použitia. Dve implementácie takéhoto zosilňovača navrhnuté pre napájacie napätia 0,6 V a 0,4 V sú uvedené v publikácii autora: V. Stopjaková, M. Rakús, M. Kováč, D. Arbet, L. Nagy, M. Šovčík, M. Potočný. Ultra-Low Voltage Analog IC Design: Challenges, Methods and Examples. Radioengineering. Vol. 27, (2018)
 3.1.2a, [MP5]

Pre hodnotu napájacieho napätia 0,6 V bola použitá konvenčná topológia diferenciálneho rozdielového zosilňovača s diferenciálnym vstupom a výstupom [71] s využitím BDMOS vstupných tranzistorov. Zmena zisku zosilňovača je realizované v prvom stupni, zatiaľ čo druhý stupeň má fixné zosilnenie. Podrobný opis tohto zapojenia je publikovaný v [72].

Druhá topológia, pracujúca pri napájacom napätí 0,4 V funguje na základe pseudo-diferenciálnej topológie rozdielového zosilňovača s diferenciálnym výstupom [73], taktiež využívajúci BDMOS techniku návrhu. Problémom tejto topológie je vysoké zosilnenie súhlasnej zložky vstupného napätia, ktoré bolo kompenzované pomocou obvodu doprednej spätnej väzby, ktorý zároveň generuje aj predpätie pre vstupný BDMOS diferenciálny pár. Tento prístup zvyšuje odolnosť zosilňovača voči fluktuácii teploty a rozptylu parametrov výrobnej technológie.



Obr. 3.1: Fotografie prostriedkov pre realizáciu merania vstupného ofsetu zosilňovača. Navrhnutá DPS (a) a meracie pracovisko (b) [PA6].

Jedným z hlavných problémov identifikovaných počas návrhu týchto obvodov bola vysoká hodnota vstupného ofsetu napätia (V_{Iof}) zosilňovača. Táto hodnota, spolu s maximálnou hodnotou DC zisku $\approx 30 \ dB$, by vo výsledku spôsobila výstupné chybové napätie mimo dostupného napäťového rozsahu tohto zosilňovača. Dôsledkom tohto javu by bola nefunkčnosť veľkej časti vyrobených vzoriek. Nakoľko boli pre danú výrobnú technológiu dostupné iba simulačné modely založené na BSIM, bolo nutné tento problém experimentálne overiť. Nakoľko sa v tomto prípade jedná o špecifický druh obvodu, pre korektnú charakterizáciu V_{Iof} vyrobených prototypov bolo nutné vyvinúť špecializované hardvérové riešenie. Rozvojom metodiky tohto merania sa detailne venuje publikácia autora [PA6]. Na základe analýzy zdrojov DC chybových napätí z [74] bolo navrhnuté riešenie s externým zosilňovačom. Toto zapojenie predstavuje upravenú verzia obvodov publikovaných v [75, 76], ktoré boli modifikované pre použitie s diferenciálnym zosilňovačom.

Celkový zisk obvodu je daný hodnotami odporov v spätnej väzbe zapojenia. Externé zosilňovače sú použité za účelom zvýšenia zisku slučky, čo bolo nutné pre zvýšenie presnosti merania vzhľadom na obmedzený zisk meraného zosilňovača. Nakoľko prebiehalo meranie na nezapuzdrených vzorkách, bol tento obvod pripojený ku vzorkám pomocou ôsmich manipulátorov na hrotovej testovacej stanici. Fotografie dosky plošných spojov použitej pre toto meranie ako aj celkového meracieho pracoviska sú zobrazené na obrázku 3.1.



Obr. 3.2: Porovnanie nameraných a simulovaných hodnôt vstupného ofsetu zosilňovača [PA6].

Celkovo bolo zrealizované meranie 60 prototypových vzoriek, kde bola nameraná stredná hodnota vstupného ofsetu 0,403 mV so smerodajnou odchýlkou 3,45 mV. V porovnaní so simuláciami je stredná hodnota rozdelenia tohto parametra veľmi podobná. Smerodajná odchýlka je výrazne horšia v prípade nameraných výsledkov, čo je možné pozorovať aj z histogramu zobrazeného na obrázku 3.2. Tu je treba podotknúť fakt že obmedzený počet dostupných vyrobených vzoriek mohol mať vplyv na presnosť štatistického rozdelenia nameraných dát, hlavne na hodnotu smerodajnej odchýlky.

Obr. 3.3: DPS vyvinutá pre experimentálnu charakterizáciu zdieľaného prototypového IO.

Za účelom potlačenia vplyvu napätia V_{Iof} spôsobeného fluktuáciou parametrov výrobného procesu IO, bol náš výskum zameraný na oblasť rozvoja a implementácie digitálnej metódy kalibrácie zosilňovača a kompenzácie tohto parametra. Z hľadiska systémov s nízkym napájacím napätím je tento prístup považovaný za vhodný [PA8], nakoľko vyžaduje iba minimálnu prídavnú plochu a vyznačuje sa nízkou spotrebou energie obvodov potrebných na jeho implementáciu. Použitá metóda vychádza z práce [77], v ktorej bol publikovaný obvod využívajúci 8-bitový digitálno-analógový prevodník (DAC). Tento generuje korekčné prúdy, ktoré sú následne privádzané do vstupného diferenčného páru VGA pomocou BDMOS prúdových zrkadiel. Tieto vyrovnávajú prúdy tečúce vetvami diferenciálneho vstupného páru, čo efektívne potláča vplyv V_{Iof} . Toto zapojenie bolo vyvinuté v rámci [PA7], kde bol analyzovaný aj vplyv prídavných kalibračných obvodov na frekvenčné vlastnosti VGA. Zistená degradácia šírky pásma zosilnenia VGA sa prejavovala hlavne pri nízkych ziskoch, kde bol zistený pokles na 75 % pôvodnej hodnoty. Pre experimentálne overenie bol vyhotovený prototypový čip v 130 nm CMOS technológii. Jedná sa o spoločný zdieľaný prototyp, ktorý bol v predchádzajúcom zobrazený na obrázku 2.4 v kapitole 2.1.2, teraz však bolo overované jeho zapuzdrené prevedenie. DPS použitá na overenie kalibračného systému je zobrazená na obrázku 3.3. Samotný zapuzdrený prototyp je umiestnený v pätici umožňujúcej praktickú výmenu čipov. Zapojenie externých komponentov bolo výrazne modifikované v porovnaní s publikáciou [PA6], pre zabezpečenie možnosti merania parametrov potlačenia rušenia súhlasného signálu (CMRR) a potlačenia rušenia z napájacieho napätia (PSRR) navrhnutého obvodu VGA.



Obr. 3.4: Porovnanie simulovaných a nameraných časových priebehov kalibračného cyklu VGA [PA9].

Výsledky týchto meraní boli publikované v [PA9,PA10]. Funkčnosť vyvinutej digitálnej kalibračnej metódy je demonštrovaná na obrázku 3.4. Tu sú porovnané simulačné a experimentálne získané časové priebehy výstupných napätí VGA počas procesu kalibrácie pre najlepší a najhorší prípad. Dosiahnuté časy kalibrácia sa pohybovali medzi 210 μ s a 319 μ s. Dosiahnuté hodnoty V_{Iof} po kalibrácii sa pohybovali medzi 13 μ V a 167 μ V pre meranie, a pre simulácie v rozsahu 12 μ V až 5,4 mV. Pred kalibráciou boli v najhoršom prípade pozorované hodnoty okolo 10 mV. Celkovo možno dosiahnuté výsledky považovať za dobré, nakoľko celý prototypový IO pracoval pri hodnote napájacieho napätia 0,6 V.

3.2 Návrh komparátorov pre nízko-napäťové IO

3.2.1 Súčasný stav

Pre implementáciu signálovo-zmiešaných integrovaných systémov je prepojenie analógových a digitálnych obvodov jednou z kľúčových vlastností celého systému. Základným obvodovým blokom na tento účel je napäťový komparátor, nakoľko tento spracuje analógové vstupné signály a prevedie ich na digitálnu odozvu na výstupe [37]. Z tohto dôvodu je používaný pre realizáciu analógovodigitálnych prevodníkov. Nakoľko je vstupná časť napäťových komparátorov realizovaná obdobným spôsobom ako vstup zosilňovačov, sú aj problémy pri implementovaní týchto obvodov podobné. Analýza možných metód pre návrh nízko-napäťových zosilňovačov z kapitoly 3.1.1 je teda aplikovateľná aj pre komparátory, kde sme sa sústredili hlavne na využitie metódy BDMOS.

3.2.2 Navrhnuté riešenia a prínos

Náš výskum v tejto oblasti bol zameraný na vývoj a implementáciu nízkonapäťových komparátorov pre zmiešané IO, vhodných pre použitie v systémoch pracujúcich pri hodnotách napájacieho napätia v rozsahu 0,4–0,6 V. Najdôležitejšie dosiahnuté výsledku sú publikované v nasledujúcich prácach autora:

- V. Stopjaková, M. Rakús, M. Kováč, D. Arbet, L. Nagy, M. Šovčík, M. Potočný. Ultra-Low Voltage Analog IC Design: Challenges, Methods and Examples. Radioengineering. Vol. 27, (2018)
 3.2.2a, [MP5]
- L. Nagy, V. Stopjaková, D. Arbet, M. Potočný, M. Kováč. An ultra lowvoltage rail-to-rail comparator for on-chip energy harvesters. AEÜ International Journal of Electronics and Communications. Vol. 108, (2019) 3.2.2b, [MP6]

Navrhnutá topológia komparátora bola predstavená a detailne opísaná v publikácii autora [PA11]. Vstupná časť navrhnutého komparátora pozostáva z PMOS tranzistorov riadených pomocou metódy BDMOS, čo rozširuje vstupný napäťový rozsah tohto zapojenia na celé pásmo ohraničené napájacími napätiami. Navrhnutá topológia využíva len dva tranzistory zapojené "nad sebou", z pohľadu napájacích napätí čím je zároveň maximalizovaná hodnota parametra *ic*. Podrobnejší opis tejto topológie spolu s malo-signálovým modelom tohto zapojenia sa nachádza v [MP6]. Tento obvod bol realizovaný v 130 nm CMOS technológii a zaberá plochu 23 × 19 μ m.

Prototypové vzorky navrhnutého komparátora boli experimentálne overené meraním. Nakoľko sa jedná o obvod s veľmi nízkou prúdovou spotrebou, boli pri simuláciách zohľadnené aj zvodové prúdy prvkov ochrany IO pred elektrostatickým nábojom – ESD. Pre tento účel bol vyvinutý Verilog-A model ktorý výrazne zlepšil koreláciu dosiahnutých simulačných a experimentálnych výsledkov celkovej prúdovej spotreby IO. Procesu vývoja tohto modelu je bližšie opísaný v kapitole 3.3.1.

Celkovo boli namerané a simulačné výsledky pre napájacie napätie 0,6 V v dobrej zhode. Maximálna nameraná hodnota celkového statického prúdového odberu pri izbovej teplote bola 2,15 μ A. Oneskorenia nábežných a dobežných hrán komparátora sa pohybovali medzi 15–260 ns v závislosti od vstupného napätia.



Obr. 3.5: Schéma zapojenia analógového jadra komparátora so zabudovanou hysteréziou [PA12].

Pri opakovanom meraní s hodnotou napájacieho napätia 0,4 V bol zaznamenaný výrazný pokles spotreby energie, kde hodnota statickej prúdovej spotreby klesla o 82 %. Takáto výrazná zmena nasvedčuje posunu pracovného režimu tranzistorov v zapojení do oblasti nízkej inverzie. Korelácia simulačných a experimentálnych výsledkov bola v tomto prípade podstatne nižšia ako v predchádzajúcom prípade, z čoho sa dá vyvodiť znížená presnosť použitých simulačných modelov. Zaujímavým javom, ktorý sa neprejavil v simuláciách, bol nameraný pokles prúdovej spotreby komparátora po preklopení výstupnej úrovne do nízkej úrovne. Diskrepancie boli zistené aj pre hodnoty oneskorenia nábežných a dobežných hrán, ktoré boli výrazne nižšie pre simulácie v porovnaní s experimentálnymi výsledkami.



Obr. 3.6: Prenosové oneskorenie navrhnutého komparátora s hysteréziou. Oneskorenie dobežnej hrany (a) a oneskorenie nábežnej hrany (b) [PA13].

Poznatky získané počas realizácie tohto prototypu boli aplikované pri návrhu modifikovaného obvodu komparátora, opísaného v publikáciách autora [PA12, PA13,PA14]. Tento komparátor bol navrhnutý pre zlepšenie robustnosti komparátora pri napájacom napätí 0,4 V. Toto bolo dosiahnuté zväčšením rozmerov tranzistorov použitých v analógovej časti komparátora, čo potláča vplyv variácií výrobného procesu. Ďalším zlepšením bolo pridanie digitálne riadeného obvodu nastavenia zabudovanej vstupnej hysterézie. Schéma zapojenia analógového jadra tejto topológie je zobrazená na obrázku 3.5. Pomocou dvoch bitov sa takto dajú realizovať hodnoty vstupnej hysterézie ± 0 mV, ± 10 mV, ± 20 mV, alebo ± 50 mV. Nevýhodami týchto úprav je zvýšenie potrebnej plochy IO na 76 × 121 µm a zvýšenie celkovej prúdovej spotreby obvodu. V rámci [PA12] bol tento obvod simulačne overený v celom rozsahu variácie výrobného procesu a v teplotnom rozsahu od -20 °C po +85 °C.

Prototyp vyvinutého komparátora bol realizovaný na rovnakom zdieľanom čipe ako systém kalibrácie z kapitoly 3.1. Experimentálne overenie dynamických vlastností prototypov bolo predmetom publikácie autora [PA13]. Výsledky meraní a ich porovnanie s výsledkami simulácií sú zobrazené na obrázku 3.6. tieto priebehy poukazujú na systematickú chybu simulačných výsledkov, ktoré majú tendenciu podhodnocovať oneskorenia ako nábežných tak aj dobežných hrán komparátora.



Obr. 3.7: Jednosmerné charakteristiky parametrov komparátora s hysteréziou. Prevodová charakteristika pre rôzne nastavené hodnoty hysterézie (a) a závislosť prúdovej spotreby od vstupného napätia (b) [PA14].

V rámci práce autora [PA14] boli experimentálne overené DC parametre prototypu komparátora, so zameraním na jeho prúdovú spotrebu a prevodovú charakteristiku. Hlavné výsledky týchto analýz sú zobrazené na obrázku 3.7. Na obrázku 3.7a je zobrazená prevodová charakteristika realizovaného prototypu komparátora, s rôznymi hodnotami vstupnej hysterézie. Prevodová charakteristika demonštruje správnu funkčnosť navrhnutej metódy digitálneho riadenia tohto parametra. Na obrázku 3.7b je zobrazená závislosť prúdovej spotreby tejto verzie komparátora. Rovnako ako v prvej implementovanej verzii, je aj pre modifikovanú verziu pozorovaný pokles celkovej prúdovej spotreby po zmene hodnoty výstupného napätia. Ako bolo spomenuté vyššie, tieto diskrepancie je možné zdôvodniť nedostatočnou presnosťou výrobcom poskytovaných simulačných modelov.

3.3 Modelovanie štruktúr pre nízke napätia

3.3.1 Súčasný stav

Vlastnosti analógových obvodov fungujúcich v podmienkach veľmi nízkeho napájacieho napätia robia ich návrh náročným, a obzvlášť pri použití bežne dostupných simulačných modelov tranzistorov. Ak použijeme niektorú z nekonvenčných metód návrhu opísaných v kapitole 3.1.1, tento problém sa ešte prehlbuje.

V súčastnosti jeden z najrozšírenejších modelov tranzistorov, používaných v polovodičovom priemysle už niekoľko desaťročí, je model typu BSIM [78]. Tento model bol vyvinutý hlavne pre použitie v režime silnej inverzie, kde využíva kvadratickú aproximáciu pre definíciu závislosti kolektorového prúdu tranzistora od vstupného napätia V_{GS} . Pre modelovanie prvkov pracujúcich v slabej inverzii je v tomto prípade použitá exponenciálna aproximácia tejto závislosti, čo spôsobuje diskontinuity a zhoršuje výslednú presnosť modelu mimo oblasti silnej inverzie tranzistora.

Modely zo skupín založených na povrchovom potenciáli [79] alebo na metodike inverzného náboja [80] sa ukazujú ako vhodné pre simuláciu a návrh IO v moderných nanotechnológiách, kde majú rôzne kvantové efekty značný vplyv na parametre obvodových komponentov. Rovnako modelujú aj nie kvázi-statické správanie prvkov v týchto technológiách, ako aj vplyv topografického rozloženia a geometrie tranzistorov. Ich schopnosť opísať všetky pracovné režimy tranzistora jednou aproximáciou ich zasa robí výhodnými pri návrhu nízko-napäťových IO. Vďaka využitiu iných fyzikálnych efektov na opis parametrov aktívnych súčiastok sú tieto novšie generácie modelov schopné zlepšiť presnosť výsledkov simulácií pri zachovaní rozumnej kompaktnosti modelu, čo zaručuje efektívne využitie dostupného výpočtového výkonu [81–85].

Vzhľadom na zameranie nášho výskumu v oblasti nízko-napäťových IO, ktorý bol orientovaný na využitie metódy BDMOS riadenia tranzistorov, sme sa rozhodli pre vývoj modelov vhodných pre tento účel. Vzhľadom na túto skutočnosť sme sa zamerali hlavne na modely typu EKV [86].

3.3.2 Navrhnuté riešenia a prínos

V tejto oblasti výskumu sme sa zamerali na extrakciu parametrov prvkov štandardnej CMOS technológie s minimálnym rozmerom 130 nm, ako aj na vývoj modelov typu EKV a Verilog-A, optimalizovaných pre podmienky nízkych napájacích napätí. Výsledky nášho výskumu dosiahnuté pre oblasť modelovania štruktúr pre nízko-napäťové IO boli zahrnuté v publikácii autora:

 L. Nagy, D. Arbet, M. Kováč, M. Potočný, M. Šovčík, V. Stopjaková. EKV MOS Transistor Model For Ultra Low-Voltage Bulk-Driven IC Design. 2021 24th International Symposium on Design and Diagnostics of Electronic Circuits Systems (DDECS) (2021) 3.3.2a, [MP7]

Prvou úlohou v tejto oblasti bol vývoj modelu použitých štruktúr ochrany pred ESD, ktorý bol prezentovaný v publikácii autora [PA15]. V rámci tohto výskumu bol pozorovaný značný rozdiel experimentálne zistených hodnôt záverného prúdu a hradlovej kapacity prvkov tvoriacich štruktúry ESD, v porovnaní s výrobcom poskytovanými modelmi pre tieto prvky.



Obr. 3.8: Volt-ampérové charakteristiky realizovaných štruktúr *ESD* ochrany. *GGPMOS* tranzistor (a) a *GGNMOS* tranzistor (b) [PA15].

Výrobcom poskytované modely, ktoré sú súčasťou technologickej podpory pre simulovanie – tzv. PDK, nadhodnocujú zvodové prúdy, v uvažovanom rozsahu napájacích napätí 0,4–0,6 V približne o 70–80 %. Zároveň bola hodnota

kapacity podhodnotená o približne 13–17 %. Kombinácia odchýlok týchto dvoch parametrov spôsobila aj výraznú diskrepanciu časovej konštanty tohto zapojenia, ktorá sa pohybovala v rozsahu 49-54 %. Nakoľko sa v tomto prípade jedná o prvky s nemennou topológiou zvolili sme implementáciu vo forme modelu druhu Verilog-A. Pre overenie dosiahnutých výsledkov boli vykonané aj 3D simulácie použitých polovodičových štruktúr, ktoré budeme označovať ako *TCAD*. Volt-ampérové charakteristiky tranzistorov získané pomocou spomenutých troch metód sú spolu s nameranými hodnotami zobrazené na obrázku 3.8. Z tohto porovnania je možné pozorovať, že vyvinutý Verilog-A model má najlepšiu zhodu s nameranými dátami, hlavne v oblasti závernej polarizácie.



Obr. 3.9: Efektivita transkonduktancie v závislosti od koeficientu inverzie tranzistora [MP7].

Pre použitie pri návrhu analógových IO sme sa zamerali na vývoj EKV typu modelu, verzie 2.63 [86]. Prvá fáza vývoja EKV modelu spočívala v návrhu metodiky extrakcie jeho parametrov. Základom pre tento proces bol postup publikovaný v [87,88], ktorý bol upravený na základe požiadaviek konkrétnej aplikácie tohto modelu pre návrh IO s nízkym napájacím napätím. Proces týchto úprav bol predmetom publikácií autora [PA16] a [MP7].

Prvým vylepšením bol presnejší opis vplyvu kladnej polarizácie PN priechodu medzi substrátom a emitorom tranzistora. Tento efekt, na rozdiel opisu zápornej polarizácie PN priechodu, nie je bežne zahrnutý v procese extrakcie, nakoľko nie je štandardne využívaný. Avšak v prípade ovládania tranzistorov metodikou BDMOS je tento režim potrebný. Pre uvažovanú aplikáciu má efekt nárazovej ionizácie takmer nulový vplyv, preto sme vynechali extrakciu parametrov modelu ktoré ho zohľadňujú. Geometrie tranzistorov s krátkym a úzkym kanálom tranzistora nie sú z dôvodu vysokého vplyvu fluktuácie výrobných parametrov využívané pri návrhu analógových IO, preto sme ich charakterizáciu úplne vynechali. Celkovo boli tieto zmeny zamerané na efektívnosť procesu extrakcie, ktorá je vo všeobecnosti veľmi časovo náročná.

Proces extrakcie parametrov EKV modelov mal päť krokov, pričom každý z nich bol realizovaný pomocou samostatného merania. Tieto boli následne zopakované pre každú geometriu tranzistora, ktorých bolo celkovo použitých 14. Tieto boli implementované v podobe testovacích štruktúr na samostatnom čipe, ktorých bolo vyrobených 25 vzoriek. Podrobný opis jednotlivých krokov tohto procesu extrakcie je zahrnutý v publikácii autora [MP7].

Obr. 3.10: Porovnanie modelov pre ovládanie tranzistora pomocou metodiky BDMOS [MP7].

Na základe vykonaných meraní boli nastavené a optimalizované parametre vyvinutého EKV (verzia 2.63) modelu tranzistora pre použitú technológiu. Takto získané dáta boli porovnané s výrobcom dodávaným modelom typu BSIM (ve-

ria 3.3). V režime silnej inverzie sú výsledky získané z oboch typov modelov porovnateľné, čo je očakávaný výsledok. Výhody nami vyvinutého modelu sa začínajú prejavovať v režime strednej a slabej inverzie, predovšetkým pre hodnoty parametra *ic* medzi 0,01 a 1. Toto je možné pozorovať z priebehu efektivity transkonduktancie zobrazeného na obrázku. 3.9. Toto výrazné zlepšenie vyplýva hlavne z diskontinuity BSIM modelu tranzistora v teito oblasti. Podobný trend je zjavný pre väčšinu porovnávaných charakteristík. Celkovo boli zaznamenané zlepšenia presnosti v rozsahu 6–49 %, v závislosti od konkrétnej sledovanej charakteristiky tranzistora. Najvýraznejšie zlepšenia boli dosiahnuté pre parameter prenosovej vodivosti, ktorý je jeden z najviac využívaných parametrov pri návrhu analógových IO. Z pohľadu metodiky návrhu BDMOS je rovnako dôležité aj výrazné zlepšenie modelovania vplyvu zmeny napätia substrátovej elektródy zobrazené na obrázku 3.10, ktorý bol dosiahnutý najmä pre oblasť priepustnej polarizácie PN priechodu substrát-emitor. Tieto dosiahnuté zlepšenia robia nami vyvinutý model vhodným pre návrh IO s veľmi nízkou hodnotou napájacieho napätia a obzvlášť pre návrh pomocou metodiky BDMOS.

4 Zhrnutie prínosov a záver

4.1 Zhrnutie prínosov

1. Prínosy v rámci zberačov energie integrovaných na čipe

- Návrh usmerňovača pre systém zberača energie plne integrovaného na čipe, s kompenzáciou vplyvu prahového napätia spínacích tranzistorov.
- Integrácia navrhnutého usmerňovača spolu s prijímacou cievkou a laditeľným obvodom impedančného prispôsobenia na prototyp čipu.
- Realizácia DPS vysielacej časti systému bezdrôtového prenosu energie.
- Charakterizácia parametrov realizovaného systému, so zameraním na výstupné napätie, výkon a celkovú účinnosť prenosu.

2. Prínosy pre AC/DC meniče napätia

- Návrh novej topológie meniča napätia na princípe riadeného nabíjania zásobného kondenzátora, určeného pre veľmi nízke výstupné výkony.
- Návrh obvodových blokov IO zabezpečujúceho ovládanie navrhnutého meniča napätia a realizácia prvého prototypu.
- Návrh a výroba DPS potrebných pre charakterizáciu navrhnutého IO.
- Testovanie funkčnosti a charakterizácia parametrov navrhnutého meniča napätia. Identifikovanie nedostatkov v riadiacej časti navrhnutého IO a návrh budúceho zlepšenia.
- Dosiahnuté výsledky naznačujú vhodnosť navrhnutej topológie pre nízkopríkonové aplikácie.

3. Prínosy pre návrh a kalibráciu zosilňovačov pre nízko-napäťové IO

- Rozvoj a aplikovanie metód BDMOS a DTMOS pri návrhu nízko-napäťových analógových IO.
- Implementácia navrhnutých obvodov v rámci integrovaného VGA zosilňovača v 130 nm CMOS výrobnej technológii.
- Experimentálne overenie navrhnutých obvodov v podobe merania prototypových vzoriek čipu a identifikácia hlavných úskalí vyplývajúcich z ras-

túceho vplyvu fluktuácie technologického procesu pri obvodoch s veľmi nízkym napájacím napätím.

- Rozvoj metód merania a vyhodnotenia nežiadúcich efektov na vlastnosti zosilňovačov so zameraním na vstupný ofset napätia. Úspešná implementácia digitálnej kalibrácie V_{Iof} v prototypovom IO s hodnotou napájacieho napätia 0,6 V.
- 4. Prínosy pre oblasť komparátorov pre nízko-napäťové IO
- Návrh, realizácia a experimentálne overenie dvoch verzií komparátora navrhnutého pre nízke hodnoty napájacích napätí 0,6 V a 0,4 V.
- Úspešná implementácia BDMOS metodiky pre návrh analógovej časti komparátora a analýza jej hlavných výhod a nevýhod.
- Diskrepancie zistené pri hodnote napájacieho napätia 0,4 V indikujú nedostatočnú presnosť výrobcom poskytnutých modelov pre režimy činnosti tranzistorov v strednej a slabej inverzie.
- 5. Prínosy v oblasti modelovania nízko-napäťových IO
- Vyvinutie Verilog-A modelu pre prvky ESD ochrany, ktoré výrazne vylepšujú presnosť modelovania celkovej spotreby IO.
- Rozvoj metodiky extrakcie parametrov pre typ modelu EKV, optimalizovanej pre použitie pri návrhu IO s nízkym napájacím napätím.
- Výrazné zlepšenie presnosti modelu v porovnaní s výrobcom dodávaným modelom, najmä pre režim činnosti MOS tranzistora v slabej a strednej inverzii.
- Zlepšenie modelovania priepustnej polarizácie PN priechodu substrát-emitor pre BDMOS metodiku ovládania MOS tranzistora.

4.2 Záver

Dizertačná práca bola zostavená ako súhrn nadobudnutých poznatkov, dosiahnutých výsledkov a hlavných prínosov vedeckej činnosti autora, ktorá bola zameraná na zvýšenie energetickej efektivity nízko-príkonových zariadení, vhodných pre aplikácie v oblastiach IMD a IoT systémov. Dôraz bol kladený na zlepšenie efektivity napájacích zdrojov pre tieto systémy, ako aj zníženiu ich celkovej spotreby energie pomocou rozvoja techník návrhu analógových obvodových blokov IO. Značné úsilie bolo venované aj realizácii prototypov navrhnutých obvodových riešení, ako aj rozvoju metód pre ich experimentálne overenie. Dosiahnuté výsledky výskumu v týchto oblastiach boli počas priebehu doktorandského štúdia autora publikované v podobe celkovo 32 prác. Nakoľko sa jedná o širšie zameraný výskum, riešenia navrhnuté v rámci tejto dizertačnej práce boli rozdelené na dve hlavné oblasti:

- Zberače energie a napájacie obvodom pre nízko-príkonové IO
- Príspevok k návrhu a testovaniu nízko-napäťových IO

V rámci prvej z týchto oblastí bol výskum zameraný na inovatívne riešenia napájacích obvodov pre IMD a IoT systémy. Nakoľko sú vlastnosti týchto dvoch cielených aplikácií značne odlišné bolo nutné pre každú z nich aplikovať osobitný prístup. Pre systémy typu IMD sme sa zamerali na rozvoj systémov na bezdrôtový prenos energie blízkym magnetickým poľom. Hlavné požiadavky boli kladené na minimalizáciu celkových rozmerov vyvinutého riešenia, čo bolo zohľadnené implementáciou jeho prijímacej časti v plne integrovanej forme. Tento prístup zo sebou prináša značné obmedzenia, najmä veľmi nízku väzbu medzi vysielacou a prijímacou časťou systému. Na zlepšenie celkových vlastností boli preto implementované špecializované riešenia integrovanej prijímacej cievky, ako aj obvodov impedančného prispôsobenia a VF usmerňovača schopných pracovať pri veľmi nízkych úrovniach prijatého VF výkonu. Pre napájanie IoT systémov bol implementovaný menič AC sieťového napätia založený na princípe riadeného nabíjania zásobného kondenzátora. Riadiaci obvod pre tento menič bol implementovaný v podobe prototypového IO. Tento bol doplnený o externé komponenty, nutné pre realizáciu častí pracujúcich priamo s AC sieťovým napätím. Oba prototypové IO boli následne experimentálne overené, kde bola úspešne preukázaná ich funkčnosť, aj keď s určitými nedostatkami ktoré sa vyskytli v rámci prvého výrobného behu.

Druhá zo spomínaných oblastí výskumu bola venovaná oblasti návrhu nízkonapäťových analógových a zmiešaných IO. Zamerali sme sa na rozvoj metodiky BDMOS riadenia tranzistorov, ktorá je jedným z perspektívnych riešení pre realizáciu obvodov IO s napájacím napätím pod 1 V. V rámci tejto problematiky boli realizované obvody zosilňovačov a komparátorov využívajúce túto metodiku návrhu. V rámci ich experimentálneho overenia sme narazili na problém zvýšeného vplyvu výrobného rozptylu parametrov. Tento vplyv je kritický hlavne pre obvody zosilňovačov, kde dochádzalo k výraznému zhoršeniu ich vlastností. Tento vplyv bol úspešne potlačený implementáciou digitálne riadeného obvodu kompenzácie vstupného ofset napätia. Druhým zisteným nedostatkom bola nízka presnosť výrobcom poskytovaných simulačných modelov pre režimy strednej a slabej inverzie tranzistorov, do značnej mieri spôsobenej použitým typom modelu BSIM (verzia 3.3). Preto sme sa rozhodli pre vyvinutie modelu typu EKV, ktoré poskytujú zvýšenú presnosť v týchto režimoch činnosti. Pre tento účel bol optimalizovaný proces extrakcie parametrov tohto modelu. Model vyvinutý na základe tejto metódy sa vyznačuje výrazne lepšou presnosťou pri jeho použití spolu s metodikou návrhu BDMOS.

Výsledky a prínosy dosiahnuté počas výskumu v rámci týchto oblastí prispievajú k rozvoju nielen konkrétnych riešení ponúknutých v rámci tejto dizertačnej práce, ale sú vhodné a prínosné pre použitie v širokej škále elektronických systémov pre zníženie ich celkovej energetickej náročnosti.

Literatúra

- Guoxing Wang, Wentai Liu, M. Sivaprakasam, and G. A. Kendir. Design and analysis of an adaptive transcutaneous power telemetry for biomedical implants. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 52(10):2109–2117, Oct 2005.
- [2] C. Sauer, M. Stanacevic, G. Cauwenberghs, and N. Thakor. Power harvesting and telemetry in cmos for implanted devices. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 52(12):2605–2613, Dec 2005.
- [3] F. Inanlou and M. Ghovanloo. Wideband near-field data transmission using pulse harmonic modulation. *IEEE Transactions on Circuits and Systems I: Regular Pa*pers, 58(1):186–195, Jan 2011.
- [4] M. Ghovanloo and K. Najafi. A modular 32-site wireless neural stimulation microsystem. *IEEE Journal of Solid-State Circuits*, 39(12):2457–2466, Dec 2004.
- [5] R. R. Harrison, P. T. Watkins, R. J. Kier, R. O. Lovejoy, D. J. Black, B. Greger, and F. Solzbacher. A low-power integrated circuit for a wireless 100-electrode neural recording system. *IEEE Journal of Solid-State Circuits*, 42(1):123–133, Jan 2007.
- [6] A. Shameli, A. Safarian, A. Rofougaran, M. Rofougaran, J. Castaneda, and F. De Flaviis. A uhf near-field rfid system with fully integrated transponder. *IEEE Transactions on Microwave Theory and Techniques*, 56(5):1267–1277, May 2008.
- [7] A. Radecki, H. Chung, Y. Yoshida, N. Miura, T. Shidei, H. Ishikuro, and T. Kuroda.
 6w/25mm2 inductive power transfer for non-contact wafer-level testing. In 2011 IEEE International Solid-State Circuits Conference, pages 230–232, Feb 2011.
- [8] S. Dey and N. C. Karmakar. An iot empowered flexible chipless rfid tag for low cost item identification. In 2017 IEEE Region 10 Humanitarian Technology Conference (R10-HTC), pages 179–182, Dec 2017.
- [9] R. W. Porto, V. J. Brusamarello, I. Müller, F. L. Cabrera Riaño, and F. Rangel De Sousa. Wireless power transfer for contactless instrumentation and measurement. *IEEE Instrumentation Measurement Magazine*, 20(4):49–54, August 2017.
- [10] P. M. Y. Fan, O. Y. Wong, M. J. Chung, T. Y. Su, X. Zhang, and P. H. Chen. Energy harvesting techniques: Energy sources, power management and conversion. In 2015 European Conference on Circuit Theory and Design (ECCTD), pages 1–4, Aug 2015.

- [11] A. S. Weddell, M. Magno, G. V. Merrett, D. Brunelli, B. M. Al-Hashimi, and L. Benini. A survey of multi-source energy harvesting systems. In 2013 Design, Automation Test in Europe Conference Exhibition (DATE), pages 905–908, March 2013.
- [12] K. Fotopoulou and B. W. Flynn. Wireless powering of implanted sensors using rf inductive coupling. In 2006 5th IEEE Conference on Sensors, pages 765–768, Oct 2006.
- [13] Lin Liu, Yang Liu, Lizhe Wang, Albert Zomaya, and Shiyan Hu. Economical and balanced energy usage in the smart home infrastructure: A tutorial and new results. *IEEE Transactions on Emerging Topics in Computing*, 3(4):556–570, 2015.
- [14] Sameek Ghosh. Smart homes: Architectural and engineering design imperatives for smart city building codes. In 2018 Technologies for Smart-City Energy Security and Power (ICSESP), pages 1–4, 2018.
- [15] Vishakha D. Vaidya and Pinki Vishwakarma. A comparative analysis on smart home system to control, monitor and secure home, based on technologies like gsm, iot, bluetooth and pic microcontroller with zigbee modulation. In 2018 International Conference on Smart City and Emerging Technology (ICSCET), pages 1–4, 2018.
- [16] Martina Botticelli, Lucio Ciabattoni, Francesco Ferracuti, Andrea Monteriù, Stefano Pizzuti, and Sabrina Romano. A smart home services demonstration: Monitoring, control and security services offered to the user. In 2018 IEEE 8th International Conference on Consumer Electronics - Berlin (ICCE-Berlin), pages 1–4, 2018.
- [17] Ieee vision for smart grid controls: 2030 and beyond reference model. IEEE Vision for Smart Grid Control: 2030 and Beyond Reference Model, pages 1–10, 2013.
- [18] Kabita Agarwal, Arun Agarwal, and Gourav Misra. Review and performance analysis on wireless smart home and home automation using iot. In 2019 Third International conference on I-SMAC (IoT in Social, Mobile, Analytics and Cloud) (I-SMAC), pages 629–633, 2019.
- [19] Krishna Shah and Zunnun Narmavala. A survey on green internet of things. In 2018 Fourteenth International Conference on Information Processing (ICINPRO), pages 1–4, 2018.
- [20] J. Brenkuš and V. Stopjaková and R. Záluský and J. Mihálov and L. Majer. Power-efficient smart metering plug for intelligent households. In 2015 25th Inter-

national Conference Radioelektronika (RADIOELEKTRONIKA), pages 110–113, April 2015.

- [21] D.M. Binkley, M. Bucher, and D. Foty. Design-oriented characterization of cmos over the continuum of inversion level and channel length. In *ICECS 2000. 7th IEEE International Conference on Electronics, Circuits and Systems (Cat. No.00EX445)*, volume 1, pages 161–164 vol.1, 2000.
- [22] Eric A Vittoz et al. Micropower techniques. Design of VLSI circuits for telecommunication and signal processing, pages 53–97, 1994.
- [23] S.-L. Siu, W.-S. Tam, H. Wong, C.-W. Kok, K. Kakusima, and H. Iwai. Influence of multi-finger layout on the subthreshold behavior of nanometer mos transistors. *Microelectronics Reliability*, 52(8):1606 – 1609, 2012. ICMAT 2011 - Reliability and variability of semiconductor devices and ICs.
- [24] Y. Tsividis and C. McAndrew. Operation and Modeling of the MOS Transistor. The Oxford Series in Electrical and Computer Engineering Series. Oxford University Press, 2011.
- [25] Marc Pastre. Methodology for the digital calibration of analog circuits and systems application to a Hall sensor microsystem. EPFL, Lausanne, 2005.
- [26] S Gabriel, R W Lau, and C Gabriel. The dielectric properties of biological tissues: Ii. measurements in the frequency range 10 hz to 20 ghz. *Physics in Medicine & Biology*, 41(11):2251, 1996.
- [27] A. S. Y. Poon, S. O'Driscoll, and T. H. Meng. Optimal frequency for wireless power transmission into dispersive tissue. *IEEE Transactions on Antennas and Propagation*, 58(5):1739–1750, May 2010.
- [28] Meysam Zargham and P. Glenn Gulak. Fully integrated on-chip coil in 0.13 μm cmos for wireless power transfer through biological media. *IEEE Transactions on Biomedical Circuits and Systems*, 9(2):259–271, 2015.
- [29] Hamed Rahmani and Aydin Babakhani. A dual-mode rf power harvesting system with an on-chip coil in 180-nm soi cmos for millimeter-sized biomedical implants. *IEEE Transactions on Microwave Theory and Techniques*, 67(1):414–428, 2019.
- [30] Meysam Zargham and P. Glenn Gulak. A 0.13µm cmos integrated wireless power receiver for biomedical applications. In 2013 Proceedings of the ESSCIRC (ESS-CIRC), pages 137–140, 2013.

- [31] Jiwoong Park, Chul Kim, Abraham Akinin, Sohmyung Ha, Gert Cauwenberghs, and Patrick P. Mercier. Wireless powering of mm-scale fully-on-chip neural interfaces. In 2017 IEEE Biomedical Circuits and Systems Conference (BioCAS), pages 1-4, 2017.
- [32] S. Ha, A. Akinin, J. Park, C. Kim, H. Wang, C. Maier, G. Cauwenberghs, and P. P. Mercier. A 16-channel wireless neural interfacing soc with rf-powered energyreplenishing adiabatic stimulation. In 2015 Symposium on VLSI Circuits (VLSI Circuits), pages C106–C107, 2015.
- [33] Chul Kim, Sohmyung Ha, Abraham Akinin, Jiwoong Park, Rajkumar Kubendran, Hui Wang, Patrick P. Mercier, and Gert Cauwenberghs. Design of miniaturized wireless power receivers for mm-sized implants. In 2017 IEEE Custom Integrated Circuits Conference (CICC), pages 1–8, 2017.
- [34] R. Barnett, S. Lazar, and Jin Liu. Design of multistage rectifiers with low-cost impedance matching for passive rfid tags. In *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium, 2006*, pages 4 pp.–, June 2006.
- [35] J. F. Dickson. On-chip high-voltage generation in mnos integrated circuits using an improved voltage multiplier technique. *IEEE Journal of Solid-State Circuits*, 11(3):374–378, Jun 1976.
- [36] Sanjeev K., M. Machnoor, K. J. Vinoy, and T. V. Prabhakar. Some practical considerations of rf to dc converter using low vth cmos rectifier. In 2015 IEEE Applied Electromagnetics Conference (AEMC), pages 1–2, Dec 2015.
- [37] B. Razavi. Design of Analog CMOS Integrated Circuits. McGraw-Hill higher education. Tata McGraw-Hill, 2002.
- [38] S. S. Chouhan and K. Halonen. The design and implementation of dtmos biased all pmos rectifier for rf energy harvesting. In 2014 IEEE 12th International New Circuits and Systems Conference (NEWCAS), pages 444–447, June 2014.
- [39] Koji Kotani and Takashi Ito. High efficiency cmos rectifier circuit with self-vthcancellation and power regulation functions for uhf rfids. In 2007 IEEE Asian Solid-State Circuits Conference, pages 119–122, Nov 2007.
- [40] T. Umeda, H. Yoshida, S. Sekine, Y. Fujita, T. Suzuki, and S. Otaka. A 950mhz rectifier circuit for sensor network tags with 10-m distance. *IEEE Journal of Solid-State Circuits*, 41(1):35–41, Jan 2006.
- [41] K. Kotani, A. Sasaki, and T. Ito. High-efficiency differential-drive cmos rectifier for uhf rfids. *IEEE Journal of Solid-State Circuits*, 44(11):3011–3018, Nov 2009.

- [42] A. K. Moghaddam, J. H. Chuah, H. Ramiah, J. Ahmadian, P. I. Mak, and R. P. Martins. A 73.9 %-efficiency cmos rectifier using a lower dc feeding (ldcf) self-body-biasing technique for far-field rf energy-harvesting systems. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 64(4):992–1002, April 2017.
- [43] H. Dai, Y. Lu, M. K. Law, Sai-Weng Sin, U. Seng-Pan, and R. P. Martins. A review and design of the on-chip rectifiers for rf energy harvesting. In 2015 IEEE International Wireless Symposium (IWS 2015), pages 1–4, March 2015.
- [44] D. Karolak, T. Taris, Y. Deval, J. B. Béguéret, and A. Mariano. Design comparison of low-power rectifiers dedicated to rf energy harvesting. In 2012 19th IEEE International Conference on Electronics, Circuits, and Systems (ICECS 2012), pages 524–527, Dec 2012.
- [45] M. Kováč, V. Stopjaková, D. Arbet, L. Nagy, and J. Brenkuš. Investigation of onchip coil in 130 nm standard cmos for wpt and bio-applications. In 2016 International Conference on Emerging eLearning Technologies and Applications (ICETA), pages 177–182, Nov 2016.
- [46] D.M. Pozar. Microwave Engineering, 4th Edition. Wiley, Hoboken, NJ, 4th edition, 2010.
- [47] G.D. Vendelin, A.M. Pavio, and U.L. Rohde. Microwave Circuit Design Using Linear and Nonlinear Techniques. Wiley, Hoboken, NJ, 2005.
- [48] K. Finkenzeller. RFID Handbook: Fundamentals and applications in contactless smart cards, radio frequency identification and near-field communication. Wiley, Hoboken, NJ, third edition, 2010.
- [49] M. Zargham and P. G. Gulak. Maximum achievable efficiency in near-field coupled power-transfer systems. *IEEE Transactions on Biomedical Circuits and Systems*, 6(3):228–245, June 2012.
- [50] Vishakha D. Vaidya and Pinki Vishwakarma. A comparative analysis on smart home system to control, monitor and secure home, based on technologies like gsm, iot, bluetooth and pic microcontroller with zigbee modulation. In 2018 International Conference on Smart City and Emerging Technology (ICSCET), pages 1–4, 2018.
- [51] A. R. Al-Ali, A. H. El-Hag, R. Dhaouadi, and A. Zainaldain. Smart home gateway for smart grid. In 2011 International Conference on Innovations in Information Technology, pages 90–93, 2011.

- [52] Xiaobo Mao, Keqiang Li, Zhiqiang Zhang, and Jing Liang. Design and implementation of a new smart home control system based on internet of things. In 2017 International Smart Cities Conference (ISC2), pages 1–5, 2017.
- [53] N. Mohan, T.M. Undeland, and W.P. Robbins. *Power Electronics: Converters, Applications, and Design.* Power Electronics: Converters, Applications, and Design. John Wiley & Sons, 2003.
- [54] A. Pressman, K. Billings, and T. Morey. Switching Power Supply Design, 3rd Ed. Mcgraw-hill, 2009.
- [55] Robert Erickson and Dragan Maksimovic. Fundamentals of Power Electronics. Springer International Publishing, 01 2020.
- [56] N. Golbon and G. Moschopoulos. A novel ac-dc single-stage converter for low power applications. In 2009 IEEE Energy Conversion Congress and Exposition, pages 954–959, 2009.
- [57] S. Moon, B. Chung, G. Koo, J. Guo, and L. Balogh. A conduction band control ac-dc buck converter for a high efficiency and high power density adapter. In 2017 *IEEE Applied Power Electronics Conference and Exposition (APEC)*, pages 1771– 1777, 2017.
- [58] R. Baharom, S. A. Ramli, and M. K. Hamzah. Peripheral interface controller (pic) based smart low power ac-dc converter. In 2010 IEEE Symposium on Industrial Electronics and Applications (ISIEA), pages 76–81, 2010.
- [59] C. Yao, Y. Zhang, H. Chen, X. Zhang, H. Li, Y. M. Alsmadi, and J. Wang. Adaptive constant power control of mhz gan-based ac/dc converters for low power applications. *IEEE Transactions on Industry Applications*, 54(3):2525–2533, 2018.
- [60] A. M. Ammar, F. M. Spliid, Y. Nour, and A. Knott. Analysis and design of a charge-pump-based resonant ac-dc converter with inherent pfc capability. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, 8(3):2067–2081, 2020.
- [61] Plamen Tsankov and Milko Yovchev. Study of the electrical characteristics of lightemitting diode luminaires at amendment of the supply voltage. In 2018 Seventh Balkan Conference on Lighting (BalkanLight), pages 1–6, 2018.
- [62] V. M. Rajović and N. S. Jovičić. The capacitive divider power supply and its design problem. In 2011 19thTelecommunications Forum (TELFOR) Proceedings of Papers, pages 852–855, 2011.

- [63] J. Brenkuš, V. Stopjaková, J. Chovanec, and J. Lachkovič. Non-isolated ac/dc energy converter for smart grid sensor nodes. In 2018 International Conference on Applied Electronics (AE), pages 1–4, Sep. 2018.
- [64] A. Wang, B.H. Calhoun, and A.P. Chandrakasan. Sub-threshold Design for Ultra Low-Power Systems. Integrated Circuits and Systems. Springer US, 2006.
- [65] Shouli YAN and E. Sanchez-Sinencio. Low voltage analog circuit design techniques: A tutorial. *IEICE Transactions on Analog Integrated Circuits and Systems*, E83-A, 02 2000.
- [66] P.W. Allen, B.J. Blalock, and G.A. Rincon. A 1 v cmos op amp using bulk-driven mosfets. In *Proceedings ISSCC '95 - International Solid-State Circuits Conference*, pages 192–193, 1995.
- [67] B.J. Blalock and P.E. Allen. A low-voltage, bulk-driven mosfet current mirror for cmos technology. In *Proceedings of ISCAS'95 - International Symposium on Circuits and Systems*, volume 3, pages 1972–1975 vol.3, 1995.
- [68] Daniel Arbet, Martin Kováč, Lukáš Nagy, Viera Stopjaková, and Juraj Brenkuš. Low-voltage bulk-driven variable gain amplifier in 130 nm cmos technology. In 2016 IEEE 19th International Symposium on Design and Diagnostics of Electronic Circuits Systems (DDECS), pages 1–6, 2016.
- [69] Y. Tsividis. Mixed Analog-digital VLSI Devices and Technology. World Scientific, 2002.
- [70] Vandana Niranjan, Ashwani Kumar, and Shail Bala Jain. Low voltage flipped voltage follower based current mirror using dtmos technique. In *IMPACT-2013*, pages 250–254, 2013.
- [71] Daniel Arbet, Viera Stopjaková, Martin Kováč, Lukáš Nagy, Matej Rakús, and Michal Šovčík. 130 nm cmos bulk-driven variable gain amplifier for low-voltage applications. Journal of Circuits, Systems and Computers, 26(08):1740003, 2017.
- [72] Daniel Arbet, Martin Kováč, Lukáš Nagy, Viera Stopjaková, and Michal Šovčík. Two-stage bulk-driven variable gain amplifier for low-voltage applications. In 2018 IEEE 21st International Symposium on Design and Diagnostics of Electronic Circuits Systems (DDECS), pages 45–50, 2018.
- [73] Daniel Arbet, Martin Kováč, Lukáš Nagy, Viera Stopjaková, and Michal Sovčík. Variable-gain amplifier for ultra-low voltage applications in 130nm cmos technology. In 2016 39th International Convention on Information and Communication Technology, Electronics and Microelectronics (MIPRO), pages 51–56, 2016.

- [74] Miller John. DC Output Errors in a Fully-Differential Amplifier. Application Note, May 2010.
- [75] Bryant James. Simple op amp measurements. Application Note, April 2011.
- [76] Palmer Richard. Dc parameters: Input offset voltage (v_{IO}) . Application Note, March 2001.
- [77] D. Arbet, G. Nagy, V. Stopjaková, and M. Kováč. Digital offset calibration of an opamp towards improving static parameters of 90 nm cmos dac. *Radioengineering*, 23:931–938, 2014.
- [78] Y. Chauhan, S. Venugopalan, M. A. Karim, S. Khandelwal, N. Paydavosi, P. Thakur, A. Niknejad, and C. Hu. Bsim — industry standard compact mosfet models. 2012 Proceedings of the ESSCIRC (ESSCIRC), pages 30–33, 2012.
- [79] Wei Yao, Gennady Gildenblat, Colin McAndrew, and Alexandra Cassagnes. Sphv: A scalable surface-potential-based compact model for ldmos transistors. *IEEE TRANSACTIONS ON ELECTRON DEVICES*, 59, 03 2012.
- [80] Gennady Gildenblat, Weimin Wu, Xin Li, Ronald van Langevelde, Andries J. Scholten, Geert D. J. Smit, and Dirk B. M. Klaassen. Surface-Potential-Based Compact Model of Bulk MOSFET, pages 3–40. Springer Netherlands, Dordrecht, 2010.
- [81] W.M. Sansen. Analog Design Essentials. The Springer International Series in Engineering and Computer Science. Springer US, 2007.
- [82] Andrea Ajbl, Marc Pastre, and Maher Kayal. Inversion factor based design methodology using the ekv mos model. In *Proceedings of the 18th International Conference Mixed Design of Integrated Circuits and Systems - MIXDES 2011*, pages 90–94, 2011.
- [83] Fernando Silveira, Denis Flandre, and P.G.A. Jespers. A gm/id based methodology for the design of cmos analog circuits and its application to the synthesis of a siliconon-insulator micropower ota. *Solid-State Circuits, IEEE Journal of*, 31:1314–1319, 10 1996.
- [84] D.M. Binkley. Tradeoffs and Optimization in Analog CMOS Design. John Wiley & Sons, 2008.
- [85] C. Galup-Montoro, M. C. Schneider, A. I. A. Cunha, F. Rangel de Sousa, Hamilton Klimach, and O. Franca Siebel. The advanced compact mosfet (acm) model for circuit analysis and design. In 2007 IEEE Custom Integrated Circuits Conference, pages 519–526, 2007.

- [86] C. Enz, F. Krummenacher, and E. Vittoz. An analytical most transistor model valid in all regions of operation and dedicated to low-voltage and low-current applications. Analog Integrated Circuits and Signal Processing, 8:83–114, 1995.
- [87] M. Bucher, C. Lallement, and C.C. Enz. An efficient parameter extraction methodology for the ekv most model. In *Proceedings of International Conference on Microelectronic Test Structures*, pages 145–150, 1996.
- [88] Wladek Grabinski, Daniel Tomaszewski, Farzan Jazaeri, Anurag Mangla, Jean-Michel Sallese, Maria-Anna Chalkiadaki, Antonios Bazigos, and Matthias Bucher. Foss ekv 2.6 parameter extractor. In 2015 22nd International Conference Mixed Design of Integrated Circuits Systems (MIXDES), pages 181–186, 2015.

Publikácie autora

Publikácie autora tvoriace jadro práce

- [MP1] M. Potočný, M. Kováč, D. Arbet, and V. Stopjaková. A 200 MHz RF wireless power transfer receiver for implantable medical devices fully integrated in 130 nm CMOS. In 2018 16th Biennial Baltic Electronics Conference (BEC), pages 1–5, 2018.
- [MP2] V. Stopjaková, M. Kováč, and M. Potočný. On-chip Energy Harvesting for Implantable Medical Devices. *Radioengineering*, 29:269–284, 06 2020.
- [MP3] M. Potočný, J. Brenkuš, and V. Stopjaková. High side power MOSFET switch driver for a low-power AC/DC converter. In 2019 IEEE 22nd International Symposium on Design and Diagnostics of Electronic Circuits Systems (DDECS), pages 1–6, 2019.
- [MP4] Miroslav Potočný, Viera Stopjaková, and Martin Kováč. Design and verification of a low-power AC/DC converter. Journal of Electrical Engineering, 72(2):113–118, 2021.
- [MP5] V. Stopjaková, M. Rakús, M. Kováč, D. Arbet, L. Nagy, M. Šovčík, and M. Potočný. Ultra-Low Voltage Analog IC Design: Challenges, Methods and Examples. *Radioengineering*, 27:171–185, 2018.
- [MP6] Lukáš Nagy, Viera Stopjaková, Daniel Arbet, Miroslav Potočný, and Martin Kováč. An ultra low-voltage rail-to-rail comparator for on-chip energy harvesters. AEU - International Journal of Electronics and Communications, 108:10–18, 2019.
- [MP7] Lukáš Nagy, Daniel Arbet, Martin Kováč, Miroslav Potočný, Michal Šovčík, and Viera Stopjaková. EKV MOS Transistor Model For Ultra Low-Voltage Bulk-Driven IC Design. In 2021 24th International Symposium on Design and Diagnostics of Electronic Circuits Systems (DDECS), pages 6–10, 2021.

Publikácie autora súvisiace s témou dizertačnej práce

- [PA1] Miroslav Potočný. Usmerňovače pre vysokofrekvenčný zberač energie integrovaný na čipe. Počítačové architektury a diagnostika : Česko-slovenský seminár pre študentov doktorandského štúdia, pages 28–31, 2017.
- [PA2] M. Potočný, V. Stopjaková, and M. Kováč. Self Vth-compensating CMOS onchip rectifier for inductively powered implantable medical devices. In 2018 IEEE 21st International Symposium on Design and Diagnostics of Electronic Circuits Systems (DDECS), pages 158–161, 2018.
- [PA3] Miroslav Potočný. Príprava experimentálneho overenia systému na bezdrôtový prenos energie plne integrovaný na čipe. Počítačové architektury a diagnostika : Česko-slovenský seminář pro studenty doktorského studia, pages 73–76, 2019.
- [PA4] M. Potočný, V. Stopjaková, and M. Kováč. Measurement of a wireless power transfer system with a fully integrated receiver. In 2019 17th International Conference on Emerging eLearning Technologies and Applications (ICETA), pages 655–660, 2019.
- [PA5] M. Potočný, M. Šovčík, and V. Stopjaková. Development of test equipment for evaluation of low-power AC/DC converter ASIC. In 2020 30th International Conference Radioelektronika (RADIOELEKTRONIKA), pages 1–5, 2020.
- [PA6] M. Potočný, M. Šovčík, D. Arbet, V. Stopjaková, and M. Kováč. New input offset voltage measurement setup for ultra low-voltage fully differential amplifier. In 2018 International Conference on Applied Electronics (AE), pages 1–5, 2018.
- [PA7] M. Šovčík, V. Stopjaková, D. Arbet, M. Kováč, and M. Potočný. Adverse effects of digital calibration hardware on low-voltage operational amplifiers. In 2018 28th International Conference Radioelektronika (RADIOELEKTRONIKA), pages 1–4, 2018.
- [PA8] M. Šovčík, V. Stopjaková, D. Arbet, M. Kováč, and M. Potočný. Digital methods of calibration for analog integrated circuits in nanotechnologies. In 2017 15th International Conference on Emerging eLearning Technologies and Applications (ICETA), pages 1–6, 2017.
- [PA9] M. Sovčík, V. Stopjaková, D. Arbet, and M. Potočný. Autonomous on-chip digital calibration for analog ICs in nanotechnologies. In 2020 30th International Conference Radioelektronika (RADIOELEKTRONIKA), pages 1–5, 2020.

- [PA10] M. Šovčík, V. Stopjaková, L. Nagy, M. Potočný, and D. Arbet. On-chip digital calibration for analog ICs towards improved reliability in nanotechnologies. In 18th International Conference on Emerging eLearning Technologies and Applications (ICETA), pages 646–651, 2020.
- [PA11] L. Nagy, D. Arbet, M. Kováč, M. Potočný, and V. Stopjaková. Design and performance analysis of ultra-low voltage rail-to-rail comparator in 130 nm CMOS technology. In 2018 IEEE 21st International Symposium on Design and Diagnostics of Electronic Circuits Systems (DDECS), pages 51–54, 2018.
- [PA12] L. Nagy, D. Arbet, M. Kováč, M. Potočný, and V. Stopjaková. Ultra lowvoltage rail-to-rail comparator design in 130 nm CMOS technology. In 2019 IEEE 22nd International Symposium on Design and Diagnostics of Electronic Circuits Systems (DDECS), pages 1–6, 2019.
- [PA13] L. Nagy, D. Arbet, M. Kováč, M. Potočný, M. Šovčík, and V. Stopjaková. Dynamic properties of ultra low-voltage rail-to-rail comparator designed in 130 nm CMOS technology. In 2020 23rd International Symposium on Design and Diagnostics of Electronic Circuits Systems (DDECS), pages 1–4, 2020.
- [PA14] L. Nagy, D. Arbet, M. Kováč, M. Potočný, M. Šovčík, and V. Stopjaková. Performance analysis of ultra low-voltage rail-to-rail comparator in 130 nm CMOS technology. In 2019 IEEE AFRICON, pages 1–5, 2019.
- [PA15] L. Nagy, A. Chvála, J. Marek, M. Potočný, and V. Stopjaková. Performance analysis of ESD structures in 130 nm CMOS technology for low-power applications. In 2019 29th International Conference Radioelektronika (RADIOELEK-TRONIKA), pages 1–6, 2019.
- [PA16] L. Nagy, D. Arbet, M. Kováč, M. Potočný, M. Šovčík, and V. Stopjaková. EKV transistor model for ultra low-voltage bulk-driven circuits. In 2019 17th International Conference on Emerging eLearning Technologies and Applications (ICETA), pages 546–551, 2019.
- [PA17] Michal Šovčík and Martin Kováč and Daniel Arbet and Viera Stopjaková and Miroslav Potočný. Ultra-low-voltage boosted driver for self-powered systems. *Microelectronics Reliability*, 80:155–163, 2018.
- [PA18] Miroslav Potočný. Prijímač pre bezdrôtový prenos energie plne integrovaný na čipe. Počítačová Architektura a Diagnostika 2018, pages 37–40, 2018.
- [PA19] Viera Stopjaková, Martin Kováč, Miroslav Potočný, and Daniel Arbet. Senzorický uzol ako aktívna, energeticky autonómna implantovateľná zdravotnícka pomôcka. *labMED*, 15:31–35, 2019.

- [PA20] V. Stopjaková, D. Arbet, L. Nagy, M. Kováč, M. Potočný, M. Šovčík, M. Rakús, and L. Kohútka. A on-chip energy harvester system for low voltage applications. *EUROPRACTICE : Activity report 2018-2019*, pages 51–53, 2019.
- [PA21] D. Arbet, M. Kováč, V. Stopjaková, and M. Potočný. Bulk-driven fully differential difference amplifier for ultra-low voltage applications. In 2018 41st International Convention on Information and Communication Technology, Electronics and Microelectronics (MIPRO), pages 0093–0098, 2018.
- [PA22] D. Arbet, M. Kováč, V. Stopjaková, and M. Potočný. Voltage-to-frequency converter for ultra-low-voltage applications. In 2019 42nd International Convention on Information and Communication Technology, Electronics and Microelectronics (MIPRO), pages 53–58, 2019.

Ostatné publikácie autora

- [PB1] Daniel Arbet, Martin Kováč, Viera Stopjaková, and Miroslav Potočný. Implementation and evaluation of a front-end ASIC for noise dosimeter applications. *International Journal of Electronics*, 107(2):331–347, 2020.
- [PB2] Tomáš Iliť, Pavol Valko, Jozef Sitek, Patrik Novák, Milan Držík, Dagmar Senderáková, Mariana Ušáková, Marian Marton, Miroslav Behúl, Martin Tomáška, Miroslav Potočný, and Marian Vojs. A novel method for time-resolved measurement of magnetization dynamics induced by femtosecond laser pulse in highly absorbing and metallic layer coated thin films based on a magnetic loop antenna. AIP Advances, 9(9):095044, September 2019.
- [PB3] Miroslav Potočný and Martin Tomáška. Oscilátor na 25 GHz. ŠVOČ 2014: Zborník vybraných prác, pages 213–218, 2014.