

SLOVENSKÁ TECHNICKÁ UNIVERZITA V BRATISLAVE
Fakulta elektrotechniky a informatiky
Ústav elektroniky a fotoniky

Rozvoj integrovaných meničov napätia pre systémy na konverziu energie

Development of on-chip voltage converters for energy harvesters

Autoreferát dizertačnej práce
na získanie vedecko-akademickej hodnosti Philosophiae Doctor (PhD.)

v študijnom programe: Elektronika a fotonika

v študijnom odbore: Elektrotechnika

forma štúdia: denná

Evidenčné číslo: FEI-104404-80599

autor: Ing. Róbert Ondica

školiťka: prof. Ing. Viera Stopjaková, PhD.

Bratislava, jún 2023

Dizertačná práca bola vypracovaná na Ústave elektroniky a fotoniky, Fakulta elektrotechniky a informatiky Slovenskej technickej univerzity v Bratislave.

Predkladateľ: Ing. Róbert Ondica
Ústav elektroniky a fotoniky
Fakulta elektrotechniky a informatiky
Slovenská technická univerzita v Bratislave
Ilkovičova 3, 812 19 Bratislava
email: robert.ondica@stuba.sk

Školiteľka: prof. Ing. Viera Stopjaková, PhD.
Ústav elektroniky a fotoniky
Fakulta elektrotechniky a informatiky
Slovenská technická univerzita v Bratislave
Ilkovičova 3, 812 19 Bratislava
email: viera.stopjakova@stuba.sk

Oponenti: doc. Ing. Jiří Jakovenko, PhD.
Katedra mikroelektroniky
Fakulta elektrotechnická
České vysoké učení technické v Praze
Technická 1902/2, Praha, ČR
email: jakovenk@fel.cvut.cz

prof. Ing. Ivan Kneppo, DrSc.
Nové Sady 240
951 24 Nové Sady
email: ivan.kneppo@gmail.com

Autoreferát bol rozoslaný dňa:

Obhajoba dizertačnej práce sa koná dňa 25. augusta 2023 o 11:00 hod. prezenčnou formou pred komisiou pre obhajoby dizertačných prác v študijnom programe Elektronika a fotonika v študijnom odbore Elektrotechnika.

Predseda skúšobnej komisie
prof. Ing. Ivan Hotový, DrSc.

Dekan fakulty FEI STU v Bratislave
prof. Ing. Vladimír Kutíš, PhD.

Obsah

1 Úvod a motivácia	3
2 Ciele dizertačnej práce	6
3 Analýza meničov napätia	7
3.1 Teoretické porovnanie topológií	7
3.2 Porovnanie topológií na základe simulácií	8
3.3 Zvolená topológia napäťového meniča	9
3.3.1 Boost konvertor	10
3.3.2 Matematická analýza	12
4 Integrovaná cievka	13
4.1 Návrhové techniky pre zlepšenie elektrických vlastností cievky	13
4.2 Analýza vplyvu návrhových techník na elektrické vlastnosti cievky	14
4.3 Navrhnutá integrovaná cievka pre 130 nm CMOS technológiu . .	16
4.4 Navrhnutá integrovaná cievka pre 65 nm CMOS technológiu . . .	17
4.4.1 Náhradná schéma integrovanej cievky a kondenzátora . .	18
5 Integrovaný menič napätia	21
5.1 Navrhnutý systém zberu energie	21
5.2 Analýza hraníc funkčnosti systému	23
5.2.1 Saturačný prúd cievky (MLS)	23
5.2.2 Digitálne preladiateľný oscilátor (OSC)	24
5.2.3 Monostabilný multivibrátor (ONESHOT)	26
5.2.4 Rýchlosť kontrolného obvodu pre dolný spínač (LS CTRL)	27
5.2.5 Detektor prechodu prúdu nulou (ZCCD)	27
5.2.6 Rýchlosť kontrolného obvodu pre horný spínač (HS CTRL)	30
5.2.7 Napätím riadená oneskorovacia bunka (VCDU)	32

6	Verifikácia funkčnosti systému	34
6.1	Výsledky simulácií navrhnutého zberača energie	34
6.1.1	Analýza spotreby obvodu a výkonových strát	37
6.2	Výsledky meraní prototypového čipu	41
6.2.1	Výsledky merania digitálne preladiteľného oscilátora . . .	43
6.2.2	Výsledky merania navrhnutého meniča napätia	44
6.3	Porovnanie dosiahnutých výsledkov	46
6.3.1	Integrovaná cievka	46
6.3.2	Integrovaný menič napätia	48
7	Zhrnutie výsledkov a prínosov práce	49
8	Záver	51
	Literatúra	52
	Publikácie autora súvisiace s témou práce	63
	Ostatné publikácie autora	64

1 | Úvod a motivácia

Súčasný rozvoj elektroniky kladie dôraz na prenosnosť elektronických zariadení viac ako kedykoľvek predtým. Typickými predstaviteľmi takejto elektroniky sú rôzne zariadenia internetu vecí (IoT, z angl. *Internet of Things*), ako napríklad senzory fyziologických funkcií pre zdravotnícke účely. Tu sú obzvlášť diskutovanou témou medicínske zariadenia a ich požiadavky na úsporu (resp. spotrebu) energie, kompaktnosť a spoľahlivosť [1–3]. Ďalšími predstaviteľmi sú autonómne senzory [4, 5] a mobilné nositeľné zariadenia [6]. Návrh elektronických systémov je preto smerovaný primárne k znižovaniu ich energetickej náročnosti za účelom zvýšenia životnosti batérií, ale aj k prípadnému dosiahnutiu úplnej energetickej autonómnosti (tzv. systémy bez batérií) [7]. Toto je však možné zabezpečiť iba s použitím alternatívnych zdrojov energie z okolitého prostredia, kde využívame meniče energie (EC, z angl. *Energy Converters*).

Menič energie zabezpečuje premenu energie nachádzajúcej sa v okolitom prostredí na energiu elektrickú. Podľa vstupnej formy energie, ktorú sú EC schopné premeniť, je známych niekoľko typov, napríklad fotovoltické (PV, z angl. *Photovoltaic*), pyroelektrické, termoelektrické, piezoelektrické, triboelektrické, či meniče energie vysokofrekvenčného (RF, z angl. *Radio Frequency*) elektromagnetického (EMG) poľa [8]. Veľa meničov energie generuje na svojom výstupe elektrickú energiu vo forme jednosmerného (DC, z angl. *Direct Current*) napätia a prúdu, ktorého hodnota je nevhodná na priame využitie, a to najmä vo vzťahu k hodnote požadovaného nominálneho napájacieho napätia pre zariadenia (napr. $>1,2$ V) [9, 10]. Nevyhnutnou súčasťou je teda subsystém manažmentu a správy napájania s konverziou jednosmerného napätia zvyčajne smerom nahor (angl. *step-up DC-DC*). Takýto systém na zmenu hodnoty napätia voláme menič napätia (VC, z angl. *Voltage Converter*).

VC upravujú úroveň napätia generovanú EC na úroveň využiteľnú pre ďalšie obvody. Obvodové riešenia „step-up“ DC-DC napäťového manažmentu s diskrétnymi pasívnymi komponentmi, prípadne s komponentmi integrovanými priamo v puzdre (SiP, z angl. *System in Package*), zaznamenali značný rozmach [11]. Avšak v prípade monolitickej implementácie celého systému na čip (SoC, z angl. *System-on-Chip*) vrátane integrácie všetkých pasívnych prvkov, existuje len ob-

medzené množstvo riešení, pričom väčšina výskumu je venovaná napäťovým meničom s konverziou napätia smerom nadol a navyše často za použitia finančne nákladných dodatočných krokov v rámci výrobných postupov [12–14]. Z uvedeneho vyplýva, že implementácia „step-up” napäťových meničov v štandardnej a cenovo dostupnej technológii vo forme monolitického riešenia na čipe disponuje značným priestorom k inováciám a novým vedeckým poznatkom.

Spojením EC a VC vzniká komplexný systém nazývaný tiež zberač energie (EH, z angl. *Energy Harvester*) [15]. Výstupné napätie a výkon zberača energie sú závislé od jeho typu a podmienok prostredia, v ktorom sa zberač nachádza [9]. Dobře adaptovaným a populárnym riešením v IoT je prenos elektromagnetickej energie prostredníctvom technológií ako NFC (angl. *Near-Field Communication*) či indukčne-viazaných cievok [9]. Tie navyše svojou kompatibilitou s manažmentom energie a správy napájania, ktorý je implementovaný na kremíkovom substráte, ponúkajú aj plnú integráciu na čip [10]. Z pohľadu dostupnosti energie v prostredí, je energia elektromagnetickeho poľa, či už vo vysokofrekvenčnom spektre alebo v spektre viditeľného svetla, prítomná v prostredí prirodzených alebo umelých zdrojov takmer vždy [16].

Monolitická integrácia systému na čip v štandardnej CMOS technológii je však úzko spätá a limitovaná najmä nízkou kvalitou pasívnych prvkov (kondenzátor, cievka). Avšak vplyv pasívnych súčiastok na vlastnosti integrovaných napäťových meničov môže byť redukovaný použitím vhodných techník ich návrhu [13]. Tiež sa ponúkajú rôzne možnosti topológie integrovaného napäťového meniča a typu primárneho akumuláčného prvku, t.j. kapacitný alebo induktívny napäťový menič, prípadne ich hybridná verzia [14, 17].

Treba tiež podotknúť, že z hľadiska výkonovej účinnosti, nastavený trend zreteľne diktuje preferovaný typ primárneho akumuláčného prvku vzhľadom na uvažovanú výkonovú plošnú hustotu [13, 14]. Variabilita generovaného výstupného výkonu EC je však pomerne široká, pretože závisí od vonkajších činiteľov prostredia (napr. pre IoT a PV je to výkon rádovo μW – mW). Preto sa dá konštatovať, že topológia „step-up” integrovaného napäťového meniča vo vzťahu k EC nie je priamočiaro definovaná, čo ponúka priestor na ďalšiu analýzu a priamo súvisí aj s vyšpecifikovaním faktorov limitujúcich spoľahlivosť a robustnosť takéhoto systému. Typickým príkladom môže byť redukcia účinnosti konverzie

energie z dôvodu nárastu vodivostných alebo spínaných strát, obmedzenia vyplývajúce zo striktného časovania (v jednotkách ns), prípadne stresové podmienky znižujúce životnosť aktívnych prvkov a pod. [18].

V nadväznosti na nastavený trend, práve plná integrácia systému manažmentu a správy napájania na čip ako aj súvislosti spojené s jeho implementáciou vo forme monolitického riešenia sú motiváciou k stanoveniu hlavných cieľov tejto práce. Návrh celého systému pre zber energie je závislý od možností inovovania a rozšírenia poznatkov v konkrétnych oblastiach výskumu a postupne sa odvíja od špecifikácií a požiadaviek jeho jednotlivých súčastí a subsystémov. Postupná definícia možností technológie a elektrických vlastností základných stavebných blokov nakoniec určuje limity celého systému. Analýza a vyšpecifikovanie týchto limitujúcich parametrov je preto veľmi dôležitá pre ďalšie nasmerovanie výskumu a zlepšenie konkrétnych elektrických parametrov navrhovaného systému meniča napätia.

Vzhľadom na neprestávajúcu potrebu dôsledného manažmentu napájania integrovaných obvodov (IO) ako takého, ale aj na uvedené možnosti výskumu napäťových meničov v spojení so zberačmi energie, sa hlavnou motiváciou práce stáva rozvoj energeticky-autonómnych aplikácií. Vytvorenie energeticky autonómneho systému s plne automatickým riadením vlastnej činnosti, definíciou jeho elektrických vlastností a limitujúcich faktorov, ako aj návrh možností pre riešenie identifikovaných problémov a ďalšie vylepšenia systému tvoria rámcový zámer prebehnutého výskumu opísaného v tejto dizertačnej práci.

2 | Ciele dizertačnej práce

Ciele dizertačnej práce boli stanovené na základe zistení vyplývajúcich z vykonanej analýzy o súčasnom stave problematiky v oblasti napäťových DC-DC konvertorov pre zvýšenie napätia a sú smerované k analýze a rozvoju plne integrovaných napäťových meničov pre systémy na konverziu energie. Rámcové ciele tejto dizertačnej práce boli definované nasledovne:

- Analýza existujúcich topológií napäťových meničov pre zvýšenie hodnoty jednosmerného napätia a výber vhodného obvodu meniča vzhľadom na možnosť jeho plnej integrácie na čip.
- Návrh, implementácia a vyhodnotenie štruktúry integrovanej cievky pre napäťový menič v štandardnej CMOS technológii.
- Návrh a optimalizácia obvodu napäťového meniča vrátane radiaceho obvodu pre plnú integráciu v štandardnej CMOS technológii a jeho spojenie s fotovoltickým meničom energie ako zdrojom vstupného napätia pre navrhnutý menič.
- Experimentálne overenie integrovaného systému napäťového meniča prostredníctvom merania prototypových čipov.

3 | Analýza meničov napätia

Napäťový konvertor, menič alebo prevodník, je obvod schopný meniť vlastnosti napäťového signálu. Vo všeobecnosti môže ísť o jeho amplitúdu, frekvenciu, polaritu, prípadne impedančné oddelenie. Pre účely tejto práce sa budeme zaoberať iba DC–DC napäťovými meničmi, ktoré dokážu meniť len hodnotu jednosmerného napätia, prípadne jeho polaritu.

DC–DC spínaný napäťový menič je všeobecne obvod obsahujúci výkonový vstupný port, riadiace porty a výkonový výstupný port. Vstupná elektrická energia je spracovaná v obvode a poslaná na výkonový výstup obvodu. Jej vlastnosti sú pritom špecifikované signálom z riadiaceho vstupu. Obvod môže vykonávať niekoľko funkcií. Vstupný DC signál je premieňaný na výstupný DC signál nižšej alebo vyššej hodnoty napätia, opačnej polarity alebo izolovaný od vstupného signálu, prípadne od spoločného uzemňujúceho potenciálu [19].

3.1 Teoretické porovnanie topológií

Prvotný výskum porovnania topológií napäťových meničov bol uskutočnený a zosumarizovaný v písomnej práci k dizertačnej skúške. Topológie vybraté do porovnania museli spĺňať základné požiadavky dané zamýšľanou aplikáciou. Podmienky, ktoré musí napäťový konvertor spĺňať, sa týkajú charakteru spracovania vstupného napätia (DC napätie), konverzného pomeru ($k > 1$), charakteru výstupného napätia (DC napätie) a vhodnosti pre monolitickú integráciu na čip (zložitosť a počet komponentov).

Prvotné teoretické porovnanie topológií meničov napätia vhodných pre zamýšľanú aplikáciu je založené najmä na zložitosti samotných topológií a vhodnosti pre plnú integráciu na čip. Z tohto porovnania boli vybrané topológie konvenčný Boost konvertor (CBC, z angl. *Conventional Boost Converter*), 3-stupňový Boost konvertor (3LBC, z angl. *3-Level Boost Converter*), dvojcestný konvertor na zvýšenie napätia (DPUC, z angl. *Dual-Path Step-up Converter*). Topológie 3LBC a DPUC boli doplnené o jeden plávajúci kondenzátor a jeden plávajúci spínač, ktorých úlohou je znižovanie prúdovej záťaže na integrovanú

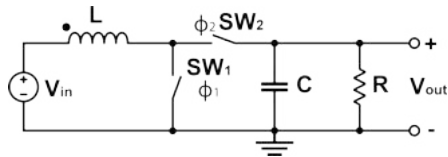
cievku, čím sú vytvorené ďalšie 2 topológie: modifikovaný 3-stupňový Boost konvertor (M3LBC, z angl. *Modified 3-Level Boost Converter*) a modifikovaný dvojcestný konvertor na zvýšenie napätia (MDPUC, z angl. *Modified Dual-Path Step-up Converter*). Všetky spomenuté topológie sú zobrazené na obrázku 3.1. Teoretickým porovnaním vybraných topológií meničov napätia sme sa podrobne venovali v práci [RO1].

3.2 Porovnanie topológií na základe simulácií

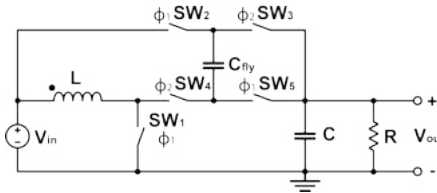
Ďalšia časť práce sa venuje vyhodnoteniu výsledkov simulácií vybraných napäťových meničov. Simulácie sú sústredené na hľadanie maximálnej efektivity prenosu energie obvodom pri širokej škále výstupných výkonov od $P_{out_{MIN}} = 0,2 \text{ mW}$ do $P_{out_{MAX}} = 20 \text{ mW}$ a regulovaným jednosmerným výstupným napätím $V_{out} = 1,2 \text{ V}$ s čo najnižším zvlnením. Vstupným napätím obvodu je napätie solárneho článku $V_{in} = 0,56 \text{ V}$. Všetky obvody sú navrhované a simulované pre 130 nm CMOS technológiu v prostredí programu Cadence. Hlbšia štúdia niektorých topológií bola publikovaná v prácach [RO2, RO3, RO4].

Prvý súbor simulácií zahrňuje analýzu topológií meničov s ideálnymi spínačmi, ktoré nezahrňujú spínané straty. Hodnoty odporov ideálnych spínačov pre jednotlivé stavy spínačov boli zvolené ako ich odpor v zopnutom stave $R_{ON} = 1 \Omega$ a odpor v rozopnutom stave $R_{OFF} = 1 \text{ G}\Omega$. Nasledujúce súbory simulácií zahrňujú modely reálnych spínačov postupne so sériovým odporom v zopnutom stave $R_{ON_1} = 0,5 \Omega$ a $R_{ON_2} = 1 \Omega$. Parametre simulácií, najmä napäťové a prúdové podmienky sú zvolené na základe teoretických vedomostí a predpokladaných požiadaviek na navrhovaný systém, ktoré sa počas prebiehajúceho výskumu modifikovali (C_{in} , C_{out} , R_{ON}) hlavne v dôsledku prechodu do inej výrobnéj technológie.

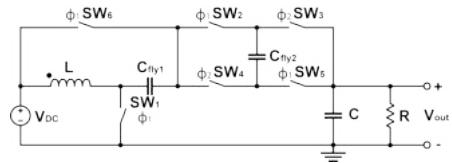
Na základe teoretického porovnania topológií meničov napätia pre zvýšenie napätia a následnej analýzy pomocou simulácií sme vybrali najvhodnejšiu topológiu pre návrh integrovaného DC-DC meniča pre zberače energie na čipe. Topológia konvenčného Boost konvertora (CBC) vykazovala najnižšiu zložitosť zapojenia, čoho výsledkom sú znížené výkonové vodivostné a spínacie straty na



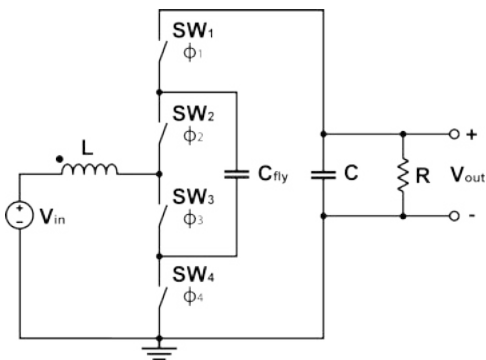
(a) Ideálna schéma CBC



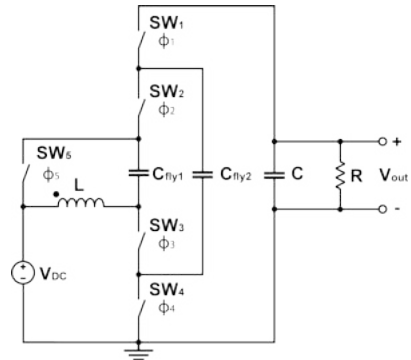
(b) Ideálna schéma DPUC



(c) Ideálna schéma MDPUC



(d) Ideálna schéma 3LBC



(e) Ideálna schéma M3LBC

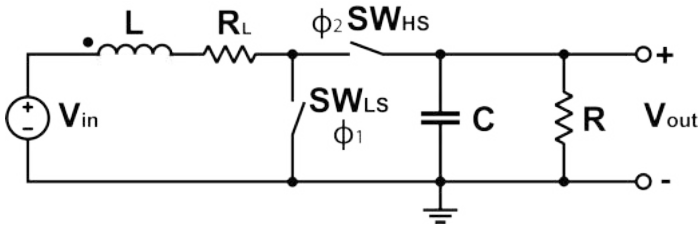
Obr. 3.1: Ideálne schematické zapojenia napäťových meničov

súčiastkach. Druhou výhodou nízkeho počtu súčiastok je nižšia zložitosť riadiaceho obvodu a ďalších pomocných obvodov a nižšia spotreba týchto obvodov. Okrem toho CBC topológia zároveň dosiahla v simuláciách porovnateľné výsledky ako 3LBC typ meniča. Z týchto dôvodov bola pre ďalší výskum a následnú implementáciu zvolená topológia CBC.

3.3 Zvolená topológia napäťového meniča

Vybraný typ meniča napätia pre zvýšenie napätia je konvenčný Boost konverter (CBC), ktorý je zobrazený na obrázku 3.2. Tento synchronný menič napätia

sa skladá z cievky L , dvoch výkonových spínačov SW_{LS} a SW_{HS} ovládaných signálmi Φ_1 a Φ_2 , kondenzátora C a záťaže R . Odpor R_L predstavuje sériový odpor neideálnej cievky. Spínač SW_{LS} je realizovaný MOSFET tranzistorom a SW_{HS} môže byť realizovaný diódou. Kvôli eliminácii poklesu napätia na dióde je ale v integrovanom dizajne efektívnejšie použiť MOSFET tranzistor aj pre tento spínač. Počet súčiastok (inými slovami jednoduchosť) tejto topológie je veľmi vhodný z pohľadu minimalizácie vodivostných strát na súčiastkach meniča napätia a spínacích strát pri vysokofrekvenčnom spínaní výkonových spínačov. Jednoduchosť topológie je výhodná aj vzhľadom na nutnosť implementácie riadiacich obvodov pre výkonové spínače a pre menšiu plochu na čipe, ktorú bude realizácia celého systému vyžadovať.

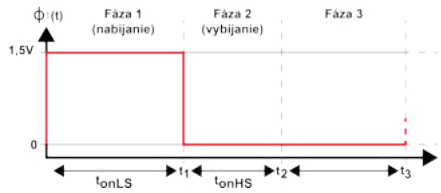


Obr. 3.2: Topológia Boost konvertora napätia

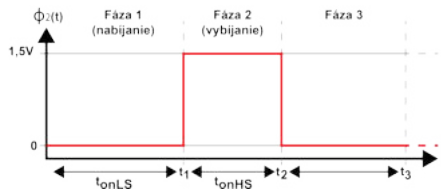
3.3.1 Boost konvertor

Pre lepšie pochopenie fungovania Boost konvertora je potrebné sa pozrieť na časovanie spínania výkonových spínačov a na časové priebehy napätí v jednotlivých uzloch a prúdov tečúcich jednotlivými prvkami. Časový priebeh riadiacich signálov Φ_1 a Φ_2 výkonových spínačov SW_{LS} a SW_{HS} je zobrazený na obrázkoch 3.3(a) a 3.3(b). Lineárne a exponenciálne aproximácie časových priebehov napätia a prúdu cez cievku Boost konvertora v DCM režime sú zobrazené na obrázkoch 3.3(c), 3.3(d), 3.3(e) a 3.3(f).

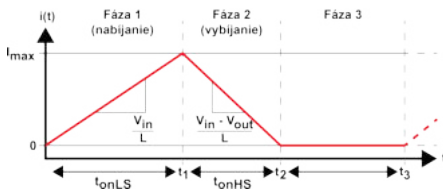
3.3. Zvolená topológia napäťového meniča



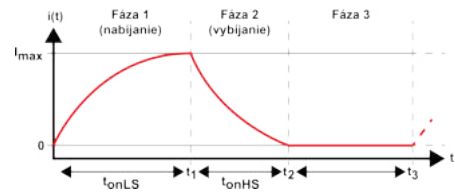
(a) Časová závislosť napätia na hradle dolného tranzistora (SW_{LS}) Boost konvertora v DCM režime



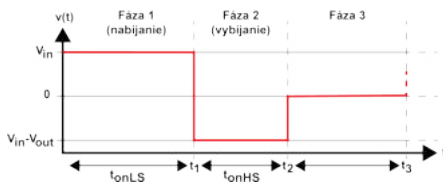
(b) Časová závislosť napätia na hradle horného tranzistora (SW_{HS}) Boost konvertora v DCM režime



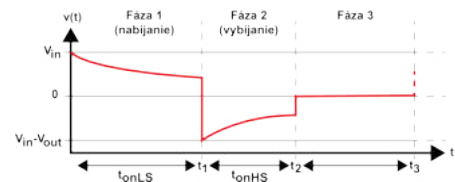
(c) Lineárna aproximácia časovej závislosti prúdu pretekajúceho cievkou v DCM režime



(d) Exponenciálna aproximácia časovej závislosti prúdu pretekajúceho cievkou v DCM režime



(e) Lineárna aproximácia časovej závislosti napätia na cievke v DCM režime



(f) Exponenciálna aproximácia časovej závislosti napätia na cievke v DCM režime

Obr. 3.3: Dôležité časové závislosti napätí a prúdov Boost konvertora v DCM režime

3.3.2 Matematická analýza

Lineárnu aproximáciu signálov v CBC topológii je možné použiť pri časoch prvej fázy fungovania konvertora omnoho menších ako je časová konštanta τ navrhnutého obvodu, ktorá je závislá od indukčnosti cievky a odporu cesty, ktorou tečie prúd. To je pravdepodobné v prípade, ak je súčet odporu cievky R_L a odporu výkonového spínača R_{LS} (cez ktorý tečie prúd počas fázy nabíjania cievky) zanedbateľne malý voči hodnote indukčnosti cievky L . Z hodnôt súčastok v plne integrovanom návrhu však vyplýva, že ich pomer (časová konštanta τ) je často v rádoch od 10^{-6} do 10^{-10} [20–26]. Z tohto dôvodu bola vykonaná matematická analýza, ktorá je nevyhnutná pre návrh plne integrovaného konvertora napätia.

V skutočnosti má prúd cievkou v závislosti od času tvar exponenciálnej funkcie so základom e . Použitím exponenciálnej aproximácie signálov sme vyjadrili parametre meniča napätia (maximálny prúd tečúci cievkou I_{Lmax} a čas zopnutia horného spínača t_{onHS} v závislosti od dĺžky času zopnutia spodného spínača t_{onLS}) dôležité pre hlbšie a presnejšie pochopenie fungovania topológie CBC. Výsledné vzorce pomáhajú presnejšie určiť predpokladané hranice funkčnosti meniča napätia potrebné v ďalšej analýze.

$$i_L(t_1) = I_{LmaxE} = \frac{V_{in}}{R_L + R_{LS}} \left(1 - e^{-\frac{t_{onLS}}{\tau_L}} \right). \quad (3.1)$$

$$t_{onHSE} = \ln \left[\frac{\frac{V_{out} - V_{in}}{R_L + R_{HS}}}{\frac{V_{out} - V_{in}}{R_L + R_{HS}} + \frac{V_{in}}{R_L + R_{LS}} \left(1 - e^{-\frac{t_{onLS}(R_L + R_{LS})}{L}} \right)} \right] \left[-\frac{L}{R_L + R_{HS}} \right]. \quad (3.2)$$

4 | Integrovaná cievka

Návrh a následná výroba integrovanej cievky s vyhovujúcimi elektrickými parametrami je dnes ešte stále jedným z najnáročnejších procesov spomedzi úplnej integrácie pasívnych súčiastok na čip. Mnohé parazitné javy vyskytujúce sa v integrovaných obvodoch významne ovplyňujú elektrické vlastnosti štruktúr integrovaných cievok. Plošné obmedzenia a štandardne používané materiály značne znižujú maximálne možné dosiahnuteľné hodnoty indukcie. Okrem charakteru výrobného procesu a použitým materiálom sú zmena dĺžky cievky a zmenšenie plochy prierezu vodiča zásadnými parametrami ovplyňujúcimi elektrické vlastnosti štruktúry. Problémami spojenými s procesom integrácie, vznikom parazitných javov a elimináciou energetických strát v štruktúre cievky sa zaoberá nasledujúca časť práce.

4.1 Návrhové techniky pre zlepšenie elektrických vlastností cievky

Integrácia cievky značne ovplyvňuje jej elektrické vlastnosti. Zvýšenie faktora kvality, zvýšenie indukčnosti a zníženie vplyvu parazitných efektov je možné zabezpečiť použitím zložitejších, ale často drahších výrobných procesov, ktoré sú vhodnejšie pre výrobu takýchto štruktúr. Okrem zmeny samotného výrobného procesu alebo použitia iných materiálov, je možné využiť špeciálne návrhové techniky, ktoré spočívajú v zmene geometrie štruktúry. Tieto techniky je možné použiť na zlepšenie elektrických vlastností integrovaných cievok vyrobených v štandardných technológiách, ale aj v špeciálnych výrobných technológiách pre integrované obvody. Skúmané návrhové techniky sú:

- vertikálna paralelizácia [27],
- horizontálna paralelizácia (angl. *Slicing*) [28],
- škálovanie šírky vodiča (angl. *Tapering*) [29–31],
- metóda rovnakých dĺžok (EPL, z angl. *Equal Path Lengths*) [32],
- tienenie EMG poľa cievky (PGS, z angl. *Patterned Ground Shield*) [33–36].

Tieto techniky boli použité pri návrhu integrovanej cievky pre vyvíjaný plne integrovaný menič napätia v štandardnej 130 nm a 65 nm CMOS technológii. Výsledky výskumu dosiahnuté pomocou týchto návrhových techník sme publikovali v našej práci [RO5]. V prácach [RO6] a [RO7] boli podrobnejšie opísané jednotlivé techniky použité v práci, ako aj ďalšie možnosti pre zlepšenie elektrických vlastností cievky a aktuálny stav problematiky v oblasti možností výroby integrovaných cievok.

4.2 Analýza vplyvu návrhových techník na elektrické vlastnosti cievky

Simulácie štruktúr a štúdium návrhových techník za účelom zlepšenia vybraných vlastností integrovanej cievky prebehlo v prostredí programu ANSYS Electronics Desktop v nástroji ANSYS Electromagnetics Suite vo verzii 2020 R2. Počas simulácií sme sa sústredili najmä na parametre predstavené v predošlej časti práce. Vyšetrenia vplyvu špeciálnych návrhových techník na elektrické vlastnosti plne integrovanej cievky prebehli s ohľadom na návrhové pravidlá a možnosti 130 nm CMOS technológie, pre ktorú je zamýšľaný návrh celého systému integrovaného meniča napätia. V tabuľke 4.1 sú zhrnuté výsledky simulácií štruktúr nesymetrickej cievky s pôdorysom tvaru nepravidelného osemuholníka. Integrovaná cievka má 4 závitov, pričom z toho 2 sú vonkajšie a 2 vnútorné nachádzajúce sa v kovových vrstvách nad sebou a zapojené v smere od vonkajších k vnútorným. Rozmery cievky boli $510 \mu\text{m} \times 800 \mu\text{m}$ čo predstavuje plochu $A = 0,408 \text{ mm}^2$. Získané údaje sú zaznamenané v takom smere budenia, pri ktorom vstupným portom je vonkajší port 1 a výstupným portom je vnútorný port 2 ($1 \rightarrow 2$). Vo všetkých ohľadoch je budenie v tomto smere výhodnejšie, a preto je vyhodnotenie výsledkov sústredené na tento smer zapojenia cievky.

Počas simulácií bolo najprv otestované vertikálne paralelizovanie vodivých ciest. Vyskúšali sme tri až šesť kovových vrstiev nachádzajúcich sa nad sebou. Dve kovové vrstvy najbližšie pri substráte boli vynechané kvôli možnosti implementácie PGS a pre kovové pospájanie. Pridávaním vrstiev smerom k substrátu sme znižovali sériový odpor cievky, avšak na úkor zvyšovania kapacitnej väzby

Tab. 4.1: Výsledné parametre rôznych návrhov integrovanej cievky (získané simuláciou)

Parameter	n	DC hodnoty		1 → 2		
		R _L [Ω]	L ¹ [nH]	Q _{MAX} [-]	f@Q _{MAX} [MHz]	
Počet kovových vrstiev štruktúry	3	1	3,204	11,402	9,441	662,262
	4	2	2,964	11,419	9,804	647,187
	5	3	2,809	11,455	9,921	632,456
	6	4	2,669	11,467	9,848	590,242
Slicing	6	5	3,011	11,945	8,750	590,242
	7	6	2,671	11,662	9,669	576,806
	8	7	2,699	11,467	9,848	590,242
	9	8	2,723	11,230	9,909	618,059
	10	9	2,750	10,983	9,885	632,456
	11	10	2,774	10,758	9,857	647,187
Tapering	8	11	2,675	10,979	9,926	618,059
	9	12	2,695	10,896	9,983	632,456
	10	13	2,726	10,766	9,929	632,456
EPL	8	14	2,690	10,995	9,661	603,990
	9	15	2,709	10,913	9,994	632,456
	9	16 ²	2,723	11,231	9,911	618,059
	10	17	2,742	10,800	9,956	647,187

¹ - Hodnoty pri $f \rightarrow 0 \text{ Hz}$, ² - Referenčná štruktúra bez použitia „tapering-u“

medzi štruktúrou cievky a substrátom.

Počet horizontálne paralelizovaných vodivých ciest (*Slicing*) bol zvolený na hodnotu od 6 do 11. Ďalšie hodnoty by pri dodržiavaní rovnakého súčtu šírky všetkých vodivých ciest tvoriacich jeden závit zapríčiňovali šírku vodivej cesty mimo hraničných hodnôt daných technológiou. V tejto časti sme dosiahli zvýšenie kvality cievky Q zvýšením počtu ciest zo 6 na 9 a ich zúžením na $W_M = 6,667 \mu\text{m}$.

Škálovaním šírky vodivej cesty (*Tapering*) sme opäť dosiahli malé zvýšenie faktora kvality cievky na hodnotu $Q = 9,983$. V tomto prípade bol DC sériový odpor cievky $R_L = 2,695 \Omega$ a indukčnosť pri $f \rightarrow 0 \text{ Hz}$ $L = 10,896 \text{ nH}$. Šírka ciest sa líšila podľa vzdialenosti od jadra cievky a pohybovala sa od hodnôt $W_{MIN} = 5,2 \mu\text{m}$ až po hodnotu $W_{MOUT} = 9,8 \mu\text{m}$. Pri zmene počtu jednotlivých

ciest (*Slicing*) aj škálovaní šírky ciest (*Tapering*) bol súčet šírky vodivých ciest tvoriacich jeden závit stále $120 \mu\text{m}$.

Posledná časť tabuľky 4.1 (štruktúra 14 až 17) sa zaoberá pridaním kríženia vodivých ciest za účelom vyrovnania dĺžok jednotlivých ciest (EPL).

Implementácia PGS bola taktiež overená simuláciami. Výsledky týchto simulácií neuvádzame do konečného zhodnotenia pretože zaradenie PGS medzi substrát a štruktúru cievky neprineslo žiadne pozitívne výsledky.

Použitím vyššie spomínaných návrhových techník sa nám podarilo znížiť DC odpor R_L o 15,45 % a zvýšiť faktor kvality cievky Q o 5,86 %, pričom sme znížili hodnotu indukčnosti cievky L pri $f \rightarrow 0 \text{ Hz}$ o 4,28 % (porovnanie prvej a najvhodnejšej štruktúry). Týmto spôsobom sme tiež posunuli maximálnu hodnotu kvality cievky bližšie ku predpokladanej pracovnej frekvencii (približne o 30 MHz bližšie). Dokázali sme, že vhodným návrhom štruktúry cievky je možné v istej miere vylepšiť vlastnosti integrovanej cievky.

4.3 Navrhnutá integrovaná cievka pre 130 nm CMOS technológiu

Výsledná navrhnutá štruktúra vhodná pre integrovanú cievku je štvorzávitová cievka v tvare osemuholníka s rozmermi $510 \mu\text{m} \times 800 \mu\text{m}$ a plochou $A=0,408 \text{ mm}^2$. Cievka je realizovaná v šiestich kovových vrstvách a každý závit tvorí paralelne zapojených 9 vodičov. V štruktúre je implementovaná technika „tapering-u” - šírka ciest je zvolená od $W_{MIN}=5,2 \mu\text{m}$ do $W_{MOUT}=9,8 \mu\text{m}$. V strede cievky sa jednotlivé vodivé cesty krížia podľa princípu techniky EPL a medzera medzi cestami bola zvolená ako najmenšia možná hodnota $W_P = 1,6 \mu\text{m}$ pre zvolenú technológiu. V takomto prípade sme dosiahli DC odpor cievky $R_L = 2,71 \Omega$, indukčnosť $L = 10,91 \text{ nH}$ (pri $f \rightarrow 0 \text{ Hz}$) a faktor kvality $Q = 9,99$. Maximálna hodnota faktora kvality bola pre túto cievku odmeraná pri hodnote frekvencie $f = 632,46 \text{ MHz}$ a rezonančná frekvencia cievky bola $f_{SR} = 1,59 \text{ GHz}$.

V tomto bode práce bolo z dôvodov obmedzenia a následného zrušenia výroby čipov v 130 nm CMOS technológii výrobcom UMC nutné prejsť do 65 nm CMOS technológie. Táto technológia ponúka tranzistory s prierazným napätím 1,2 V, 2,5 V a 3,3 V, oproti 130 nm CMOS technológii, ktorá ponúka len tranzistory s prierazným napätím 1,2 V a 3,3 V. Tranzistor s postačujúco vysokým prierazným napätím a nízkym odporom má v 65 nm technológii približne polovičnú plochu a kapacitu oxidu hradla oproti 130 nm CMOS technológii. Zníženie kapacity vrstvy dielektrika pod hradlom MOSFET tranzistora dovoľuje spoľahlivejší rozvod vysokofrekvenčného signálu po čipe a kratšie spínacie pulzy [37], čo je kritické pre našu aplikáciu. 65 nm CMOS technológia taktiež ponúka hrubšie dve vrchné kovové vrstvy s nižším plošným odporom (1,2 až 3 - násobne), ale vyšší plošný odpor pre ostatné kovové vrstvy (2,1 až 2,5 - násobne). Zúžením vrstiev sa integrovaná cievka dostáva bližšie k substrátu a parazitná kapacita cievky so substrátom bude mať tiež väčší vplyv na jej parametre. Plošná rezistivita substrátu je v 65 nm technológii približne 1,6 - násobne nižšia, ako v prípade 130 nm CMOS technológie. Tieto vlastnosti môžu značne ovplyvniť elektrické parametre integrovanej cievky.

4.4 Navrhnutá integrovaná cievka pre 65 nm CMOS technológiu

Štruktúra integrovanej cievky pre 65 nm CMOS technológiu bola navrhnutá na základe štúdie špeciálnych návrhových techník pre 130 nm CMOS technológiu. Na základe teoretických poznatkov a simulačných výsledkov bola navrhnutá nová štruktúra zahŕňajúca všetky návrhové techniky (vrátane PGS), ktorá zároveň spĺňa všetky návrhové pravidlá pre 65 nm CMOS technológiu.

Výsledná navrhnutá štruktúra vhodná pre integrovanú cievku je štvorzávitová cievka v tvare osemuholníka s rozmermi $560,65 \mu\text{m} \times 881,65 \mu\text{m}$ a plochou $A=0,494 \text{ mm}^2$. Cievka je realizovaná v troch kovových vrstvách a každý závit tvorí paralelne zapojených 8 vodičov. Šírka ciest je zvolená od $W_{MIN}=2,7 \mu\text{m}$ do $W_{MOUT}=12 \mu\text{m}$. V strede cievky sa jednotlivé vodivé cesty krížia podľa princípu techniky EPL trikrát a medzera medzi cestami bola zvolená ako najmen-

šia možná hodnota $W_P = 1,6 \mu\text{m}$ pre zvolenú technológiu. V takomto prípade sme dosiahli DC odpor cievky $R_L = 1,75 \Omega$, indukčnosť $L = 11,66 \text{ nH}$ (pri $f \rightarrow 0 \text{ Hz}$) a faktor kvality $Q = 8,39$. Maximálna hodnota faktora kvality bola pre túto cievku odmeraná pri hodnote frekvencie $f = 325,13 \text{ MHz}$ a rezonančná frekvencia cievky bola $f_{SR} = 0,76 \text{ GHz}$.

V 65 nm CMOS technológii sme boli schopní pod integrovanú cievku implementovať štít pre potlačenie kapacitnej väzby cievky so substrátom bez významného zhoršenia parametrov cievky. Tvarovaný tieniaci štít zaberá plochu približne $0,638 \text{ mm}^2$ s rozmermi $644,98 \mu\text{m} \times 989,42 \mu\text{m}$.

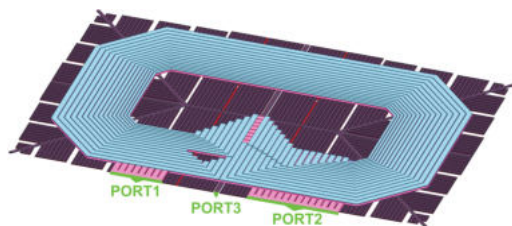
Pod štítom PGS sa zároveň nachádzal integrovaný kondenzátor použitý ako vstupný kondenzátor VC vytvorený pomocou MOSFET štruktúry vytvorenej v slabo dotovanej P jame, tzv. „native” NMOS tranzistor. Táto štruktúra predstavuje najlepšie riešenie maximálnej plošnej kapacity pri nízkom V_G napätí (v porovnaní so štandardnými NMOS a PMOS tranzistormi). Celková kapacita tohto kondenzátora bola odsimulovaná na hodnotu $1,6 \text{ nF}$.

Vizualizácia výslednej štruktúry z programu ANSYS je na obrázku 4.1(a), navrhnutý layout v programe Cadence je na obrázku 4.1(b) a fotografia vyrobenej štruktúry je na obrázku 4.1(c).

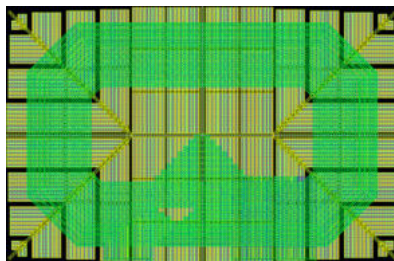
4.4.1 Náhradná schéma integrovanej cievky a kondenzátora

Pre účely simulácie meniča napätia bola vytvorená náhradná schéma integrovanej cievky a kondenzátora. Použitý bol štandardný širokopásmový model cievky [38] doplnený o predradný odpor kvôli presnejšiemu modelovaniu sériového odporu cievky a o model kondenzátora.

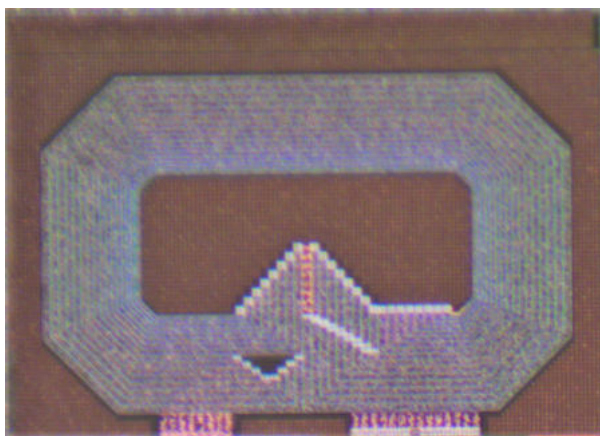
Porovnanie frekvenčných charakteristík integrovanej cievky a jej náhradnej schémy je zobrazené na obrázkoch 4.2(a), 4.2(b) a 4.2(c). Najväčšie a najzávažnejšie relatívne odchýlky kriviek sa nachádzajú v maximách jednotlivých kriviek a predstavujú hodnoty $4,08\%$ pre indukčnosť, $1,27\%$ pre sériový odpor a $2,29\%$ pre faktor kvality.



(a) Vizualizácia integrovanej cievky a kondenzátora z programu ANSYS



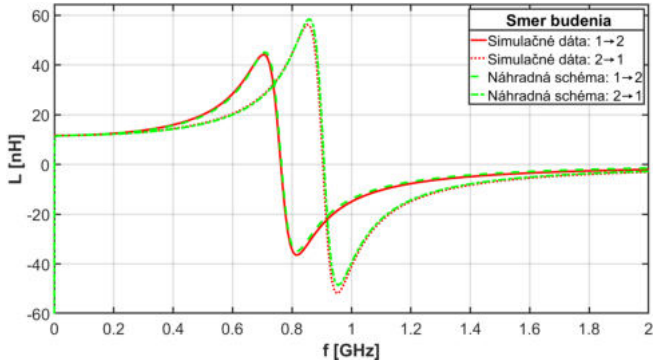
(b) Layout integrovanej cievky a kondenzátora v programe Cadence



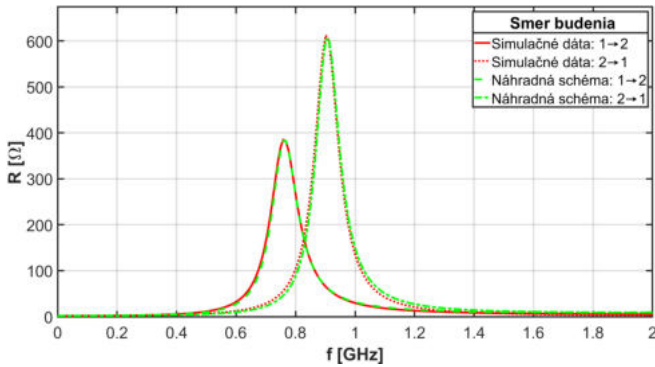
(c) Fotografia integrovanej cievky a kondenzátora implementovanej na čip

Obr. 4.1: Plne integrovaná cievka a integrovaný kondenzátor na čipe

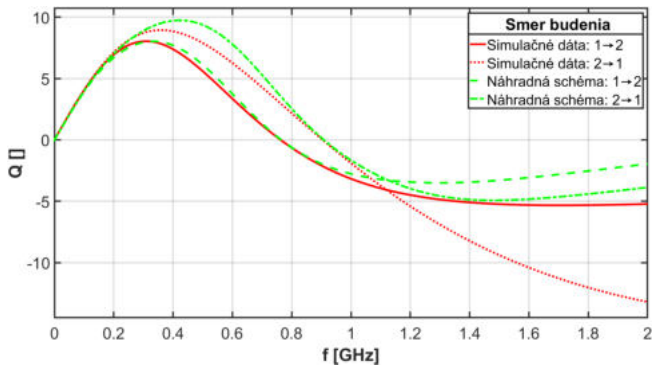
4.4. Navrhnutá integrovaná cievka pre 65 nm CMOS technológiu



(a) Indukčnosť integrovanej cievky a náhradnej schémy



(b) Sériový odpor integrovanej cievky a náhradnej schémy



(c) Faktor kvality integrovanej cievky a náhradnej schémy

Obr. 4.2: Porovnanie frekvenčných charakteristík integrovanej cievky a náhradnej schémy

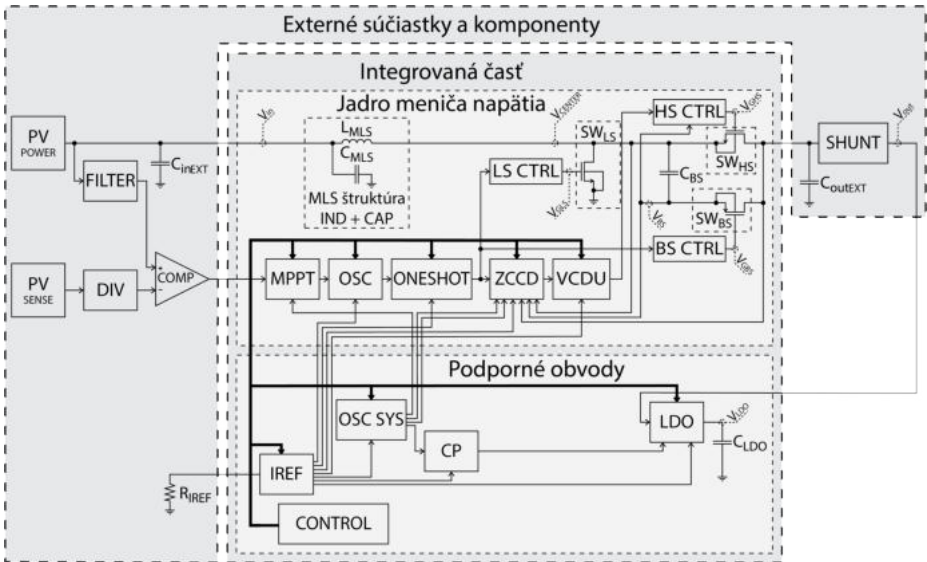
5 | Integrovaný menič napätia

5.1 Navrhnutý systém zberu energie

Zamýšľanou aplikáciou navrhovaného meniča je vytvorenie systému pre zber a konverziu energie. Riešením pre plne energeticky-autonómny systém je teda spojenie meniča energie (EC) a obvodu pre úpravu jeho výstupného napätia - meniča napätia (VC), čím sa vytvorí zberač energie (EH) z okolia.

Bloková schéma navrhnutého meniča napätia je zobrazená na obrázku 5.1 a podrobne opisuje celý navrhnutý napäťový menič aj so všetkými riadiacimi a podpornými obvodmi. Blokovaná schéma je rozdelená do troch nasledovných častí (prvé dve časti reprezentujú obvody, ktoré boli plne integrované na čip):

- jadro integrovaného meniča napätia,
- podporné integrované obvody,
- externé súčiastky a komponenty.



Obr. 5.1: Blokovaná schéma navrhnutého systému

Jadro integrovaného meniča napätia

Jadro integrovaného meniča napätia je založené na topológii konvenčného Boost konvertora z obrázka 3.2. Skladá sa z integrovanej viacvrstvovej štruktúry MLS (z angl. *Multilayer Stacked Structure*), ktorá zahŕňa integrovanú cievku L_{MLS} a vstupný kondenzátor C_{MLS} (opísané v predošlej časti tejto práce) a troch výkonových spínačov (SW_{LS} , SW_{HS} a SW_{BS}) s obvodmi pre úpravu úrovni signálov pre každý z nich (LS CTRL, HS CTRL a BS CTRL). Do tejto časti tiež patrí kondenzátor C_{BS} a integrovaná časť riadiacej slučky pozostávajúcej z bloku sledovača bodu maximálneho výkonu (MPPT, z angl. *Maximum Power Point Tracking*), digitálne preladiteľného oscilátora (OSC), monostabilného multivibrátora (ONESHOT, z angl. *One-Shot Oscillator*), detektora prechodu prúdu nulou (ZCCD, z angl. *Zero Current Crossing Detector*) a napätím riadenej oneskorovacej bunky (VCDU, z angl. *Voltage Controlled Delay Unit*).

Podporné obvody

Medzi podporné integrované obvody patria: prúdová referencia (IREF), relaxačný oscilátor (OSC SYS), nábojová pumpa (CP, z angl. *Charge Pump*), lineárny regulátor napätia (LDO, z angl. *Low Drop-Out*) regulujúci výstupné napätie z 1,5 V na 1,2 V a digitálny kontrolér (CONTROL) zabezpečujúci ladenie parametrov jednotlivých blokov systému.

Externé súčiastky a komponenty

Medzi externé súčiastky a komponenty patrí najmä zdroj energie pre celý systém - PV POWER a solárny článok PV SENSE, ktorý je použitý ako referenčný solárny článok, ktorý poskytuje informáciu o aktuálnom osvetlení, a teda o aktuálnom maximálnom možnom odoberanom výkone. Komparátor COMP porovnáva hodnoty napätí a podáva informáciu bloku MPPT, ktorý následne v spolupráci s ďalšími blokmi riadiacej slučky upraví frekvenciu a vstupnú impedanciu obvodu tak, aby bol solárny článok PV POWER vhodne zaťažený a bolo možné z neho čerpať maximálny možný výkon. Ďalšími externými súčiastkami sú vstupný kondenzátor C_{inEXT} , výstupný kondenzátor C_{outEXT} , externý odpor pre prúdovú referenciu R_{IREF} a napäťový regulátor s paralelnou kompenzá-

ciou (SHUNT), ktorý upravuje výstupné napätie zberača energie na hodnotu $V_{OUT} = 1,5$ V odvádzaním prebytočného/nevyužitého výkonu do zeme. Tento výkon ale môže byť po navrhnutí vhodného nabíjacieho obvodu v budúcnosti odvádzaný do zásobníka energie.

Dôležitými napätiami v tomto obvode sú vyznačené napätia v uzloch V_{in} , V_{CENTER} , V_{BS} , V_{out} , V_{LDO} , V_{GLS} , V_{GHS} a V_{GBS} .

5.2 Analýza hraníc funkčnosti systému

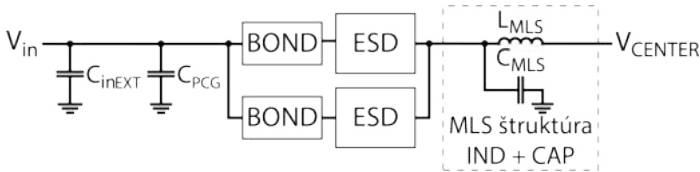
Analýza navrhnutého systému zberača energie bola sústredená najmä na bližšiu definíciu limitov regulačnej slučky systému, ktorá ovplyvňuje parametre celého meniča a riadi prenos energie z jeho vstupu na výstup. Vlastnosti jednotlivých blokov regulačnej slučky, ale aj integrovanej cievky, udávajú najmä časové a frekvenčné hranice pre riadiace signály. Dodržanie týchto hraníc je kritické pre minimalizáciu výkonových strát a pre maximálne zefektívnenie prenosu energie systémom. Simulácie analyzovaných blokov systému na úrovni schematického návrhu (SCH) prebehli pre všetky okrajové podmienky štandardnej 65 nm CMOS technológie (ak mali relevantný vplyv na analyzovaný obvod) z pohľadu vlastností oboch typov MOS tranzistorov a kondenzátorov a pre teploty -20°C , 0°C , 25°C , 55°C , a 85°C . Simulácie analyzovaných blokov systému na úrovni schematického návrhu s extrahovanými parazitnými komponentami (PEX, z angl. *Parasitic Extraction*) prebehli v rovnakých teplotách pre typickú rýchlosť tranzistorov (TT). Analýzou hraníc funkčnosti navrhovaného systému sa čiastočne zaoberajú práce autora [RO8] a [RO9].

5.2.1 Saturačný prúd cievky (MLS)

Saturačný prúd integrovanej cievky je maximálny prúd, ktorý môže tiecť cievkou. Po dosiahnutí tohto maxima sa už ďalej prúd cievkou nezvyšuje a prejavujú sa vodivostné straty v štruktúre integrovanej cievky, a tým sa znižuje účinnosť celého systému. Maximálny prúd cievkou nám týmto obmedzuje maximálny možný čas zopnutia integrovaného výkonového spínača SW_{LS} .

Simulácie maximálneho prúdu cievkou a maximálneho času zopnutia spí-

nača SW_{LS} pre zníženie vodivostných strát v cievke a maximalizáciu účinnosti prenosu energie boli vykonané pre rôzne hodnoty ožiarenia E_e (čo znamená rozdielne hodnoty vstupného napätia V_{in}) a rôzne hodnoty kapacity vstupného kondenzátora C_{inEXT} . Zjednodušená bloková schéma simulovaného zapojenia celej vstupnej cesty je zobrazená na obrázku 5.2. Závislosti oboch veličín (I_{sat} , $t_{onLS,max}$) od hodnoty vstupného kondenzátora $C_{inEXT} = 0 \div 10$ nF pri troch hodnotách ožiarenia $E_{e1} = 1000$ W/m², $E_{e1} = 500$ W/m² a $E_{e1} = 40$ W/m² majú logaritmický charakter a sú zobrazené na obrázkoch 5.3(a) a 5.3(b).



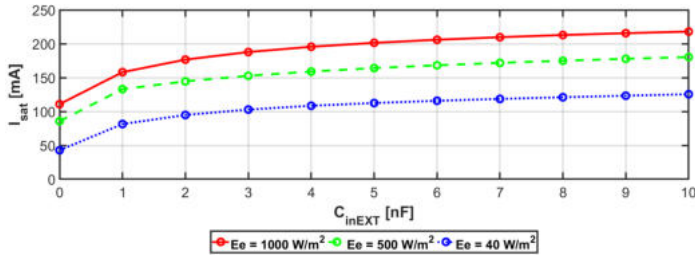
Obr. 5.2: Zjednodušená bloková schéma zapojenia simulácie saturačného prúdu integrovanej cievky

Dôležitou hodnotou pre efektívne nastavenie parametrov systému je najhorší prípad maximálneho možného času zopnutia spínača SW_{LS} . Keďže jeho hodnota je závislá od hodnoty kapacity vstupného kondenzátora a tá súvisí aj so saturačným prúdom cievky, je nutné nájsť istý kompromis medzi týmito hodnotami. Na základe analýzy bola hodnota vstupného kondenzátora zvolená na hodnotu $C_{inEXT} = 4,7$ nF a maximálna dĺžka zopnutia tranzistora SW_{LS} je pri tejto hodnote kapacity pohybuje okolo $t_{onLS,max} = 10$ ns pre všetky hodnoty ožiarenia.

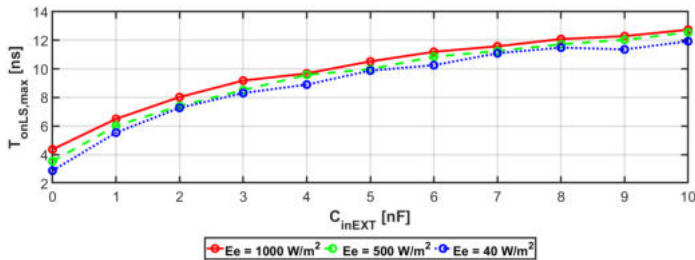
5.2.2 Digitálne preladiateľný oscilátor (OSC)

Digitálne preladiateľný oscilátor s topológiou relaxačného oscilátora udáva spínanú frekvenciu systému zberača energie. Táto frekvencia je adaptívne preladovaná MPPT obvodom na základe informácie o rozdiel v výstupných napätiach na solárnych článkoch.

Ďôležitým parametrom digitálne preladiateľného oscilátora je rýchlosť odozvy na zmenu vstupných registrov. Keďže zmena spínacej frekvencie spínača SW_{LS} spôsobí zmenu vstupnej impedancie článku, a tým zmenu hodnoty napätia solár-



(a) Závislosť saturačného prúdu cievky od vstupného kondenzátora pri rôznych hodnotách ožiarenia solárneho článku



(b) Závislosť maximálneho času zopnutia spínača SW_{LS} od vstupného kondenzátora pri rôznych hodnotách ožiarenia solárneho článku

Obr. 5.3: Simulácie saturačného prúdu integrovanej cievky

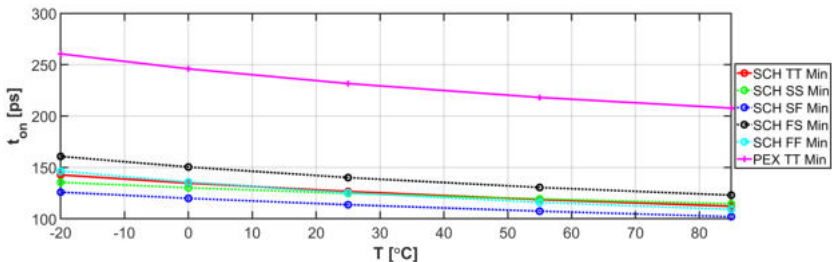
neho článku, MPPT algoritmus musí byť schopný zachytiť takýto stav a adekvátne naň reagovať. Odčítavať správnu hodnotu napätia PV článkov je rozumné až keď je výstupná frekvencia oscilátora ustálená na nastavenej hodnote. Čas potrebný pre ustálenie výstupnej frekvencie oscilátora po zmene jeho vstupných registrov udáva najvyššiu možnú rýchlosť reakcie MPPT algoritmu.

Tento parameter oscilátora bol vyšetřovaný v najhoršej možnej situácii, ktorá môže pri jeho prelaďovaní nastať, t.j. najväčšia zmena frekvencie. Čas ustálenia výstupnej frekvencie oscilátora bol najdlhší v prípade prelaďovania frekvencie smerom nadol z 13,17 MHz na 1,47 kHz a dosiahol hodnotu $t_{ust} = 1,91 \mu s$. Pre správne nastavenie frekvencie MPPT blokom je tento čas kritickým parametrom a určuje najmenšiu periódu hodinového signálu (pre blok MPPT), ktorý je generovaný systémovým oscilátorom OSC SYS. Najvyššia povolená frekvencia systémových hodín bude v tomto prípade 515,46 kHz, čo je vzhľadom na pomalú zmenu osvetlenia solárnych článkov postačujúca hodnota.

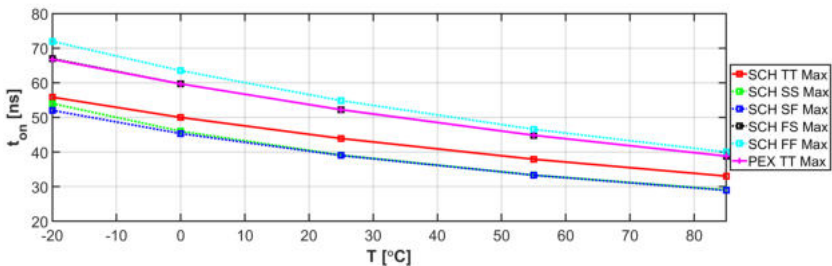
5.2.3 Monostabilný multivibrátor (ONESHOT)

Monostabilný multivibrátor je v obvode zapojený z dôvodu úpravy dĺžky času zopnutia spodného spínačať t_{onLS} . Tento obvod na svojom výstupe vygeneruje pulz konkrétnej dĺžky po príchode synchronizačnej udalosti (nábežná hrana signálu z výstupu digitálne preladiťného oscilátora).

Simulačné výsledky minimálnej a maximálnej šírky výstupného pulzu monostabilného oscilátora sú zobrazené na obrázkoch 5.4(a) a 5.4(b). V simuláciách na schématickej úrovni pri teplote 25°C boli dosiahnuté hraničné hodnoty $t_{on,min} = 126,6$ ps a $t_{on,max} = 43,9$ ns. Pre simulácie s extrahovanými parazitnými prvkami pri 25°C boli hraničné hodnoty $t_{on,min} = 231,6$ ps a $t_{on,max} = 52,2$ ns. Na obrázku 5.5 je zobrazené oneskorenie nábežnej hrany výstupného pulzu monostabilného multivibrátora voči nábežnej hrane výstupného pulzu oscilátora. Toto oneskorenie je pre simulácie na úrovni SCH a PEX pri teplote 25°C rovné $52,7$ ns, respektíve $54,4$ ns.

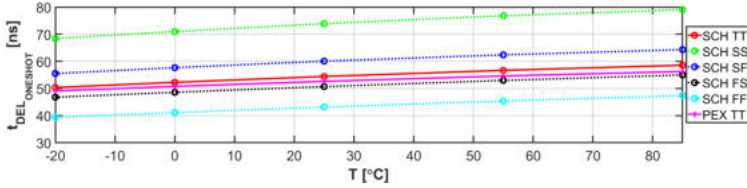


(a) Závislosť minimálnej dĺžky výstupného pulzu od teploty



(b) Závislosť maximálnej dĺžky výstupného pulzu od teploty

Obr. 5.4: Výsledky simulácie dĺžky času výstupného pulzu bloku ONESHOT



Obr. 5.5: Výsledky simulácie oneskorenia výstupného pulzu bloku ONESHOT

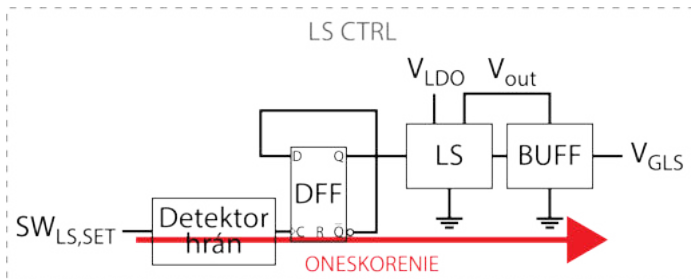
5.2.4 Rýchlosť kontrolného obvodu pre dolný spínač (LS CTRL)

LS CTRL upravuje signál privedený na hradlo výkonového tranzistora SW_{LS} tak, aby bolo zabezpečené spoľahlivé zopnutie spínača. Jeho vnútorné zapojenie je zobrazené na obrázku 5.6. Výsledky simulácií oneskorenia signálu v dôsledku tohto zapojenia sú zobrazené na obrázku 5.7 a toto oneskorenie sa pohybuje medzi hodnotami 0,95 ns až 1,92 ns vo všetkých simulačných podmienkach.

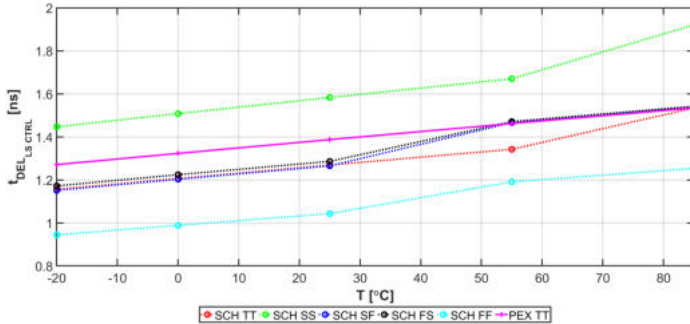
Druhou podmienkou, ktorú treba splniť pre správne zopnutie spínača, je minimálna dĺžka spínacieho pulzu, aby nedošlo k jeho deformácii alebo úplnému potlačeniu. Dĺžka najkratšieho pulzu, ktorý spoľahlivo prejde cez blok LS CTRL bola overená simuláciou vo všetkých podmienkach ako hodnota $t_{onLS,min} = 1,5$ ns.

5.2.5 Detektor prechodu prúdu nulou (ZCCD)

Potreba implementovania autonómneho riadenia výkonového spínača SW_{HS} vyplýva z režimu vedenia prúdu integrovanou cievkou meniča napätia (DCM). Vzhľadom na prítomnosť vysokých pracovných frekvencií a nízkej indukčnosti



Obr. 5.6: Zjednodušená bloková schéma zapojenia simulácie oneskorenia výstupného signálu kontrolného obvodu pre dolný spínač



Obr. 5.7: Výsledky simulácie oneskorenia výstupného pulzu bloku LS CTRL v analyzovanom systéme, implementácia klasickej metódy vo forme aktívnej diódy s nízkym napäťovým ofsetom nie je možná v dôsledku veľkého oneskorenia. V prípade plne integrovaného DC-DC konvertora môžeme očakávať vysokú prúdovú strmosť. Z tohto dôvodu bolo zvolené spätno-väzobné riadenie s adaptívnym nastavovaním šírky pulzu, počas ktorého je kritický tranzistor zopnutý. Navrhnutý obvod vykonávajúci túto funkciu sa nazýva detektor prechodu prúdu nulou - ZCCD.

ZCCD pracuje pomocou nepriamej metódy merania prúdu tečúceho cez spínač SW_{HS} . Princíp činnosti pozostáva zo sledovania pulzov privádzaných na hradlá výkonových tranzistorov SW_{LS} , SW_{HS} a referenčného spínača $SW_{HS,REF}$, ktorý je súčasťou bloku HS CTRL. Budič pre výkonový spínač SW_{HS} pracuje s hornou hranicou napätia v uzle V_{BS} a dolnou hranicou napätia V_{CENTER} . V uzle V_{CENTER} dochádza k prekmitom napätia, ktoré sa môžu dostať na výstup budiča a následne na hradlo tranzistora. Týmto spôsobom sa spínací signál tranzistora SW_{HS} deformuje a odchyľuje sa od ideálneho priebehu. Prekmity na uzle V_{CENTER} sú spôsobené nesprávnym časovaním spínača SW_{HS} .

Správne zopnutie SW_{HS} spínača (ideálna dióda) je kritické pre správne fungovanie VC. Tento spínač spája nabitý stredový uzol V_{CENTER} s výstupom obvodu V_{out} a dodáva tak energiu do záťaže. Nepresnosť časovania zopnutia môže spôsobiť niekoľko problémov:

- 1 **Skoré zopnutie spínača:** Môže znamenať pripojenie výstupného uzla V_{out} na uzol GND cez spínač SW_{LS} , a tak nežiaduce vybíjanie výstupného kondenzátora C_{outEXT} . Výsledkom je pokles výstupného napätia meniča.

- 2 **Neskoré zopnutie spínača:** Nastáva nabíjanie parazitných kapacít medzi uzlami V_{CENTER} a GND, čo spôsobí zbytočné straty energie.

Správne uvedenie spínača SW_{HS} do vodivého stavu zabezpečuje oneskorovací člen (VCDU), ktorého presné oneskorenie je nastavované pomocou externého riadiaceho napätia.

- 3 **Skoré vypnutie spínača:** Skoré vypnutie spínača zapríčiňuje nedokonalý/neúplný prenos energie z uzla V_{CENTER} na výstup konvertora napätia V_{out} a následné vybitie neprenesenej energie naspäť do uzla GND.

- 4 **Neskoré vypnutie spínača:** Energetické straty zapríčinené neskorým vypnutím spínača SW_{HS} nastávajú pri poklese napätia v uzle V_{CENTER} pod hodnotu napätia v uzle V_{out} . V tomto prípade sa otáča smer prúdu, ktorý tečie z výstupného kondenzátora alebo záťaže do integrovanej cievky.

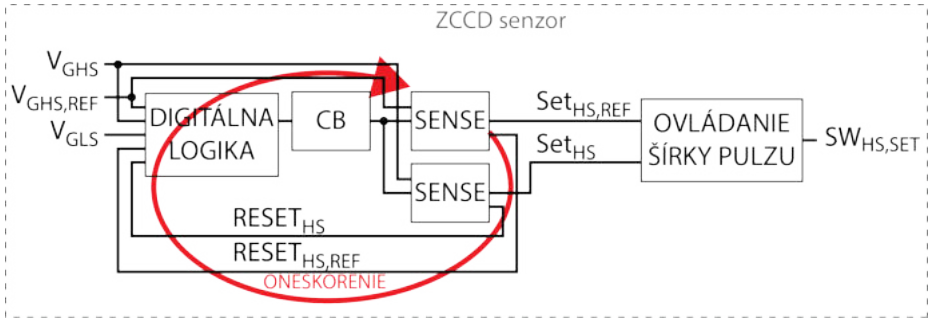
Správne načasovanie vypnutia spínača SW_{HS} je automaticky zabezpečené detektorom prechodu prúdu nulou - ZCCD.

Limity pre správne zopnutie spínača SW_{HS} sú určené iba možnou nepresnosťou nastavenia bloku VCDU. Limity pre správne vypnutie ideálnej diódy sú omnoho zložitejšie a sú spôsobené najmä princípom fungovania ZCCD (presnosť a rýchlosť).

Rýchlosť detektora prechodu prúdu nulou

Hlavnou časťou ZCCD je samotný komparátor porovnávajúci signály z hradlových kontaktov spínačov SW_{HS} a SW_{HS_REF} . Ten sa skladá z dvoch senzorov (jeden pre každý spínač) a digitálnych obvodov zabezpečujúcich vyhodnotenie signálov zo senzorov a z hradiel spínačov. Jeho zjednodušené vnútorné zapojenie je zobrazené na obrázku 5.8. Limitujúcim faktorom pre rýchlosť tohto bloku je súčet minimálneho času potrebného na vybitie uzlov v detektoroch zopnutia spínačov (SENSE) a oneskorenie danej regulačnej slučky. Pre skrátenie minimálneho času pre zopnutie spínača SW_{HS} sú do zapojenia pridané bloky zosilňujúce digitálny hodinový signál (CB, z angl. *Clock Booster*).

Na obrázku 5.9 sú zobrazené výsledky Monte Carlo (MC) analýzy (PEX simulácie) minimálneho času zopnutia horného spínača SW_{HS} . Priemerná hod-

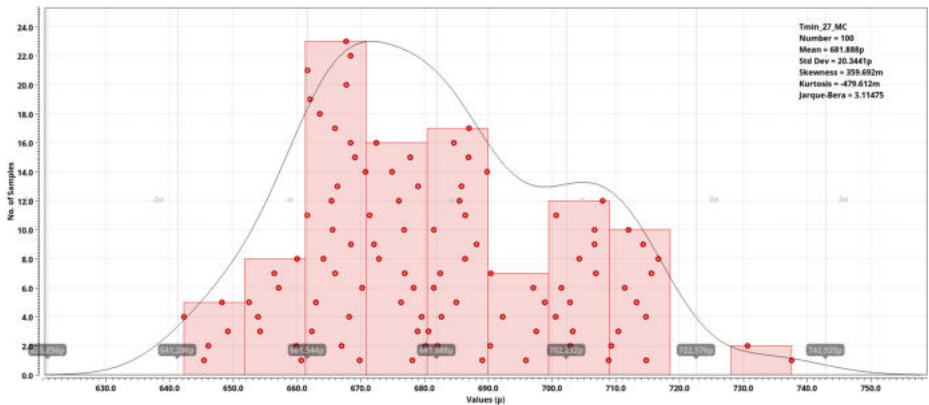


Obr. 5.8: Zjednodušená bloková schéma ZCCD detektora

nota času potrebného pre inicializáciu detektora je 681,89 ps so štandardnou odchýlkou $\sigma = 20,34$ ps. Najhorší možný prípad času potrebného pre inicializáciu detektora dosiahol hodnotu 737,57 ps, ktorá musí byť splnená pre správne fungovanie ZCCD obvodu.

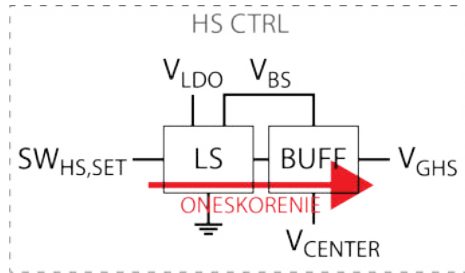
5.2.6 Rýchlosť kontrolného obvodu pre horný spínač (HS CTRL)

Rýchlosť zopnutia spínača SW_{HS} je tiež obmedzená presnosťou bloku HS CTRL, ktorý zabezpečuje správne zopnutie tohto výkonového spínača dostatočne vysokým napätím z uzla BS. Napätie v uzle BS sa generuje na krátky čas počas každého cyklu konvertora a môže dosahovať hodnoty od 2,7 V do 3 V. Schéma



Obr. 5.9: MC analýza minimálneho času zopnutia horného spínača SW_{HS}

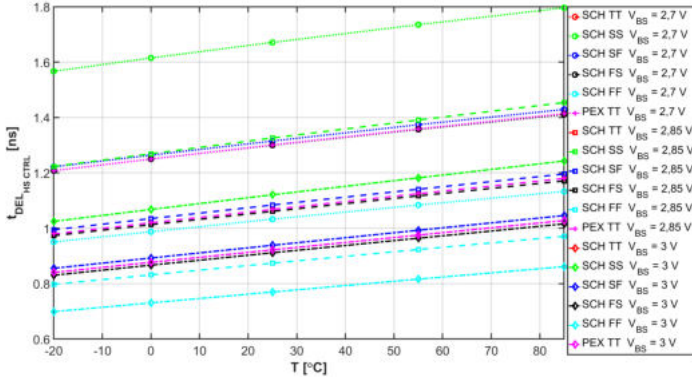
vnútorného zapojenia bloku HS CTRL je zobrazená na obrázku 5.10. Minimálna šírka pulzu, ktorý dokáže blok HS CTRL spoľahlivo preniesť na svoj výstup, je kritická pre prenos maximálneho možného výkonu na výstup konvertora. Minimálna šírka tohto pulzu bola simuláciami overená na hodnote 430 ps (SCH) a 450 ps (PEX) s najnižším napájacím napätím blokov LS a BUFF, $V_{BS} = 2,7$ V. Táto dĺžka pulzu však nepostačuje pre správne vyhodnotenie (rýchlosť reakcie) ZCCD vyplývajúceho z predošlej časti analýzy. Z toho môžeme konštatovať, že ZCCD detektor je limitujúcim faktorom rýchlosti spínania spínača SW_{HS} , respektíve jeho minimálneho času zopnutia $t_{onHS,min}$.



Obr. 5.10: Zjednodušená bloková schéma zapojenia simulácie oneskorenia výstupného signálu kontrolného obvodu pre horný spínač

Dôležitou vlastnosťou bloku HS CTRL je však aj jeho oneskorenie. Oneskorenie tohto bloku v závislosti od teploty pri troch rôznych napätiach v uzle BS je zobrazené na obrázku 5.11 a pohybuje sa medzi 0,65 ns až 1,8 ns pre všetky simulačné prípady (okrajové podmienky, napätie V_{BS} , teplota).

Hodnota najkratšieho možného času zopnutia výkonového spínača SW_{HS} priamo neovplyvňuje vstupné podmienky regulačnej slučky meniča napätia, keďže jeho nastavenie je automatické. Z matematickej analýzy topológie meniča je však zrejmý vzťah medzi časmi zopnutia spínačov SW_{LS} a SW_{HS} (3.2). Výsledky tejto analýzy teda budú ovplyvňovať minimálny čas zopnutia spínača SW_{LS} tak, aby ZCCD detektor nebol nútený nastavovať príliš krátky čas pre zopnutie spínača SW_{HS} . V najhoršom možnom prípade ($E_e = 40$ W/m², $V_{in} = 0,475$ V) je pomer dĺžok pulzov $t_{onLS}/t_{onHS} = 3,301$. Z tohto pomeru a z najkratšieho možného času zopnutia horného spínača $t_{onHS,min} = 0,738$ ns vieme určiť najkratší prípustný čas pre zopnutie dolného spínača $t_{onLS,min} = 2,435$ ns.



Obr. 5.11: Výsledky simulácie oneskorenia výstupného pulzu bloku HS CTRL

5.2.7 Napätím riadená oneskorovacia bunka (VCDU)

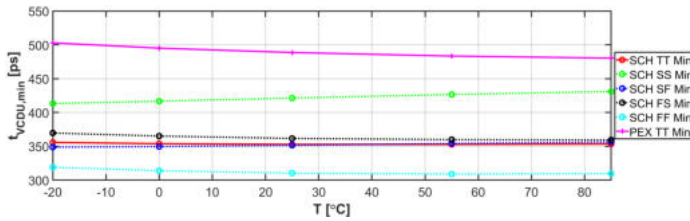
Blok VCDU slúži pre správne načasovanie uvedenia tranzistora SW_{HS} do vodivého stavu. Keďže obvody LS CTRL a ZCCD sú budené výstupom bloku ONESHOT súčasne, obvod VCDU musí pokryť dĺžku času zopnutia spínača SW_{LS} (t_{onLS}) a oneskorenie, ktoré nastáva v bloku LS CTRL ($t_{DEL_{LS\ CTRL}}$), znížené o oneskorenie blokov ZCCD ($t_{DEL_{ZCCD}}$) a HS CTRL ($t_{DEL_{HS\ CTRL}}$).

$$t_{VCDU} = t_{onLS} + t_{DEL_{LS\ CTRL}} - t_{DEL_{ZCCD}} - t_{DEL_{HS\ CTRL}} \quad (5.1)$$

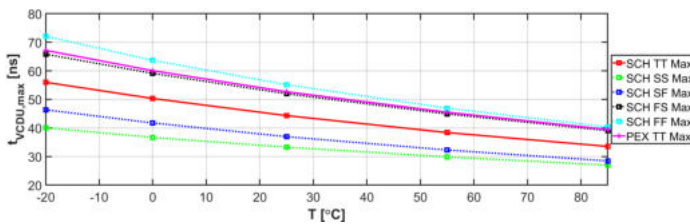
Minimálne a maximálne oneskorenie VCDU bolo simuláciami overené na hodnoty $t_{VCDU,min} = 352,9$ ps a $t_{VCDU,max} = 44,3$ ns (SCH) a $t_{VCDU,min} = 488,6$ ps a $t_{VCDU,max} = 52,7$ ns (PEX). Výsledky simulácií závislosti oneskorenia signálu od teploty sú zobrazené na obrázku 5.12 a pokrývajú potrebné rozmedzie v celom rozsahu oneskorenia kritických blokov aj predpokladaných časov spínača SW_{LS} .

Z celkovej analýzy hraníc funkčnosti jednotlivých blokov konvertora napätia sme schopní určiť parametre meniča napätia a potrebné nastavenie regulačnej slučky, ktoré sú zosumarizované v tabuľke 5.1.

5.2. Analýza hraníc funkčnosti systému



(a) Závislosť minimálneho oneskorenia od teploty



(b) Závislosť maximálneho oneskorenia od teploty

Obr. 5.12: Výsledky simulácie oneskorenia výstupného pulzu bloku VCDU

Tab. 5.1: Hranice funkčnosti meniča napätia

Parameter	Hodnota	Limitujúci faktor
$t_{onHS,min}$	0,738 ns	rýchlosť spínania SW_{HS} a ZCCD, nastavuje sa automaticky
$t_{onLS,min}$	2,435 ns	podľa vzťahu 3.2
C_{inEXT}	4,7 nF	saturačný prúd integrovanej cievky
$t_{onLS,max}$	10 ns	zvolený vstupný kondenzátor a saturačný prúd integrovanej cievky
f_{swSYS}	515,46 kHz	rýchlosť ustálenia frekvencie digitálne preladiateľného oscilátora

6 | Verifikácia funkčnosti systému

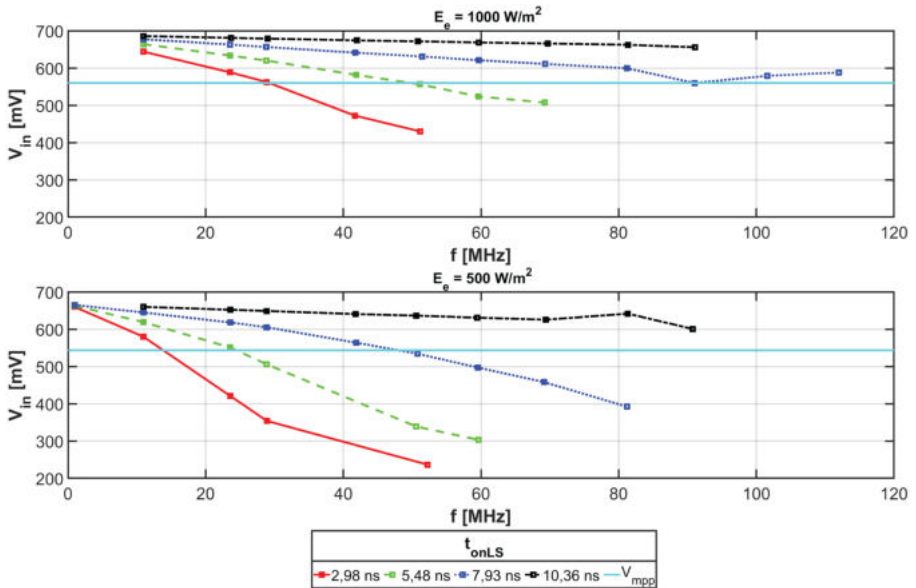
6.1 Výsledky simulácií navrhnutého zberača energie

Verifikácia funkčnosti celého navrhnutého systému, ako aj regulačnej slučky, bola v prvom rade vykonaná prostredníctvom simulácií v prostredí programu Cadence Virtuoso. Taktiež bol overený aj koncept regulačnej slučky založený na metóde riadenia spínacej frekvencie systému pre prispôsobenie vstupnej impedancie meniča napätia impedancii meniča energie. Všetky simulácie prebehli na schematickej úrovni v typických podmienkach rýchlosti tranzistorov a kondenzátorov pri teplote 25°C. Z dôvodu zjednodušenia a skrátenia trvania simulácií bola frekvencia digitálne preladiateľného oscilátora OSC nastavovaná pomocou premennej v rámci simulačného prostredia, pričom ale MPPT blok nebol vyradený z funkčnosti. Jeho spotreba je preto zarátaná do spotreby celej regulačnej slučky. Spínacia frekvencia systému bola rozmiataná od hodnoty 1 MHz až po 110 MHz. Ako zdroj energie bol v simuláciách použitý model solárneho článku *IXOLARTM SolarBIT KXOB25-14X1F* [39]. Pre ožiarenie solárneho článku boli zvolené hodnoty $E_e = 1000 \text{ W/m}^2$ a $E_e = 500 \text{ W/m}^2$. Korešpondujúce hodnoty napätia, prúdov a výkonu v bode maximálneho výkonu sú uvedené v tabuľke 6.1. Zvolené hodnoty ožiarenia solárneho článku znamenajú maximálny a polovičný výkon dopadajúceho žiarenia pri dokonalých svetelných podmienkach v exteriéri za slnečného dňa.

Na obrázku 6.1 je zobrazená závislosť napätia na solárnom článku od spínacej

Tab. 6.1: Parametre solárneho článku pri rôznom ožiarení

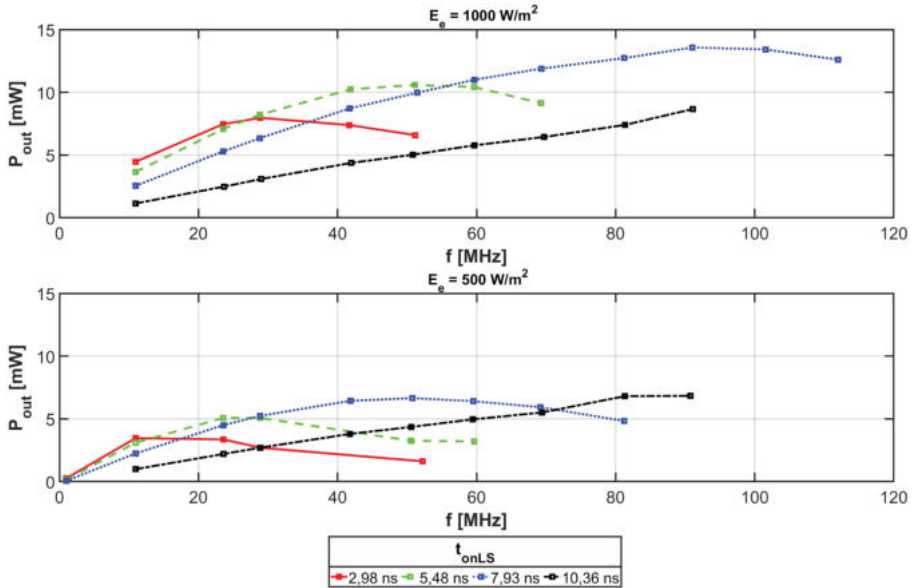
Ožiarenie solárneho článku	$E_e \text{ [W/m}^2\text{]}$	1000	500
Výkon žiarenia dopadajúceho na PV	$P_{PV} \text{ [mW]}$	184	92
Napätie v bode maximálneho výkonu	$V_{mpp} \text{ [mV]}$	562,22	543,57
Prúd v bode maximálneho výkonu	$I_{mpp} \text{ [mA]}$	54,35	27,165
Maximálny výstupný výkon z PV	$P_{mpp} \text{ [mW]}$	30,56	14,77
Konverzná účinnosť solárneho článku	$\eta_{PV} \text{ [%]}$	16,61	16,05



Obr. 6.1: Závislosť vstupného napätia meniča napätia od frekvencie pri dvoch rôznych ožiareníach solárneho článku získaná simuláciou

frekvencie, ktorá potvrdzuje funkčnosť regulačnej slučky a zmenu vstupnej impedancie VC závislej od spínacej frekvencie systému. Týmto spôsobom bolo možné upraviť vstupnú impedanciu tak, aby bol VC schopný extrahovať z EC maximálny možný výkon $P_{in} = 29,83$ mW pri frekvencii $f_{sw} = 91,04$ MHz a ožiarení $E_e = 1000$ W/m² ($P_{mpp} = 30,56$ mW) a výkon $P_{in} = 14,48$ mW pri frekvencii $f_{sw} = 50,79$ MHz a ožiarení $E_e = 500$ W/m² ($P_{mpp} = 14,77$ mW).

Maximálny výstupný výkon (využiteľný pre ďalšie obvody) meniča napätia bol odsimulovaný pri spínacích frekvenciách 91,04 MHz (pri $E_e = 1000$ W/m²) a 90,74 MHz (pri $E_e = 500$ W/m²) a dosahoval hodnoty 13,57 mW a 6,83 mW. Účinnosť konverzie energie meničom napätia je pre tieto prípady 45,51% a 55,91%. Závislosť výstupného výkonu meniča napätia od frekvencie pri dvoch rôznych ožiareníach solárneho článku je zobrazená na obrázku 6.2. Zo simulácii sa ukázalo, že závislosť účinnosti VC od frekvencie je približne lineárna. Závislosť účinnosti napäťového meniča od dĺžky pulzu dolného spínača je omnoho významnejšia ako závislosť od spínacej frekvencie. Maximálne hodnoty, 58,81% (pri $E_e = 1000$ W/m²) a 62,69% (pri $E_e = 500$ W/m²), dosahuje účinnosť me-

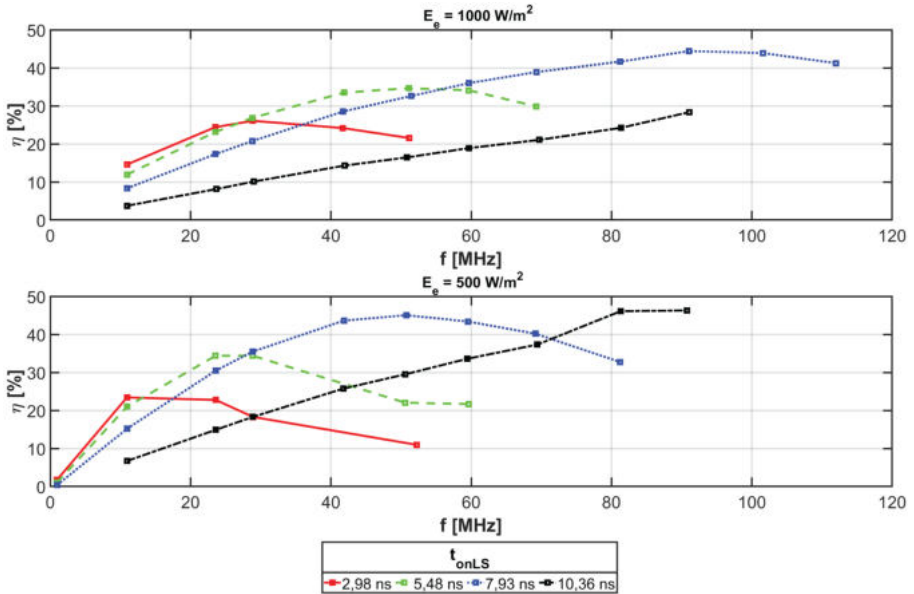


Obr. 6.2: Závislosť výstupného výkonu meniča napätia od frekvencie pri dvoch rôznych ožiareníach solárneho článku získaná simuláciou

niča napätia pri spínacích frekvenciách $f_{sw} = 81,37$ MHz a $f_{sw} = 81,32$ MHz a pri najdlhšom čase zopnutia dolného spínača SW_{LS} o hodnote $t_{onLS} = 10,36$ ns.

Na obrázku 6.3 je zobrazená závislosť účinnosti konverzie energie celého systému zberača energie, tzv. „End-to-End“ účinnosť. Tá dosahuje maximálne hodnoty pri rovnakých hodnotách frekvencie ako účinnosť konverzie energie meničom napätia (91,04 MHz a 90,74 MHz). Maximálna účinnosť zberača energie je 44,43% pri ožiarení $E_e = 1000$ W/m² a 46,29% pri ožiarení $E_e = 500$ W/m². Účinnosť konverzie energie zberačom energie je závislá od frekvencie f_{sw} , ale aj od dĺžky času zopnutia spodného spínača t_{onLS} . Z uvedeného vyplýva, že zmena spínacej frekvencie VC menej vplýva na účinnosť konverzie energie VC, avšak mení jeho vstupnú impedanciu, a tak významne mení účinnosť konverzie energie solárnym článkom. Účinnosť konverzie energie VC je vhodnejšie meniť pomocou parametra t_{onLS} . Na základe týchto výsledkov bola potvrdená funkčnosť navrhovaného princípu ladenia parametrov EH pomocou bloku MPPT, a tak efektívne priblíženie sa k bodu maximálneho výkonu celého zberača energie.

Dôležitým zistením je aj závislosť času zopnutia horného spínača t_{onHS} od

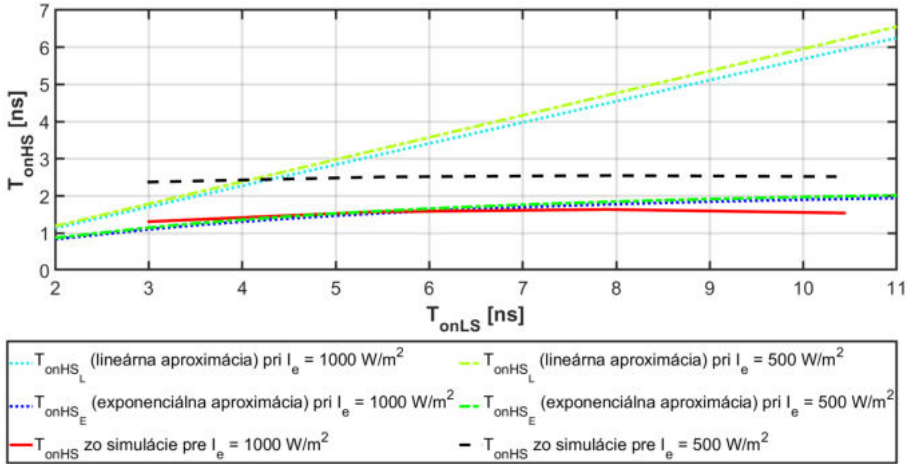


Obr. 6.3: Závislosť účinnosti konverzie energie celým zberačom energie od frekvencie pri dvoch rôznych ožiareníach solárneho článku získaná simuláciou

času zopnutia dolného spínača t_{onLS} . Táto závislosť bola matematicky vyjadrená a simuláciami bola overená jej presnosť. Na obrázku 6.4 je zobrazená závislosť daných časov vypočítaná lineárnou aproximáciou, exponenciálnou aproximáciou podľa vzťahu (3.2) pre dve hodnoty ožiarenia solárneho článku ($E_e = 1000 \text{ W/m}^2$ a $E_e = 500 \text{ W/m}^2$), ako aj dĺžka pulzov získaná zo simulácií pri rovnakých ožiareníach solárnych článkov. Z grafického porovnania je zrejmé, že použitie exponenciálnej aproximácie prináša presnejšie výsledky ako výpočet pomocou lineárnej aproximácie. Nepresnosť medzi exponenciálnou aproximáciou a odsimulovanými hodnotami je spôsobená najmä frekvenčnou závislosťou elektrických parametrov jednotlivých súčiastok obvodu (najmä integrovanej cievky) a nepresnosťou nastavenia dĺžok časov zopnutia spínačov blokmi regulačnej slučky.

6.1.1 Analýza spotreby obvodu a výkonových strát

Zníženie účinnosti celého systému je zapríčinené vlastnou spotrebou jednotlivých stavebných blokov a spínačmi a vodivostnými stratami na súčiastkach obvodu.



Obr. 6.4: Závislosť dĺžky času zopnutia horného spínača od času zopnutia dolného spínača vypočítaná lineárnou aproximáciou, exponenciálnou aproximáciou (3.2) a získaná simuláciou pre dve ožiarenia solárneho článku

Oba tieto faktory sú ovplyvniteľné a ich identifikácia je kritická pre ich redukciu/elimináciu, čím je možné vylepšiť funkčnosť a parametre navrhovaného EH.

Vlastná spotreba obvodu

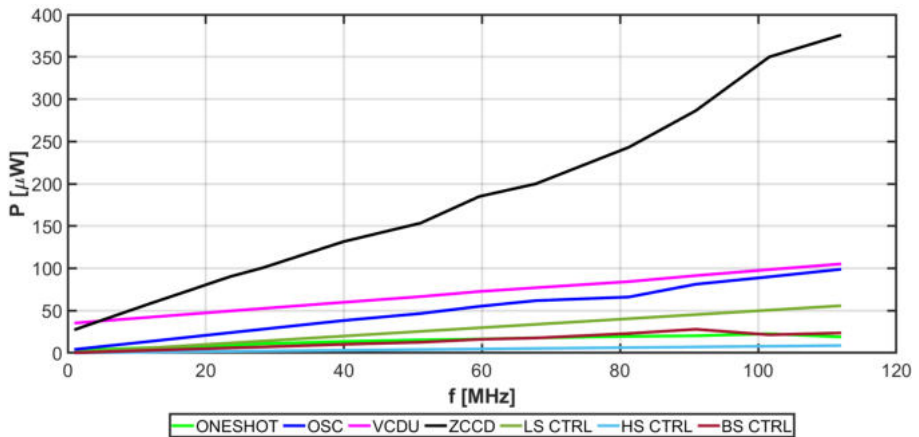
Pri návrhu energeticky-autonómneho systému je pokrytie vlastnej spotreby obvodu minimálna požiadavka pre fungovanie systému. Až po splnení tejto podmienky je možné využiť prebytočnú energiu na napájanie ďalšieho subsystému alebo dodávať ju do zásobníka energie.

Simuláciami sme overili, že navrhnutý systém je schopný (pri dostatočnom osvetlení solárneho článku) efektívne využiť výkon dostupný z okolitého prostredia na samonapájanie aj pre distribúciu energie na ďalšie účely. Pri ožiarení PV $E_e = 1000 \text{ W/m}^2$ je spotreba jadra konvertora napätia vo všetkých simulovaných prípadoch pod úrovňou $0,687 \text{ mW}$ a je priamo úmerná spínacej frekvencii systému. Dostupný výkon pre použitie v ďalších subsystémoch je minimálne $1,15 \text{ mW}$ ($t_{onLS} = 2,98 \text{ ns}$, $f_{sw} = 10,96 \text{ MHz}$) a maximálne $13,57 \text{ mW}$ ($t_{onLS} = 5,48 \text{ ns}$, $f_{sw} = 91,04 \text{ MHz}$).

Pri ožiarení PV $E_e = 500 \text{ W/m}^2$ je spotreba jadra konvertora napätia vo všetkých simulovaných prípadoch pod úrovňou $0,552 \text{ mW}$ a je priamo úmerná

spínacej frekvencii systému. Dostupný výkon pre použitie v ďalších subsystémoch je minimálne 0,06 mW ($t_{onLS} = 5,48$ ns, $f_{sw} = 0,97$ MHz) a maximálne 6,84 mW ($t_{onLS} = 5,48$ ns, $f_{sw} = 90,74$ MHz).

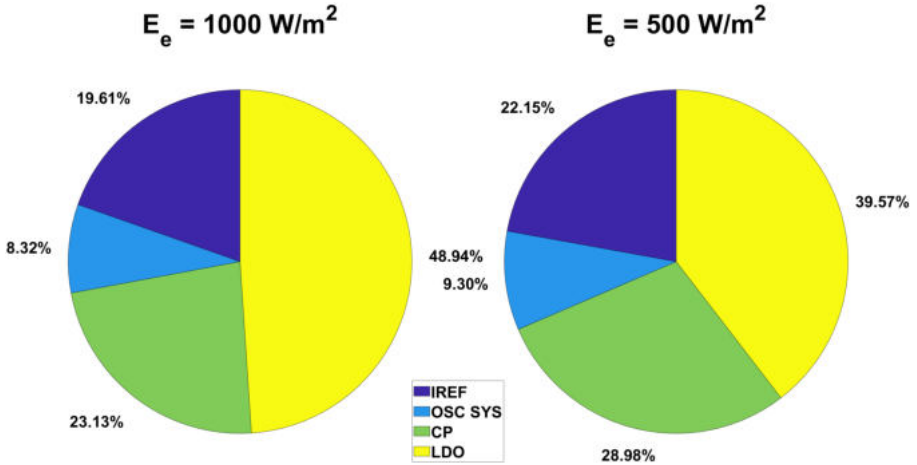
Spotreba jednotlivých blokov jadra meniča napätia (OSC, ONESHOT, ZCCD, VCDU) je nezávislá od času zopnutia dolného spínača t_{onLS} , ale je závislá od frekvencie systému f_{sw} . Túto závislosť je možné vidieť na obrázku 6.5. Spotreba bloku MPPT je síce závislá od frekvencie, ale hodinový signál riadiaci tento blok má konštantnú frekvenciu 250 kHz. MPPT blok mal priemernú spotrebu (statickú + dynamickú) 295,16 nW.



Obr. 6.5: Závislosť spotreby blokov jadra meniča napätia

Spotreba podporných obvodov (IREF, OSC SYS, CP, LDO) je nezávislá od spínacej frekvencie f_{sw} a vo všetkých podmienkach simulácií sa pohybuje medzi hodnotami 49,90 μ W až 56,48 μ W čo tvorí 7,60% (vysoké frekvencie) až 41,43% (nízke frekvencie) spotreby celého systému. Distribúcia výkonu pri oboch ožiareníach solárneho článku medzi podporné obvody systému je zobrazená na obrázku 6.6.

Pri návrhu celého systému bol kladený dôraz na overenie funkčnosti konceptu autonómneho riadenia EH, a preto bol systém rozšírený o možnosti rekonfigurácie a nastavenia dôležitých parametrov jednotlivých blokov. Tento fakt môže mať v istých konfiguráciách nepriaznivý vplyv na spotrebu blokov. Optimali-



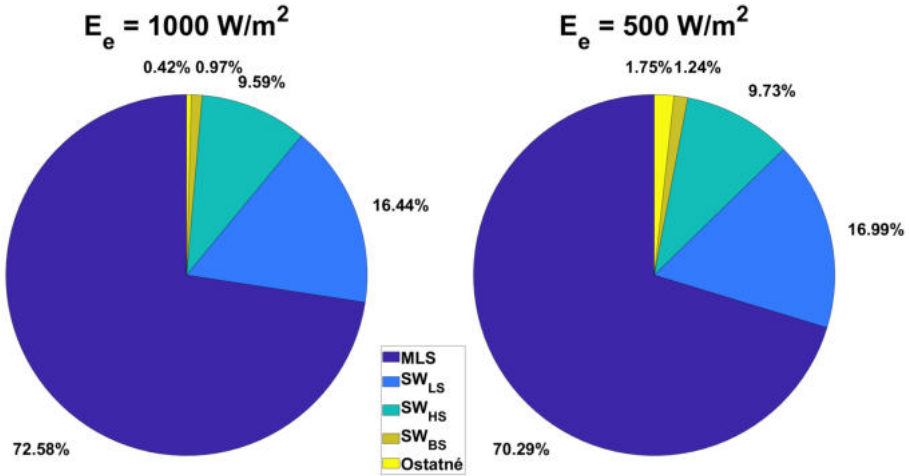
Obr. 6.6: Distribúcia spotreby podporných obvodov EH

zácia spotreby obvodu ale nebola cieľom návrhu prvej verzie systému a je nad rámec tejto práce.

Výkonové straty v meniči napätia

Distribúcia výkonových strát obvodu medzi kľúčovými výkonovými súčiastkami obvodu (MLS, SW_{LS} , SW_{HS} , SW_{BS}) je zobrazené na obrázku 6.7. Veľkosť výkonových strát je závislá od spínacej frekvencie obvodu f_{sw} , dĺžky zopnutia dolného spínača t_{onLS} aj od ožiarenia solárneho článku E_e , avšak percentuálny pomer výkonových strát je v celom rozsahu približne rovnaký. Viac ako polovica výkonových strát (priemerne 71,43%) je zapríčinená samotnou štruktúrou integrovanej cievky. Výkonové straty tranzistorov SW_{BS} , SW_{HS} a SW_{LS} (vodivostné + spínacie straty) dosahujú priemerne 16,72%, 9,66% a 1,11% z celkových výkonových strát v obvode. Zvyšných 1,09% výkonových strát má pôvod v iných častiach obvodu, ku ktorým najviac prispieva regulačný prvok LDO regulátora a nabíjanie kapacity hradla výkonového spínača $SW_{HS,REF}$.

Distribúcia výkonu v meniči napätia je rozdelená do troch kategórií: výkonové straty na kľúčových súčiastkách topológie (MLS, SW_{LS} , SW_{HS} , SW_{BS}), vlastná spotreba obvodu a výstupný výkon použiteľný pre napájanie ďalších obvodov, prípadne pre nabíjanie akumuláčného prvku. Súčet týchto troch výkonov je vstupný výkon VC, teda výstupný výkon PV. Závislosť distribúcie výkonu



Obr. 6.7: Distribúcia výkonových strát obvodu medzi kľúčové výkonové súčiastky EH

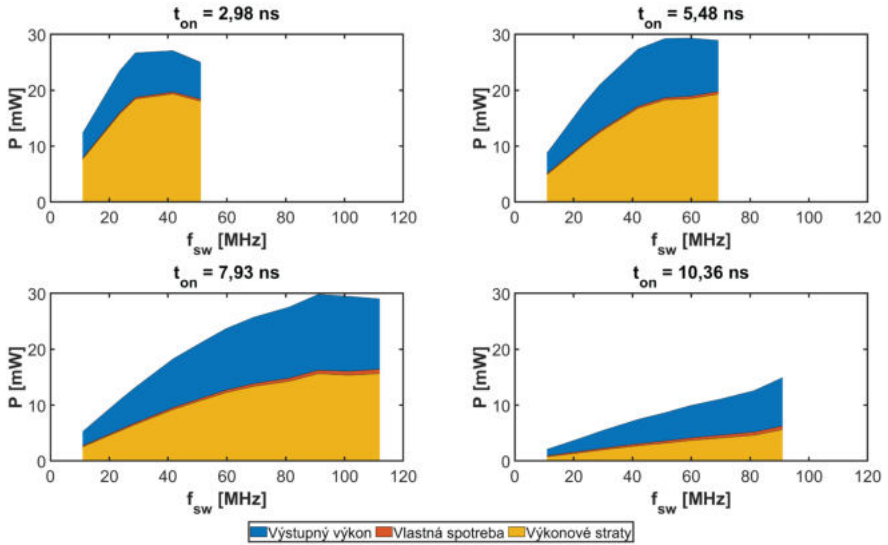
v obvode od spínacej frekvencie pre ožiarenie PV $E_e = 1000 \text{ W/m}^2$ je zobrazená na obrázku 6.8 a pre ožiarenie PV $E_e = 500 \text{ W/m}^2$ je zobrazená na obrázku 6.9. Zo závislostí je možné pozorovať, že vlastná spotreba obvodu tvorí len malú časť výkonu. Najväčšia časť vstupného výkonu je neefektívne premenená na výkonových súčiastkach obvodu. Vysoké výkonové straty v obvode teda znamenajú priestor pre ďalší výskum a zlepšenie vlastností meniča napätia.

6.2 Výsledky meraní prototypového čipu

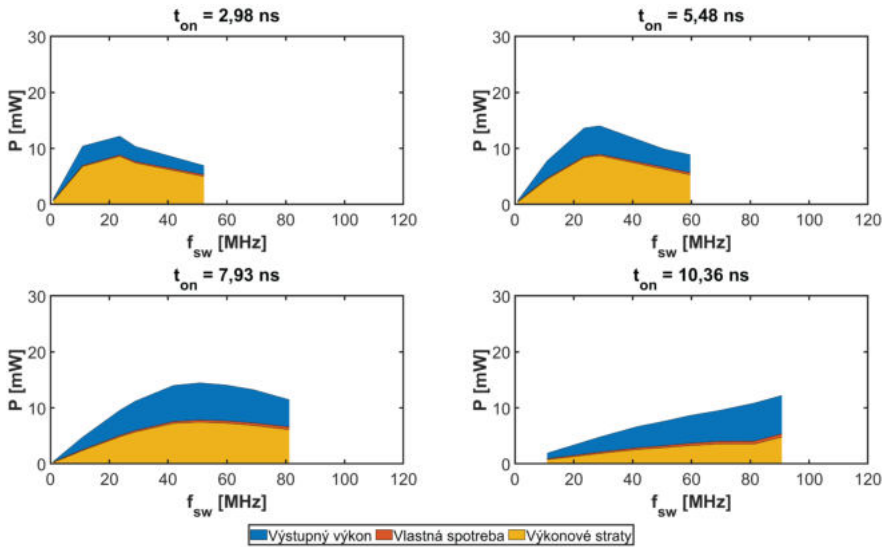
Posledným krokom overenia systému sú merania obvodov implementovaných na prototypovo vyrobených čipoch. Pre toto meranie bola vyvinutá doska plošných spojov, ktorá obsahuje externé obvody a súčiastky potrebné pre správne fungovanie systému, ako aj ďalšie podporné obvody.

Navrhnutý systém zberača energie zaberá plochu $1,67 \text{ mm}^2$. Integrovaná časť EH zahŕňa jadro systému a podporné integrované obvody, ktorých zjednodušené blokové zapojenie je zobrazené na obrázku 5.1. Fotografia vyrobeného prototypu je zobrazená na obrázku 6.10.

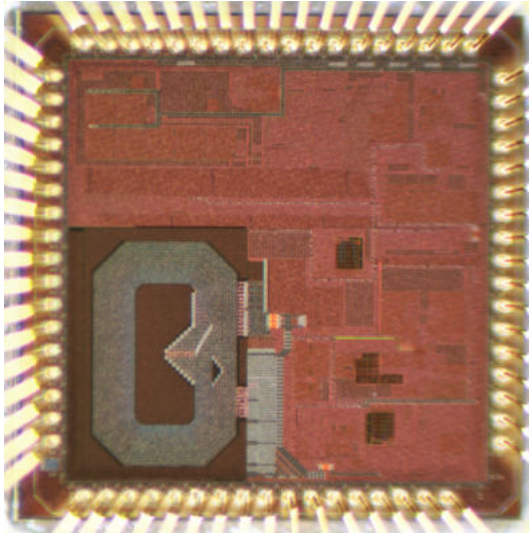
6.2. Výsledky meraní prototypového čipu



Obr. 6.8: Závislosť distribúcie výkonu v meniči napätia od spínacej frekvencie pri ožiarení $E_e = 1000\text{W}/\text{m}^2$



Obr. 6.9: Závislosť distribúcie výkonu v meniči napätia od spínacej frekvencie pri ožiarení $E_e = 500\text{W}/\text{m}^2$



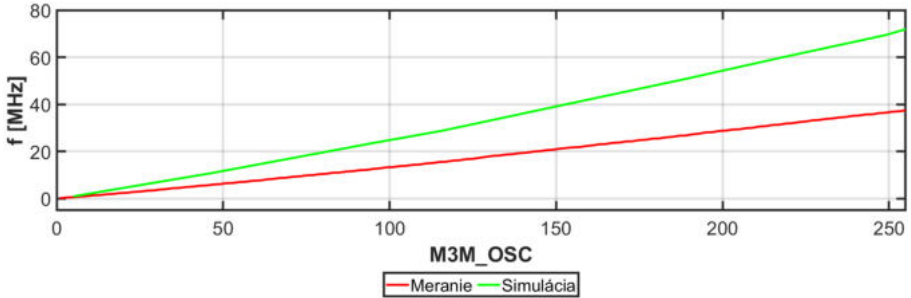
Obr. 6.10: Fotografia prototypového čipu

6.2.1 Výsledky merania digitálne preladiteľného oscilátora

Počas merania bola najprv odmeraná výstupná frekvencia oscilátora pri rovnakom nastavení ako bolo použité v simuláciách celého systému na úrovni schémy (SCH) (rozmiestanie registra riadiaceho odpor tranzistorovej siete M3M_OSC). V tomto prípade bola minimálna a maximálna frekvencia overená na hodnoty 0,15 kHz a 37,75 MHz. Výsledky meraní spolu s výsledkami simulácie pri rovnakých podmienkach sú zobrazené na obrázku 6.11. Posun nameraných hodnôt oproti simulovaným hodnotám (0,95 kHz a 71,92 MHz) bol spôsobený najmä napresnosťou simulácie kvôli nezahrnutiu parazit obvodu.

Pri zmene ostatných registrov sme overili hranice celého rozmedzia možných frekvencií výstupného signálu ako hodnoty 8,32 kHz a 74,22 MHz. Tieto namerané hodnoty pomerne presne korešpondujú s výsledkami simulácií minimálnej a maximálnej frekvencie oscilátora schémy s extrahovanými parazitami obvodu (PEX) (9,99 kHz a 85,47 MHz).

Pri frekvenciách dôležitých pre dizajn bola zmeraná aj spotreba tohto bloku, ktorá bola priemerne 6,32 μW pre frekvenciu $f = 1$ MHz a 17,03 μW pre frekvenciu $f = 10$ MHz.



Obr. 6.11: Výsledky merania a simulácie digitálne preladiteľného oscilátora

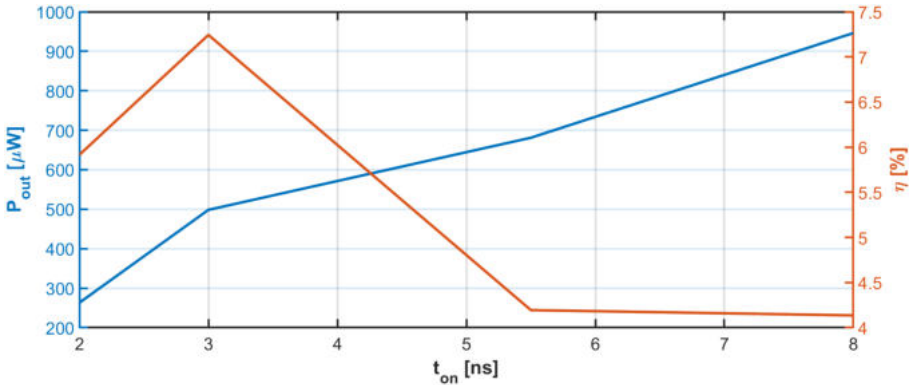
6.2.2 Výsledky merania navrhnutého meniča napätia

Merania navrhnutého systému prebehli v testovacích podmienkach s použitím zdroja jednosmerného napätia ako zdroja energie pre VC. Kvôli testovacím účelom a časovému hľadisku nebola vyšetrená možnosť pripojenia solárnych článkov na vstup meniča napätia. Z predbežnej analýzy a vykonaných meraní však vyplynula nutnosť použitia vyššieho vstupného výkonu pre napájanie systému ako môže poskytnúť jeden PV. Z tohto dôvodu bolo napätie na zdroji jednosmerného napätia nastavené tak, aby zodpovedalo sériovému zapojeniu dvoch solárnych článkov pri rôznych osvetleniach ($V_{mpp} = 0,9 \text{ V} \div 1,12 \text{ V}$, $P_{mpp} = 0,78 \text{ mW} \div 60,00 \text{ mW}$, $E_e = 16 \text{ W/m}^2 \div 1000 \text{ W/m}^2$). Z predbežnej analýzy vyplynuli aj dĺžky času zopnutia dolného spínača na hodnoty 2 ns, 3 ns, 5,5 ns, a 8 ns. Merania boli vykonané pri spínacej frekvencii digitálne preladiteľného oscilátora $f_{sw} = 10 \text{ MHz}$ a spínacej frekvencii systémového oscilátora $f_{OSC_SYS} = 1 \text{ MHz}$ s deličkami frekvencie 1:4 pre bloky MPPT a ZCCD a 1:8 pre blok CP.

Na obrázku 6.12 je zobrazená závislosť maximálnej účinnosti meniča napätia a korešpondujúceho výstupného výkonu od času zopnutia spínača t_{onLS} . Výsledky boli dosiahnuté pri najvyššom napätí na vstupe VC. Maximálna hodnota účinnosti konverzie energie VC je 7,24% pri čase zopnutia $t_{onLS} = 3 \text{ ns}$. V tomto prípade je vstupný výkon VC rovný $P_{in} = 6,87 \text{ mW}$ a hodnota výstupného výkonu je $P_{out} = 0,49 \text{ mW}$. Maximálny výstupný výkon $P_{out} = 0,95 \text{ mW}$ bol dosiahnutý pri čase zopnutia $t_{onLS} = 8 \text{ ns}$ s účinnosťou meniča napätia 4,14%.

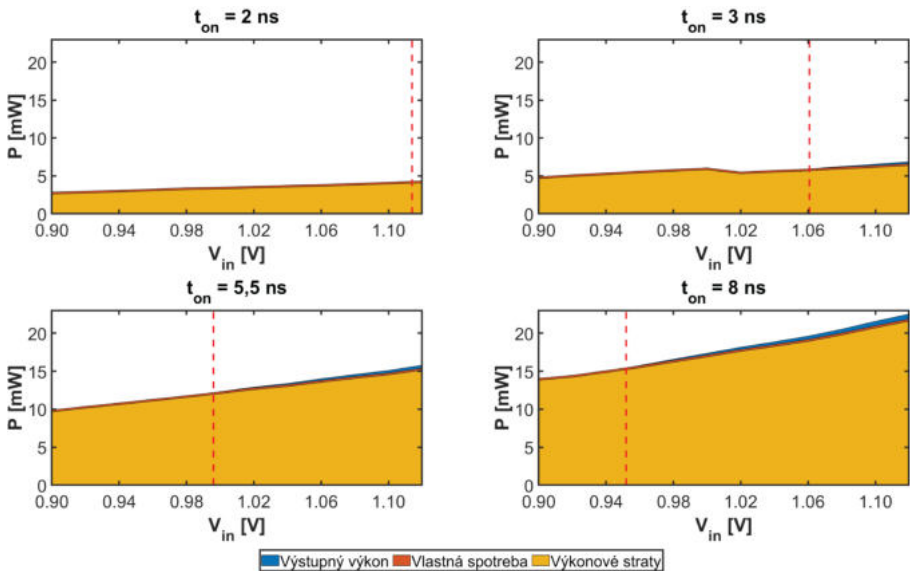
Distribúcia výkonu v obvode je rozdelená do troch rovnakých kategórií ako pri simulačných výsledkoch (výkonové straty na výkonových súčiastkach obvodu,

6.2. Výsledky meraní prototypového čipu



Obr. 6.12: Závislosť maximálnej účinnosti meniča napätia a korešpondujúceho výstupného výkonu od času zopnutia dolného spínača

vlastná spotreba systému a výstupný výkon pre ďalšie použitie) a je zobrazená na obrázku 6.13. Ich súčet je vstupný výkon VC. VC je schopný pokryť svoju vlastnú spotrebu pre jednotlivé hodnoty t_{onLS} až od dosiahnutia vstupného napätia 1,114 V, 1,061 V, 0,996 V, respektíve 0,952 V. Na grafoch 6.13 sú tieto hodnoty vyznačené červenými prerušovanými čiarami.



Obr. 6.13: Závislosť distribúcie výkonu v meniči napätia od vstupného napätia

Vlastná spotreba systému pri spínacej frekvencii 10 MHz je nezávislá od času zopnutia dolného spínača t_{onLS} a má priemernú hodnotu 283,18 μW . Rovnako ako simulácie celého systému, aj merania potvrdili, že najzávažnejšia príčina redukcie účinnosti kovertora napätia sú výkonové straty v topológii meniča napätia. Tento poznatok udáva predpoklad pre ďalšie smerovanie výskumu k hlbšej analýze strát na výkonových súčiastkach obvodu.

6.3 Porovnanie dosiahnutých výsledkov

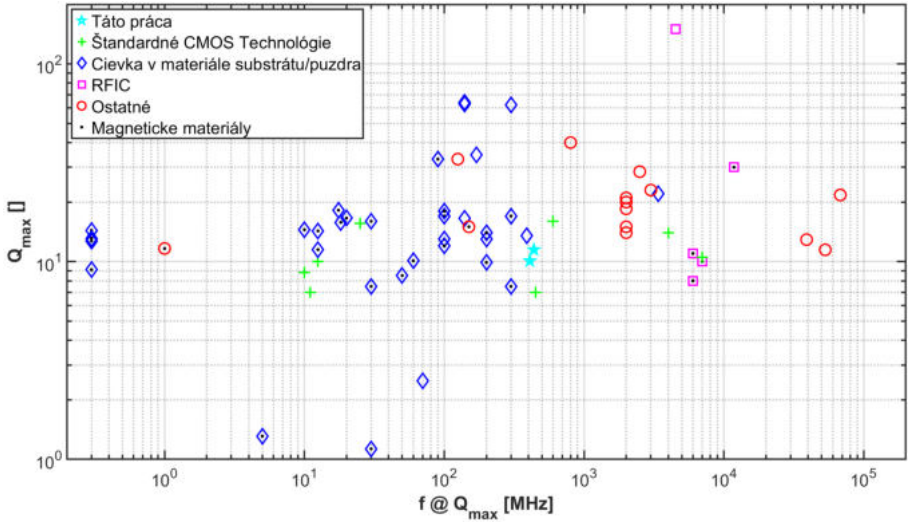
6.3.1 Integrovaná cievka

Štruktúra integrovanej cievky s PGS štítom a integrovaným kondenzátorom v štandardnej 65 nm CMOS technológii bola navrhnutá pre napäťový menič použitím návrhových techník pre zlepšenie jej elektrických parametrov. Navrhnutá cievka dosiahla indukčnosť na nízkych frekvenciách $L_{f \rightarrow 0} = 11,66$ nH, maximálnu indukčnosť $L_{max} = 59$ nH na frekvencii $f @ L_{max} = 0,86$ GHz, sériový odpor $R_L = 1,75$ Ω , rezonančnú frekvenciu $f_{SR} = 0,92$ GHz, a maximálny faktor kvality $Q_{max} = 10,09$ na frekvencii $f @ Q_{max} = 409,32$ MHz. Cievka zaberá plochu 0,494 mm² a má plošnú indukčnosť $L_A = 23,59$ nH/mm². Integrovaný kondenzátor pod štruktúrou PGS zaberá plochu 0,638 mm² a má kapacitu $C_{PGS} = 1,6$ nF, z čoho vyplýva plošná kapacita $C_A = 2,48$ nF/mm².

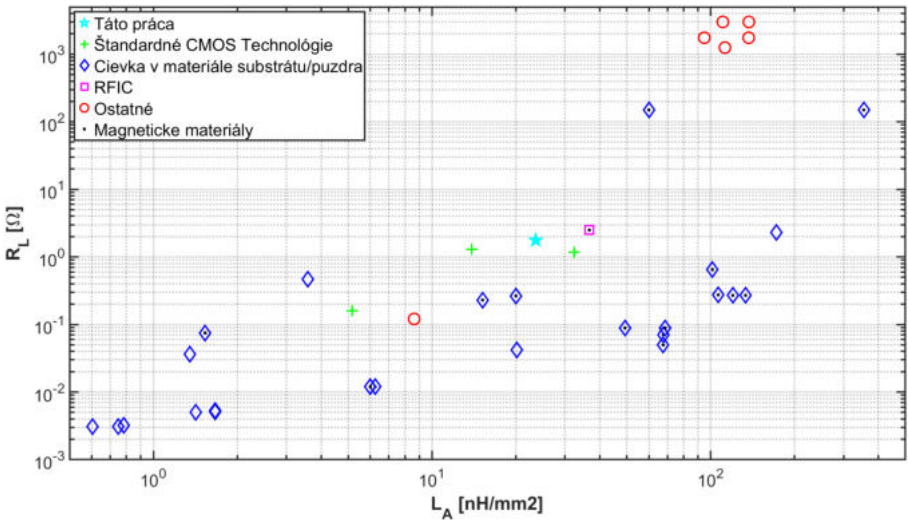
Podobné štruktúry vyrobené v štandardných CMOS technológiách boli publikované v prácach [40–44], kde boli prezentované hustoty indukcie $L_A = 0,93 \div 7,7$ nH/mm² a hustoty kapacity $C_A = 2,09 \div 8,72$ nF/mm².

Z grafického porovnania výsledkov tejto práce s publikovanými výsledkami v prácach [20–25, 40, 42, 45–69] na obrázkoch 6.14 a 6.15 je zrejmé zaradenie výsledkov tejto práce do aktuálneho stavu problematiky v oblasti úplnej integrácie cievok. Elektrické parametre navrhutej štruktúry (Q_{max} , L_A , R_L) v tejto práci sa zaradzujú približne do stredu medzi ostatné integrované cievky a navrhnutá cievka je konkurencieschopná aj pre štruktúry vyrobené s využitím špeciálnych technológií, pokročilých výrobných procesov a neštandardných materiálov.

6.3. Porovnanie dosiahnutých výsledkov



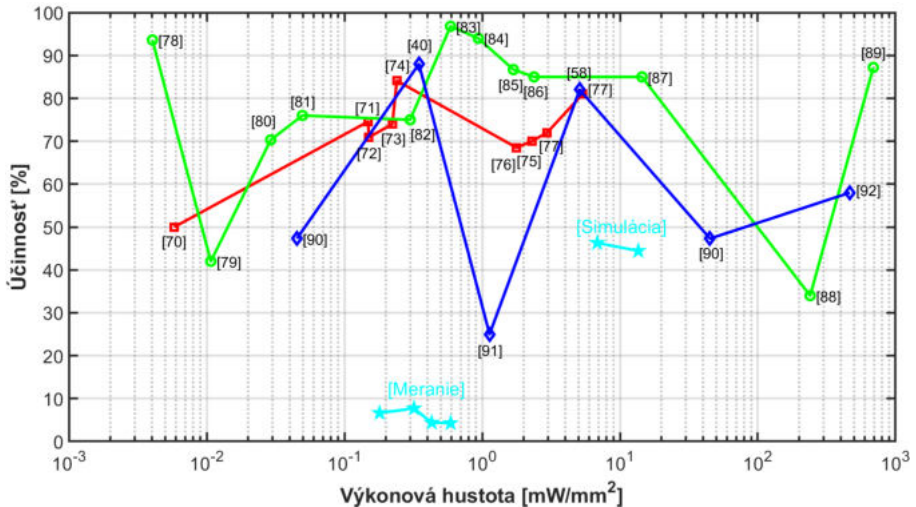
Obr. 6.14: Porovnanie parametrov integrovaných cievok s výsledkami tejto práce vzhľadom na maximálny faktor kvality a frekvenciu, pri ktorej je dosiahnutý



Obr. 6.15: Porovnanie parametrov integrovaných cievok s výsledkami tejto práce vzhľadom na sériový odpor a hustotu indukcie

6.3.2 Integrovaný menič napätia

Integrovaný menič napätia založený na vysokofrekvenčnom spínaní cievky, ako hlavného akumuláčného prvku opisovaný v tejto práci, bol tiež porovnaný s inými aktuálnymi prácami. Simuláciami sme overili, že napäťový menič dosiahne maximálnu účinnosť premeny energie 46,29% pri výstupnom výkone konvertora 6,84 mW a maximálny výstupný výkon 13,58 mW s účinnosťou 44,43%. Meraním prototypového čipu sme dosiahli maximálnu účinnosť premeny energie 7,24% pri výstupnom výkone 0,49 mW a maximálny výstupný výkon 0,95 mW s účinnosťou systému 4,14%. Na obrázku 6.16 je grafické porovnanie maximálnych dosiahnutých výstupných výkonov a účinností premeny energie meničmi napätia, pričom naša aplikácia dosiahla porovnateľné hustoty výstupného výkonu pri nižších účinnostiach premeny energie. V rámci porovnania sú uvedené VC využívajúce ako hlavný akumuláčny prvok integrovanú kondenzátor [70–77], externú cievku [78–89] a integrovanú cievku [40, 58, 90–92].



Obr. 6.16: Porovnanie kapacitných a indukčných VC pre zvýšenie napätia s výsledkami tejto práce vzhľadom na hustotu prenášaného výkonu a efektívnosť jeho prenosu

7 | Zhrnutie výsledkov a prínosov práce

Dôležitosť vysoko efektívnej premeny energie na formu použiteľnú pre napájanie IO súvisí s predlžovaním živostnosti batérií, zabezpečením energetickej autonómnosti ako aj prenositeľnosti systémov a elektronických zariadení. Všetky spomenuté aspekty sú významne podporené v prípade plne integrovaných elektronických obvodov a systémov. Pre účely konverzie energie je často použitý menič napätia v spolupráci s meničom energie dostupnej v okolí (v našom prípade slnečnej) na energiu elektrickú.

Táto dizertačná práca obsahuje výsledky výskumu a návrhu plne integrovaného meniča napätia v štandardnej CMOS technológii, pričom ponúka nekonvenčné prístupy pre časti regulačnej slučky aj pre integráciu pasívnych súčiastok na čip. Princípy autonómneho riadenia meniča napätia sú podrobne analyzované a postupne overené simuláciami aj meraniami prototypových vzoriek čipov.

Hlavné prínosy dizertačnej práce v rámci rozvoja plne integrovaných meničov napätia pre oblasť výskumu aj pre praktické využitie sú nasledovné:

- Podrobné teoretické porovnanie dostupných topológií meničov napätia vhodných pre úplnú integráciu na čip. Toto porovnanie môže slúžiť ako základ pre vyhodnotenie existujúcich meničov napätia aj pre iné účely a aplikácie.
- Matematická analýza navrhnutého meniča napätia typu Boost konvertor na základe lineárnej a exponenciálnej aproximácie signálov. Podľa vedomostí autorov nebola matematická analýza tejto topológie na základe exponenciálnej aproximácie doposiaľ nikde publikovaná. Analýza zahŕňa základné vlastnosti ideálneho Boost konvertora a najdôležitejšie parametre potrebné pre účely tejto práce (I_{Lmax} , t_{onHS}), ale taktiež ponúka základy pre hlbšiu štúdiu meniča napätia. Vyjadrená bola aj odchýlka lineárnej aproximácie od exponenciálnej aproximácie pre dôležité parametre.
- Sumarizácia pokročilých návrhových techník pre štruktúry plne integrovaných cievok použitých v iných prácach. Ich štúdiá ponúkla možnosť pre implementáciu všetkých techník pre integrované cievky navrhované v štandardných 130 nm a 65 nm CMOS technológiách, a tak zlepšenie ich elek-

trických parametrov. Ich parametre boli zlepšené natoľko, že môžu predstavovať konkurenciu pre plne integrované cievky vyrobené v špeciálnych technológiách alebo pomocou pokročilých a zložitých výrobných procesov. Výsledky vykonanej analýzy boli overené simuláciami 22 štruktúr integrovaných cievok.

- Návrh plne integrovaného meniča napätia s autonómnou riadiacou slučkou založenou na doprednom riadení pomocou PFM metódy pre efektívnu extrakciu dostupného výkonu z fotovoltického zberača energie. Analýza jednotlivých blokov riadiacej slučky viedla k určeniu limitov funkčnosti napäťového meniča a ku predpokladom pre správne nastavenie regulačnej slučky.
- Navrhnutý detektor prechodu prúdu nulou (ZCCD) predstavuje alternatívny prístup ku riadeniu výkonového spínača na základe nepriamej metódy merania veľkosti prúdu pretekajúceho cez daný výkonový spínač. Tento prístup musel byť zvolený na základe vysokej prúdovej strmosti priebehov v DCM režime vedenia prúdu meničom napätia ako alternatíva ku konvenčným metódam riadenia výkonových spínačov ako diódy s nízkym napäťovým ofsetom. Spoľahlivosť metódy a funkčnosť samotného detektora bola tiež preukázaná prostredníctvom simulačných výsledkov.
- Simuláciami boli potvrdené predpoklady o správnej funkčnosti navrhovanej regulačnej slučky, ale aj celého systému. Potvrdená bola závislosť účinnosti premeny slnečného žiarenia na elektrickú energiu solárnym článkom od spínacej frekvencie systému. Rovnako bola potvrdená závislosť účinnosti premeny energie Boost konvertorom od dĺžky času zopnutia dolného spínača.
- Navrhnutý systém aj s navrhnutou plne integrovanou cievkou bol implementovaný na čip v štandardnej 65 nm CMOS technológii. Meraniami bola potvrdená funkčnosť celého systému v obmedzenom režime a potvrdená bola aj funkčnosť a efektívnosť navrhutej regulačnej slučky.

8 | Záver

Napäťové meniče sú dnes bežne používané obvody v jednotkách manažmentu napájania elektronických systémov. Úprava úrovne napätia sa vyžaduje z dôvodov rôznych napájacích napätí jednotlivých blokov zložitejších systémov alebo používania nekonvenčných zdrojov energie. Jedným z takýchto riešení môže byť napájanie systému meničom energie. Spojením meniča energie s meničom napätia je možné vytvoriť tzv. zberač energie, ktorý dokáže napájať elektronické obvody a zabezpečiť ich energetickú autonómiu. Nutnosť použitia plne integrovaných meničov napätia vyplýva najmä z orientácie priemyslu na mobilné zariadenia a na energeticky-autonómne aplikácie s dlhou životnosťou batérií. V rámci implementácie meničov napätia v plne integrovanom dizajne existuje priestor najmä v oblasti využitia lacných štandardných výrobných procesov. Výrobné procesy špeciálne neupravené pre plnú integráciu akumulčných prvkov na čip (cievok a kondenzátorov) dovoľujú často iba nízku hustotu prenášanej energie. Väčšia zložitosť štruktúr cievok (oproti kondenzátorom) a plošné, geometrické a materiálové obmedzenia v štandardných technológiách viedli k rozšíreniu napäťových meničov pre zvýšenie napätia v plne integrovanej forme využívajúcich častejšie integrovaný kondenzátor alebo externú cievku. Plne integrovaná cievka spĺňajúca požiadavky pre použitie v napäťových meničoch (indukčnosť, sériový odpor, frekvenčné pásmo) je menej používaný prvok, a preto ponúka široké možnosti pre výskum.

Táto dizertačná práca sa zaoberá návrhom systému zberača energie na blokovej úrovni a jeho podrobnou analýzou. Zberač je založený na vysokofrekvenčnom spínaní indukčného akumulčného prvku. Celý systém je navrhnutý v dostupnej štandardnej CMOS technológii a v čo najväčšej miere integrovaný na čip. Práca začína všeobecným zhodnotením topológií meničov napätia, z ktorých je na základe teoretickej analýzy a predbežných simulácií vybraná najvhodnejšia topológia pre zamýšľanú aplikáciu - konvenčný Boost konvertor napätia. Táto topológia je analyticky opísaná a matematicky sú vyjadrené dôležité parametre topológie (šírky pulzov výkonových spínačov, saturačný prúd cievky). Exponenciálna aproximácia signálov radikálne zvyšuje presnosť vypočítaných hodnôt oproti konvenčnej lineárnej aproximácii, ktorá je vhodná len pre veľmi nízke

pomery dĺžok pulzov výkonových spínačov a časovej konštanty cievky.

Druhou časťou práce je analýza špeciálnych návrhových techník pre zlepšenie elektrických vlastností integrovanej cievky. Na základe teoretickej štúdie bolo navrhnutých 22 štruktúr, ktorých kľúčové elektrické parametre (induktivnosť, sériový odpor, faktor kvality) boli získané simuláciou v programe ANSYS Electronics Desktop. Výsledok štúdie viedol k návrhu integrovanej cievky implementovanej na čip. Zvýšením zložitosti geometrie cievky boli dosiahnuté výsledky porovnateľné s výsledkami štruktúr s jednoduchšou geometriou, ale vyrobených pomocou zložitých výrobných procesov a s použitím neštandardných materiálov.

Poslednou časťou práce bola analýza jednotlivých častí autonómnej riadiacej slučky, ktorá bola navrhnutá pre vybranú topológiu integrovaného meniča napätia. Simuláciami v programe Cadence Virtuoso boli definované hranice funkčnosti regulačnej slučky, a tým operačný rozsah zberača energie. Funkčnosť celého systému bola overená simuláciami a meraním vyrobeného prototypového čipu. Dosiahnuté výsledky z pohľadu hustoty prenášanej energie sú porovnateľné s doterajším výskumom publikovaným inými autormi. Účinnosť konverzie energie systémom predstavuje parameter, ktorý je potrebné v ďalšom výskume zlepšiť.

Budúce smerovanie výskumu bude zamerané na ďalšie zlepšenie elektrických parametrov integrovanej cievky, keďže analýza výkonových strát obvodu ukázala, že tieto straty radikálne znižujú účinnosť premeny energie systémom a sú spôsobené najmä štruktúrou integrovanej cievky. Keďže funkčnosť regulačnej slučky sa v simuláciách ukázala ako vysoko spoľahlivá a presná, bude potrebné toto tvrdenie overiť v širokej škále časovo náročných meraní vyrobeného prototypu systému. Následne bude potrebná opätovná implementácia celého systému na čip aj s novou štruktúrou integrovanej cievky a s dodatočnými stavebnými blokmi. Ďalšie bloky potrebné pre zlepšenie autonómnosti celého systému sú: obvod pre automatické nastavovanie dĺžky času zopnutia spodného spínača, obvod zabezpečujúci zapnutie systému s podmienkou nízkeho napájacieho napätia a obvod pre efektívne ukladanie prebytočného výkonu do akumuláčného prvku. Súčasťou ďalšej implementácie by mala byť aj rozšírená integrácia ďalších súčiastok, ako napríklad vstupný a výstupný kondenzátor a odpor pre prúdovú referenciu. V neposlednom rade je potrebná úprava návrhu celého systému pre jednoduchšie testovanie (DfT, z angl. *Design for Testability*).

Literatúra

- [1] V. Kashyap, et. al., “A Systematic Survey on Fog and IoT Driven Healthcare: Open Challenges and Research Issues,” *Electronics*, vol. 11, no. 17, 2022.
- [2] A. T. Muharrem – G. Emre – S. Ibraheem, “A Survey on IoT Smart Healthcare: Emerging Technologies, Applications, Challenges, and Future Trends,” *ArXiv*, vol. abs/2109.02042, 2021.
- [3] T. Kamilya – J. Park, “Highly Sensitive Self-Powered Biomedical Applications Using Triboelectric Nanogenerator,” *Micromachines*, vol. 13, no. 12, 2022.
- [4] N. Soin, “Magnetic nanoparticles—piezoelectric polymer nanocomposites for energy harvesting,” in *Magnetic nanostructured materials*, pp. 295–322, Elsevier, 2018.
- [5] L. Zhe, et. al., “Nanogenerator-Based Self-Powered Sensors for Wearable and Implantable Electronics,” *Research*, vol. 2020, 2020.
- [6] C. Xu, et. al., “Portable and wearable self-powered systems based on emerging energy harvesting technology,” *Microsystems & Nanoengineering*, vol. 7, no. 1, p. 25, 2021.
- [7] M. Alioto, *Enabling the Internet of Things: from integrated circuits to integrated systems*. Springer, 2017.
- [8] D. V. Bayramol, et. al., “Energy harvesting smart textiles,” *Smart Textiles: Fundamentals, Design, and Interaction*, pp. 199–231, 2017.
- [9] M. M. H. Shuvo, et. al., “Energy harvesting in implantable and wearable medical devices for enduring precision healthcare,” *Energies*, vol. 15, no. 20, 2022.
- [10] V. Stopjakova – M. Kovac – M. Potocny, “On-chip energy harvesting for implantable medical devices,” *Radioengineering*, vol. 29, no. 2, pp. 269–284, 2020.
- [11] S. Uprety – H. Lee, “A 0.65-mW-to-1-W Photovoltaic Energy Harvester With Irradiance-Aware Auto-Configurable Hybrid MPPT Achieving >95% MPPT Efficiency and 2.9-ms FOCV Transient Time,” *IEEE Journal of Solid-State Circuits*, vol. 56, no. 6, pp. 1827–1836, 2021.
- [12] L. Chang, et. al., “A fully-integrated switched-capacitor 2:1 voltage con-

- verter with regulation capability and 90% efficiency at 2.3A/mm²,” in *2010 Symposium on VLSI Circuits*, pp. 55–56, 2010.
- [13] V. G. Piqué – H. J. Bergveld, “State-of-the-art of integrated switching power converters,” *Analog Circuit Design: Low Voltage Low Power; Short Range Wireless Front-Ends; Power Management and DC-DC*, pp. 259–281, 2012.
- [14] Y. Pascal – G. Pillonnet, “Efficiency Comparison of Inductor-, Capacitor-, and Resonant-Based Converters Fully Integrated in CMOS Technology,” *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, vol. 5, no. 3, pp. 421–429, 2015.
- [15] T. J. Kazmierski – S. Beeby, “Energy harvesting systems,” *Principles, Modeling and Applications; Springer Science+ Business Media LLC: New York, NY, USA*, 2011.
- [16] T. Sanislav, et. al., “Energy harvesting techniques for internet of things (IoT),” *IEEE Access*, vol. 9, pp. 39530–39549, 2021.
- [17] M. Kováč, et. al., “Multi-Topology DC-DC Converter for Low-Voltage Energy Harvesting Systems,” in *2020 43rd International Convention on Information, Communication and Electronic Technology (MIPRO)*, pp. 77–82, 2020.
- [18] M. Wens – K. Cornelissens – M. Steyaert, “A fully-integrated 0.18 μ m CMOS DC-DC step-up converter, using a bondwire spiral inductor,” in *ESSCIRC 2007 - 33rd European Solid-State Circuits Conference*, pp. 268–271, 2007.
- [19] R. W. Erickson – D. Maksimovic, *Fundamentals of power electronics*. Springer Science & Business Media, 3 ed., 2020.
- [20] H. Le, et. al., “High-Q Three-Dimensional Microfabricated Magnetic-Core Toroidal Inductors for Power Supplies in Package,” *IEEE Transactions on Power Electronics*, vol. 34, no. 1, pp. 74–85, 2019.
- [21] S. L. Selvaraj, et. al., “On-Chip Thin Film Inductor for High Frequency DC-DC Power Conversion Applications,” in *2020 IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 176–180, 2020.
- [22] M. Sankarasubramanian, et. al., “Magnetic Inductor Arrays for Intel® Fully Integrated Voltage Regulator (FIVR) on 10th generation Intel® Core™ SoCs,” in *2020 IEEE 70th Electronic Components and Technology Conference (ECTC)*, pp. 399–404, 2020.

- [23] Y. Ding, et. al., “Fan-Out-Package-Embedded Coupled Inductors for Integrated Voltage Conversion,” in *2020 32nd International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, pp. 356–359, 2020.
- [24] K. Bharath, et. al., “Integrated Voltage Regulator Efficiency Improvement using Coaxial Magnetic Composite Core Inductors,” in *2021 IEEE 71st Electronic Components and Technology Conference (ECTC)*, pp. 1286–1292, 2021.
- [25] G. Lv, et. al., “A High-Efficiency Double-Side Silicon-Embedded Inductor for Integrated DC–DC Converter Applications,” *IEEE Transactions on Electron Devices*, vol. 68, no. 9, pp. 4801–4804, 2021.
- [26] Y. Kandeel, et. al., “Optimum Phase Count in a 5.4-W Multiphase Buck Converter Based on Output Filter Component Energies,” *IEEE Transactions on Power Electronics*, vol. 38, no. 4, pp. 4909–4920, 2023.
- [27] J. H. Cheng, et. al., “Novel RF CMOS symmetric inductor with stacked multi layer/finger structure,” in *2014 12th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT)*, pp. 1–3, 2014.
- [28] X. Xu, et. al., “Design of Novel High- Q -Factor Multipath Stacked On-Chip Spiral Inductors,” *IEEE Transactions on Electron Devices*, vol. 59, no. 8, pp. 2011–2018, 2012.
- [29] J. M. Lopez-Villegas, et. al., “Improvement of the quality factor of RF integrated inductors by layout optimization,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 48, no. 1, pp. 76–83, 2000.
- [30] H.-M. Hsu, “Analytical formula for inductance of metal of various widths in spiral inductors,” *IEEE Transactions on Electron Devices*, vol. 51, no. 8, pp. 1343–1346, 2004.
- [31] S. Tayenjam – V. N. R. Vanukuru – K. Sundaram, “High- Q Variable Pitch Spiral Inductors for Increased Inductance Density and Figure-of-Merit,” *IEEE Transactions on Electron Devices*, vol. 66, no. 10, pp. 4481–4485, 2019.
- [32] V. N. R. Vanukuru – A. Chakravorty, “Series Stacked Multipath Inductor With High Self Resonant Frequency,” *IEEE Transactions on Electron Devices*, vol. 62, no. 3, pp. 1058–1062, 2015.
- [33] Y. Seong-Mo – C. Tong – K. K. O, “The effects of a ground shield on the characteristics and performance of spiral inductors,” *IEEE Journal of Solid-State Circuits*, vol. 37, no. 2, pp. 237–244, 2002.

- [34] A. S. Royet, et. al., “Experimental and simulation results on Si integrated inductor efficiency for smart RF-ICs,” in *2014 21st IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, pp. 367–370, 2014.
- [35] C. P. Yue – S. S. Wong, “On-chip spiral inductors with patterned ground shields for Si-based RF ICs,” *IEEE Journal of Solid-State Circuits*, vol. 33, no. 5, pp. 743–752, 1998.
- [36] J.-N. Wu, et. al., “Investigation on CMOS on-Chip Inductors Using Various Patterned Ground/Floating Shield Techniques,” in *2021 International Conference on Electronic Communications, Internet of Things and Big Data (ICEIB)*, pp. 113–116, 2021.
- [37] W. S. Lau, *ULSI Front-End Technology: Covering from the First Semiconductor Paper to CMOS FINFET Technology*. World Scientific, 2017.
- [38] B. Ding, et. al., “Modeling and Parameter Extraction of CMOS On-Chip Spiral Inductors With Ground Shields,” *IEEE Microwave and Wireless Components Letters*, vol. 27, no. 5, pp. 431–433, 2017.
- [39] “IXOLARTM High Efficiency SolarBIT” [online] ANYSOLAR ltd. November 2020 [cit: 2023-20-7] <<https://waf-e.dubudisk.com/anysolar.dubuplus.com/techsupport@anysolar.biz/O18AtfA/DubuDisk>>.
- [40] C. Schaefer, et. al., “A Light-Load Efficient Fully Integrated Voltage Regulator in 14-nm CMOS With 2.5-nH Package-Embedded Air-Core Inductors,” *IEEE Journal of Solid-State Circuits*, vol. 54, no. 12, pp. 3316–3325, 2019.
- [41] N. Tang, et. al., “Fully Integrated Switched-Inductor-Capacitor Voltage Regulator With 0.82-A/mm² Peak Current Density and 78% Peak Power Efficiency,” *IEEE Journal of Solid-State Circuits*, vol. 56, no. 6, pp. 1805–1815, 2021.
- [42] P. H. McLaughlin – Z. Xia – J. T. Staath, “A Monolithic Resonant Switched-Capacitor Voltage Regulator With Dual-Phase Merged-LC Resonator,” *IEEE Journal of Solid-State Circuits*, vol. 55, no. 12, pp. 3179–3188, 2020.
- [43] J.-H. Cho, et. al., “A Fully-Integrated 0.9W/mm² 79.1%-Efficiency 200MHz Multi-Phase Buck Converter with Flying-Capacitor-Based Inter-Inductor Current Balancing Technique,” in *2022 IEEE Symposium on VLSI Technology and Circuits (VLSI Technology and Circuits)*, pp. 196–197, 2022.

- [44] J.-H. Cho, et. al., “A 1.23W/mm² 83.7%-Efficiency 400MHz 6-Phase Fully Integrated Buck Converter in 28nm CMOS with On-Chip Capacitor Dynamic Re-Allocation for Inter-Inductor Current Balancing and Fast DVS of 75mV/ns,” in *2022 IEEE International Solid-State Circuits Conference (ISSCC)*, vol. 65, pp. 1–3, 2022.
- [45] Y. Ding, et. al., “A Suspended Thick-Winding Inductor for Integrated Voltage Regulator Applications,” *IEEE Electron Device Letters*, vol. 41, no. 1, pp. 95–98, 2020.
- [46] Z. Dang, et. al., “Optimization methods for high inductance-density inductors for high speed integrated circuits,” in *2021 IEEE International Conference on Integrated Circuits, Technologies and Applications (ICTA)*, pp. 243–244, 2021.
- [47] W. J. Lambert, et. al., “Study of Thin-Film Magnetic Inductors Applied to Integrated Voltage Regulators,” *IEEE Transactions on Power Electronics*, vol. 35, no. 6, pp. 6208–6220, 2020.
- [48] T. Xu, et. al., “3D MEMS In-Chip Solenoid Inductor With High Inductance Density for Power MEMS Device,” *IEEE Electron Device Letters*, vol. 40, no. 11, pp. 1816–1819, 2019.
- [49] A. Novello, et. al., “A 1.25-GHz Fully Integrated DC–DC Converter Using Electromagnetically Coupled Class-D LC Oscillators,” *IEEE Journal of Solid-State Circuits*, vol. 56, no. 12, pp. 3639–3654, 2021.
- [50] J. Yu, et. al., “Demonstration of Substrate Embedded Ni-Zn Ferrite Core Solenoid Inductors Using a Photosensitive Glass Substrate,” in *2022 IEEE 72nd Electronic Components and Technology Conference (ECTC)*, pp. 296–300, 2022.
- [51] Y. Ding, et. al., “A New Fan-Out-Package-Embedded Power Inductor Technology,” *IEEE Electron Device Letters*, vol. 41, no. 2, pp. 268–271, 2020.
- [52] L. Peng, et. al., “Silicon-based Ultimate Miniature Magnetic Inductors Technology for High-efficiency DC-DC Conversion,” in *2020 32nd International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, pp. 384–387, 2020.
- [53] J. Onohara, et. al., “Development of the integrated passive device using through-glass-via substrate,” in *2018 International Conference on Electronics*

- Packaging and iMAPS All Asia Conference (ICEP-IAAC)*, pp. 19–22, 2018.
- [54] Y. Sun – W. Deng – B. Chi, “A FoM of -191 dB, 4.4-GHz LC-VCO Integrating an 8-Shaped Inductor with an Orthogonal-Coupled Tail-Filtering Inductor,” in *2020 IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 1–4, 2020.
- [55] A. S. Royet, et. al., “Design of optimized high Q inductors on SOI substrates for RF ICs,” in *2016 IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, pp. 324–327, 2016.
- [56] P. M. Talekar – V. Pulijala, “Wideband Tunable Radio Frequency Integrated Circuit Inductors Integrated With Domain-Patterned Permalloy,” *IEEE Magnetics Letters*, vol. 12, pp. 1–5, 2021.
- [57] K. Reddy, et. al., “Design of High Quality Factor Symmetrical Differential Inductor using Intercalated-Graphene,” in *2022 2nd International Conference on Intelligent Technologies (CONIT)*, pp. 1–4, 2022.
- [58] P. Zou, et. al., “Powering 5G Era Computing Platforms – the Road toward Integrated Power Delivery,” in *2019 31st International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, pp. 1–6, 2019.
- [59] H. Krishnamurthy, et. al., “A Digitally Controlled Fully Integrated Voltage Regulator With On-Die Solenoid Inductor With Planar Magnetic Core in 14-nm Tri-Gate CMOS,” *IEEE Journal of Solid-State Circuits*, vol. 53, no. 1, pp. 8–19, 2018.
- [60] D. Sun – X. Li, “The inductance comparison of transmission line and conventional spiral inductor,” in *2017 IEEE 5th International Symposium on Electromagnetic Compatibility (EMC-Beijing)*, pp. 1–3, 2017.
- [61] C.-L. Chen, et. al., “Ultra-low-resistance 3D InFO inductors for integrated voltage regulator applications,” in *2016 IEEE International Electron Devices Meeting (IEDM)*, pp. 35.2.1–35.2.4, 2016.
- [62] Y. He, et. al., “On-chip solenoid power inductors with nanogranular magnetic cores,” in *2016 IEEE International Nanoelectronics Conference (INEC)*, pp. 1–2, 2016.
- [63] P. Murali, et. al., “Fabrication and Characterization of Package Embedded Inductors for Integrated Voltage Regulators,” in *2022 IEEE 72nd Electronic Components and Technology Conference (ECTC)*, pp. 301–305, 2022.

- [64] X. Fang, et. al., “A low substrate loss, monolithically integrated power inductor for compact LED drivers,” in *2015 IEEE 27th International Symposium on Power Semiconductor Devices & IC’s (ISPSD)*, pp. 53–56, 2015.
- [65] C. Alvarez, et. al., “Design and Demonstration of Single and Coupled Embedded Toroidal Inductors for 48V to 1V Integrated Voltage Regulators,” in *2020 IEEE 70th Electronic Components and Technology Conference (ECTC)*, pp. 405–413, 2020.
- [66] N. Wang, et. al., “High-Q magnetic inductors for high efficiency on-chip power conversion,” in *2016 IEEE International Electron Devices Meeting (IEDM)*, pp. 35.3.1–35.3.4, 2016.
- [67] N. Sturcken, et. al., “Magnetic thin-film inductors for monolithic integration with CMOS,” in *2015 IEEE International Electron Devices Meeting (IEDM)*, pp. 11.4.1–11.4.4, 2015.
- [68] M. Lee – Y. Choi J. Kim, “A 500-MHz, 0.76-W/mm Power Density and 76.2% Power Efficiency, Fully Integrated Digital Buck Converter in 65-nm CMOS,” *IEEE Transactions on Industry Applications*, vol. 52, no. 4, pp. 3315–3323, 2016.
- [69] V. N. R. Vanukuru, “Alternate layer wound symmetrical inductor with high-Q characteristics for differential RFICs,” in *2017 International conference on Microelectronic Devices, Circuits and Systems (ICMDCS)*, pp. 1–3, 2017.
- [70] W. Jung, et. al., “An Ultra-Low Power Fully Integrated Energy Harvester Based on Self-Oscillating Switched-Capacitor Voltage Doubler,” *IEEE Journal of Solid-State Circuits*, vol. 49, no. 12, pp. 2800–2811, 2014.
- [71] A. Devaraj, et. al., “A Switched Capacitor Multiple Input Single Output Energy Harvester (Solar + Piezo) Achieving 74.6% Efficiency With Simultaneous MPPT,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 66, no. 12, pp. 4876–4887, 2019.
- [72] Y. Jiang, et. al., “A 0.22-to-2.4V-input fine-grained fully integrated rational buck-boost SC DC-DC converter using algorithmic voltage-feed-in (AVFI) topology achieving 84.1% peak efficiency at 13.2mW/mm²,” in *2018 IEEE International Solid - State Circuits Conference - (ISSCC)*, pp. 422–424, 2018.
- [73] M. H. K. Hmada – B. A. Abdelmagid – A. N. Mohieldin, “An Adaptive Fully Integrated Wide-Range Power Management Unit With Fractional Charge

- Pump for Micro-Scale Energy Harvesting Applications,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, pp. 1–10, 2023.
- [74] H.-C. Cheng, et. al., “An Optically-Powered 432 MHz Wireless Tag for Batteryless Internet-of-Things Applications,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 66, no. 9, pp. 3288–3295, 2019.
- [75] H.-C. Cheng, et. al., “A Redistributable Capacitive Power Converter for Indoor Light-Powered Batteryless IoT Devices,” *IEEE Solid-State Circuits Letters*, vol. 3, pp. 350–353, 2020.
- [76] S. Mondal – R. Paily, “An Efficient On-Chip Switched-Capacitor-Based Power Converter for a Microscale Energy Transducer,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 63, no. 3, pp. 254–258, 2016.
- [77] S. Kennedy, et. al., “Fully-Integrated Dickson Converters for Single Photon Avalanche Diode Arrays,” *IEEE Access*, vol. 9, pp. 10523–10532, 2021.
- [78] Y. Xing – L. Liu, “A 10mV Input, 93.6% Peak Efficiency Three-mode Boost Converter for Thermoelectric Energy Harvesting,” in *2020 IEEE 15th International Conference on Solid-State & Integrated Circuit Technology (IC-SICT)*, pp. 1–3, 2020.
- [79] Y. Peng, et. al., “An Efficient Piezoelectric Energy Harvesting Interface Circuit Using a Sense-and-Set Rectifier,” *IEEE Journal of Solid-State Circuits*, vol. 54, no. 12, pp. 3348–3361, 2019.
- [80] F. Meng, et. al., “Heterogeneous Integration of GaN and BCD Technologies and Its Applications to High Conversion-Ratio DC–DC Boost Converter IC,” *IEEE Transactions on Power Electronics*, vol. 34, no. 3, pp. 1993–1996, 2019.
- [81] W.-L. Zeng, et. al., “Design of KY Converter With Constant On-Time Control Under DCM Operation,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 66, no. 10, pp. 1753–1757, 2019.
- [82] K.-S. Yoon – S.-W. Hong – G.-H. Cho, “Double Pile-Up Resonance Energy Harvesting Circuit for Piezoelectric and Thermoelectric Materials,” *IEEE Journal of Solid-State Circuits*, vol. 53, no. 4, pp. 1049–1060, 2018.
- [83] W. C. Liu – R. Pilawa-Podgurski – P. H. Ng, “An 83mA 96.8% Peak Efficiency 3-Level Boost Converter with Full-Range Auto-Capacitor-Calibrating Pulse Frequency Modulation,” in *2019 IEEE Custom Integrated Circuits Conference (CICC)*, pp. 1–4, 2019.

- [84] Z. Gao, et. al., “An Asynchronous AC-DC Boost Converter With Event-Driven Voltage Regulator and 94% Efficiency for Low-Frequency Electromagnetic Energy Harvesting,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 68, no. 7, pp. 2563–2567, 2021.
- [85] L. Pham-Nguyen, et. al., “An 86.7%-Efficient Three-Level Boost Converter with Active Voltage Balancing for Thermoelectric Energy Harvesting,” in *2022 IEEE Custom Integrated Circuits Conference (CICC)*, pp. 1–2, 2022.
- [86] R. L. Radin – M. Sawan – M. C. Schneider, “An Accurate Zero-Current-Switching Circuit for Ultra-Low-Voltage Boost Converters,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 68, no. 6, pp. 1773–1777, 2021.
- [87] Q. Peng, et. al., “Integrated High-Efficiency Single-Inductor CCM Boost Converter for Multi-Junction PV Energy Harvesting,” in *2019 IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 1313–1318, 2019.
- [88] P. Choi, et. al., “A Fully Integrated Inductor-Based GaN Boost Converter With Self-Generated Switching Signal for Vehicular Applications,” *IEEE Transactions on Power Electronics*, vol. 31, no. 8, pp. 5365–5368, 2016.
- [89] S. Fusetto, et. al., “An 87.2%-peak efficiency 4.1 W-output power switched-capacitor 3-level inverting buck-boost dc-dc converter,” in *2023 IEEE Custom Integrated Circuits Conference (CICC)*, pp. 1–2, 2023.
- [90] M.-J. Liu – S. S. H. Hsu, “A Miniature 300-MHz Resonant DC–DC Converter With GaN and CMOS Integrated in IPD Technology,” *IEEE Transactions on Power Electronics*, vol. 33, no. 11, pp. 9656–9668, 2018.
- [91] Y.-W. Tang, et. al., “A fully integrated 28nm CMOS dual source adaptive thermoelectric and RF energy harvesting circuit with 110mv startup voltage,” in *2018 IEEE Custom Integrated Circuits Conference (CICC)*, pp. 1–4, 2018.
- [92] Z. Liu, et. al., “A Fully Integrated Heterogenous Si-CMOS/GaN 500 MHz 6 V-to-18 V Boost Converter Chip,” *IEEE Transactions on Power Electronics*, vol. 38, no. 5, pp. 5615–5618, 2023.

Publikácie autora súvisiace s témou práce

- [RO1] Ondica, R., Stopjaková, V., “Comparative Study of On-chip Inductive DC-DC Step-up Converters” v 2021 23th Conference of Doctoral Students ELITECH, 2021, ISBN: 978-80-227-5098-1.
Podiel autora: 90%.
- [RO2] Ondica, R. et. al., “Feasibility study towards increasing efficiency of fully on-chip DC-DC boost converter” v 2020 International Conference on Applied Electronics (AE), 2020, 1-4 s. doi: 10.23919/AE49394.2020.9232811.
Podiel autora: 70%.
- [RO3] Ondica, R. et. al., “Investigation of Inductor-based Fully On-chip Boost Converter” v 2021 28th International Conference on Mixed Design of Integrated Circuits and System (MIXDES), 2021, 115-119 s. doi: 10.23919/MIXDES52406.2021.9497548.
Podiel autora: 70%.
- [RO4] Ondica, R. Stopjaková, V., “Návrh plne integrovaného 3-stupňového boost konvertora so spínanou cievkou” v 2021 Počítačové architektury a diagnostika (PAD), 2021, 19-22 s. ISBN: 978-80-7494-592-2.
Podiel autora: 90%.
- [RO5] Ondica, R. et. al., “Fully Integrated Multi-layer Stacked Structure of Integrated Inductor with Patterned Ground Shield” v 2022 18th Biennial Baltic Electronics Conference (BEC), 2022, 1-6 s. doi: 10.1109/BEC56180.2022.9935589.
Podiel autora: 60%.
- [RO6] Ondica, R. et. al., “Fully Integrated On-Chip Inductors: An Overview” v 2022 20th International Conference on Emerging eLearning Technologies and Applications (ICETA), 2022, 484-490 s. doi: 10.1109/ICETA57911.2022.9974657.
Podiel autora: 50%.
- [RO7] Ondica, R. et. al., “An Overview of Fully On-Chip Inductors” v 2023 Radioengineering, Vol. 32, No. 1, 2023, 11-22 s. ISSN: 1210-2512.
Podiel autora: 65%.

[RO8] Ondica, R. et. al., “Analysis of Switching Boundaries of a Fully Integrated DC-DC Boost Converter” v 2023 25th Conference of Doctoral Students ELITECH, 2023, ISBN: 978-80-227-5298-5.

Podiel autora: 80%.

[RO9] Ondica, R. et. al., “Digital Control Method For a Fully Integrated Voltage Converter” v 2023 11th International Conference on Advances in Electronic and Photonic Technologies, 2023, 107-110 s. ISBN: 978-80-554-1977-0.

Podiel autora: 45%.

Ostatné publikácie autora

Nagy, L., et. al., “EKV model for bulk-driven circuit design using gmb/ID method” v 2021 IEEE AFRICON, 2021, 1-4 s., doi: 10.1109/AFRICON51333.2021.9570960.

Podiel autora: 5%.

Nagy, L., et. al., “A novel ultra low-voltage low-power rail-to-rail comparator topology in nanoscale CMOS technology” v 2023 AEU International Journal of Electronics and Communications. Vol. 108, 2023, 10-18 s. ISSN: 1434-8411.

Podiel autora: 5%.

Maljar, D., et. al., “Autocalibration Approach for Improving Robustness of Analog ICs” v 2022 25th International Symposium on Design and Diagnostics of Electronic Circuits and Systems (DDECS), 2022, 54-59 s. doi: 10.1109/DDECS54261.2022.9770155.

Podiel autora: 10%.

Hudec, A., et. al., “Design and Analysis of Power Consumption of MPPT Controller in 130 nm CMOS Technology” v 2022 24th Conference of Doctoral Students ELITECH, 2022, ISBN: 978-80-227-5192-6.

Podiel autora: 20%.

Ravasz, R., et. al., “Introduction to Teaching the Digital Electronics Design using FPGA” v 2022 20th International Conference on Emerging eLearning Technologies and Applications (ICETA), 2022, 549-554 s. doi: 10.1109/ICETA57911.2022.9974732.

Podiel autora: 10%.

Kováč, M., et. al., “Low-power CMOS frequency comparator” v 2023 MIPRO: 46th ICT and Electronics Convention, 2023, 212-217 s. ISSN: 1847-3946.

Podiel autora: 15%.