

Ing. Jozef Kozárik

**MERANIE A CHARAKTERIZÁCIA
ENERGETICKEJ ODOLNOSTI MODERNÝCH
VÝKONOVÝCH ELEKTRONICKÝCH PRVKOV
ZAŤAŽENÝCH UIS A SC TESTOM**

MEASUREMENT AND CHARACTERISATION
OF UIS AND SC CAPABILITY OF MODERN
POWER ELECTRONIC DEVICES

Autoreferát dizertačnej práce

na získanie vedecko-akademickej hodnosti philosophiae doctor

v doktorandskom študijnom programe: elektronika a fotonika

Miesto a dátum: Bratislava, júl 2023

Slovenská technická univerzita v Bratislave
Fakulta elektrotechniky a informatiky
Ústav elektroniky a fotoniky

Ing. Jozef Kozárik

**MERANIE A CHARAKTERIZÁCIA
ENERGETICKEJ ODOLNOSTI MODERNÝCH
VÝKONOVÝCH ELEKTRONICKÝCH PRVKOV
ZAŤAŽENÝCH UIS A SC TESTOM**

MEASUREMENT AND CHARACTERISATION
OF UIS AND SC CAPABILITY OF MODERN
POWER ELECTRONIC DEVICES

Autoreferát dizertačnej práce

na získanie vedecko-akademickej hodnosti philosophiae doctor
v **doktorandskom študijnom programe**: elektronika a fotonia

Miesto a dátum: Bratislava, júl 2023

Dizertačná práca bola vypracovaná na:

Ústave elektroniky a fotoniky, FEI STU v Bratislave

Predkladateľ: Ing. Jozef Kozárik
Ústav elektroniky a fotoniky,
Fakulta elektrotechniky a informatiky,
Slovenská technická univerzita v Bratislave,
Ilkovičova 3, 812 19 Bratislava

Školiteľ: doc. Ing. Juraj Marek, PhD.
Ústav elektroniky a fotoniky FEI STU v Bratislave
Ilkovičova 3, 812 19 Bratislava

Oponenti: prof. Ing. Dušan Pudiš, PhD.
Katedra fyziky FEIT ŽU
Univerzitná 1, 010 26 Žilina

Ing. Milan Ťapajna, PhD.
ELÚ SAV, v.v.i.
Dúbravská cesta 9, 845 11 Bratislava

Autoreferát bol rozoslaný dňa:

Obhajoba dizertačnej práce sa koná dňa, o hod. na
Fakulte Elektrotechniky a Informatiky, Slovenskej Technickej
Univerzity v Bratislave, Ilkovičova 3, 812 19 Bratislava.

Prof. Dr. Ing. Miloš Oravec
Dekan FEI STU

Obsah

1	Úvod.....	5
1.1	Tézy dizertačnej práce	7
1.2	Výkonové tranzistory na báze GaN a SiC	8
1.3	UIS test	8
1.4	SC test.....	10
2	Prehľad súčasného stavu	11
3	Dosiahnuté výsledky	14
3.1	Vývoj zariadenia na UIS test	14
3.2	Vývoj zariadenia na SC test.....	16
3.3	Metodika testov	18
3.4	UIS testy GaN HEMT	19
3.5	SC testy GaN HEMT	21
3.6	UIS testy SiC MOSFET	23
3.7	SC testy SiC MOSFET	25
4	Záver	27
5	Hlavné prínosy dizertačnej práce	29
6	Summary	31
7	Zoznam použitej literatúry	33
8	Zoznam publikácií autora	37

1 Úvod

Výkonová elektronika patrí medzi významné odvetvia polovodičového priemyslu. Trh neustále požaduje nové výkonové prvky, ktoré sú efektívnejšie a lacnejšie, dokážu spínať väčšie prúdy pri vyšších napätiach a frekvenciách. Rozvinuté krajiny presadzujú ekologické riešenia, vyžadujú úsporu energie a surovín pri výrobe komponentov a vysokú účinnosť výkonových prvkov. Jedným z kľúčových faktorov pre dosiahnutie "zelenej" spoločnosti, teda spoločnosti šetrnej k prírode, je aj zníženie produkcie skleníkových plynov. Vyspelé štáty v snahe o postupné znižovanie spotreby fosílnych palív podporujú projekty spojené s rozvojom elektromobility a zvýšením jej dostupnosti, a teda aj cenovej konkurencieschopnosti. Z hľadiska polovodičových prvkov sa dajú náklady na výrobu a prevádzku znížiť najmä vyššou efektívnosťou výkonových systémov a zmenšovaním ich objemu.

Už vyše polstoročie je najrozšírenejším polovodičovým materiálom kremík, ktorý sa využíva všade od najmenších tranzistorov v husto integrovaných počítačových procesoroch po vysoko výkonné trakčné systémy v lokomotívach. Avšak aj tento najpopulárnejší a technicky najlepšie zvládnutý polovodič má rôzne nedostatky a fyzikálne limity. V snahe o zvyšovanie účinnosti výkonových systémov sa vývoj v posledných dekádach orientuje okrem kremíka aj na iné materiály. Ide o polovodiče s väčšou šírkou energetickej medzery než má kremík, predovšetkým nitrid gália (GaN) a karbid kremíka (SiC). Do týchto materiálov výskumníci vkladajú nádeje, že umožnia súčasne dosiahnuť vysoké nominálne napätia, nízke hodnoty odporu v zopnutom stave, zvyšovať frekvenciu spínania a tým minimalizovať straty výkonových prvkov. Hoci GaN a SiC v mnohých teoretických parametroch v porovnaní s kremíkom výrazne dominujú, v skutočnosti komponenty založené na týchto polovodičoch trpia aj viacerými nedostatkami. Tie vyplývajú najmä z pomerne krátkej histórie výskumu týchto materiálov. Na odhalenie, pochopenie a odstránenie týchto nedostatkov je potrebná dôsledná analýza a charakterizácia GaN a SiC prvkov nie len v prostredí počítačovej simulácie, či experimentálnych štruktúr, ale aj testovaním plnohodnotných produkčných súčiastok v reálnych podmienkach. To

však neznamená len bežnú prevádzku systému, ale aj rôzne neštandardné, či poruchové režimy, ktoré vystavujú použité súčiastky elektrickému, tepelnému či mechanickému namáhaniu. Súčiastka môže v takýchto podmienkach postupne degradovať, alebo úplne zlyhať.

Motiváciou tejto práce je prispieť k vývoju najmodernejších výkonových polovodičových prvkov založených na nitríde gália a karbide kremíka najmä meraním a charakterizovaním ich vlastností a odolnosti v podmienkach spínania do skratu (SC test) a spínania indukčnej záťaže (UIS test). Cieľom je navrhnúť, zostrojiť, a overiť funkčnosť testovacích zariadení, ktoré budú schopné efektívne podrobiť moderné výkonové prvky týmto náročným spínacím podmienkam. S pomocou zostrojených zariadení podrobiť skúmané vzorky výkonových GaN a SiC tranzistorov testmi UIS a SC s rôznymi parametrami, zaznamenať ich správanie počas testov a degradáciu následkom opakovaného spínania v náročných podmienkach. Analyzovať namerané údaje a na ich základe charakterizovať vlastnosti skúmaných vzoriek a procesy, ktoré v nich prebiehajú počas testovania. Výsledky tejto práce môžu prispieť k lepšiemu pochopeniu spoľahlivosti, energetickej odolnosti a mechanizmov degradácie moderných polovodičových spínacích prvkov. Na základe získaných poznatkov je možné presnejšie vymedziť oblasť bezpečného použitia týchto prvkov v reálnych aplikáciách. Získané poznatky môžu tiež slúžiť ako jeden z podkladov pre vývoj ďalších generácií výkonových tranzistorov založených na GaN a SiC, s dôrazom na optimalizáciu parametrov ovplyvňujúcich UIS a SC odolnosť týchto prvkov.

1.1 Tézý dizertačnej práce

Tézý dizertačnej práce sú definované nasledovne:

- Nadobudnúť nové poznatky o moderných výkonových polovodičových prvkoch založených na materiáloch SiC a GaN a o ich správaní v podmienkach skratu (SC) a spínania indukívnej záťaže (UIS).
- Navrhnuť meracie pracovisko na SC a UIS testovanie a charakterizáciu vzoriek SiC a GaN tranzistorov s ohľadom na špecifické vlastnosti týchto tranzistorov.
- Vykonať jednorazové a opakované SC a UIS merania na vzorkách moderných výkonových prvkov.
- Na základe nameraných údajov charakterizovať, porovnať a vyhodnotiť elektrické vlastnosti testovaných vzoriek, ich energetickú odolnosť, degradáciu parametrov a iné vplyvy SC a UIS testov na vzorky
- Analyzovať mechanizmy degradácie elektrických parametrov a deštrukcie testovaných vzoriek.

1.2 Výkonové tranzistory na báze GaN a SiC

V tejto práci sme sa venovali testovaniu moderných výkonových unipolárnych tranzistorov na báze polovodičov s veľkou šírkou energetickej medzery GaN a SiC. V prípade GaN ide o štruktúry typu HEMT (*high-electron-mobility transistor*). Tieto tranzistory využívajú ako vodivý kanál tzv. dvojrozmerný elektrónový plyn (2DEG), ktorý vzniká pri vhodnom návrhu štruktúry na rozhraní dvoch materiálov s rozdielnou šírkou energetickej medzery ako dôsledok rozloženia elektrického poľa v štruktúre a „uväznenia“ elektrónov na rozhraní materiálov. Elektróny sú tak oddelené od rozptylových centier, čoho výsledkom je ich vysoká pohyblivosť a saturačná rýchlosť. Tranzistory HEMT testované v tejto práci sú založené na rozhraní AlGaIn/GaN, majú laterálnu štruktúru a hradlo tvorené p-typom GaN, vďaka ktorému je pri nulovom hradlovom napätí kanál tranzistora uzavretý. Charakteristickou črtou týchto tranzistorov je, že hradlo nie je úplne izolované od kanála, ale tvorí diódovú štruktúru, preto cez hradlo tečie v zopnutom stave nezanedbateľný prúd. Testované SiC tranzistory sú typu MOSFET s vertikálnou štruktúrou kanála a s trojrozmerným hradlom typu UMOS (trenchMOS) a p-stĺpcami, ktoré ovplyvňujú rozloženie elektrického poľa v štruktúre. Vzhľadom na nevyspelosť SiC technológie v porovnaní s kremíkom ide o značne pokročilú štruktúru. Typickým problémom súčasných SiC MOSFET je nízka spoľahlivosť hradlového oxidu a potreba vyššieho hradlového napätia na dosiahnutie dobrej vodivosti kanála. Tranzistory založené na SiC aj GaN majú nízke prahové napätie, preto sa často na ich vypnutie odporúča záporné hradlové napätie.

1.3 UIS test

Pri spínaní indukčných záťaží (aj parazitných) vznikajú na tranzistore počas jeho vypínania napäťové špičky vplyvom elektromagnetickej indukcie, ktoré môžu prekročiť hodnotu prierazného napätia tranzistora. V prípade MOS tranzistorov spravidla dochádza k lavínovému prierazu. Počas neho je na tranzistore vysoké napätie a zároveň ním preteká prúd, a teda do štruktúry je dodávané veľké množstvo energie, ktorá sa premieňa na teplo a môže byť dostatočná na poškodenie alebo zničenie tranzistora. Na určovanie maximálneho množstva energie, ktorú je

testovaný prvok schopný počas prierazu absorbovať bez poškodenia, sa používa UIS (*unclamped inductive switching*) test definovaný JEDEC štandardom [1]. V typickom UIS obvode je testovaný spínací tranzistor (DUT) zapojený do série s indukčnou záťažou a budený hradlovým signálom (obr. 1a). Test začína zopnutím tranzistora. Kolektorový prúd I_D začne rásť lineárne (pri zanedbaní odporu tranzistora) so strmosťou určenou indukčnosťou L a napájacieho napätia U_{DD} :

$$\frac{di}{dt} = \frac{U_{DD}}{L}$$

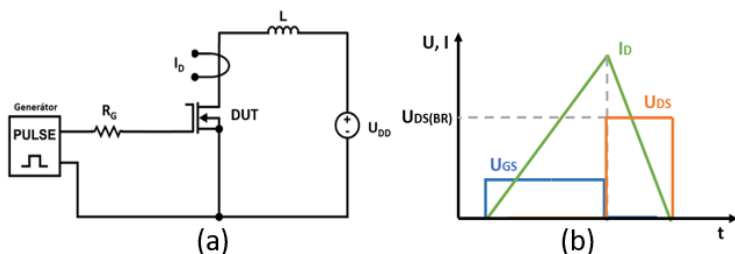
Keď veľkosť prúdu dosiahne vopred stanovenú hodnotu, DUT sa vypne. Prúd tečúci cievkou spôsobí na vypnutom tranzistore rýchly nárast napätia až na úroveň prierazného napätia $U_{DS(br)}$ a dôjde k lavínovému prierazu tranzistora. Od tohto momentu prúd I_D začne lineárne klesať:

$$\frac{di}{dt} = -\frac{U_{DS(br)}}{L}$$

pričom napätie U_{DS} na tranzistore zostáva rovné hodnote $U_{DS(br)}$, až kým prúd I_D klesne na nulu (obr. 1b). Väčšina energie uloženej v magnetickom poli cievky je počas trvania lavínového prierazu premenená teplo v tranzistore a dá sa vyjadriť ako:

$$E = \frac{1}{2} L I_{D(max)}^2$$

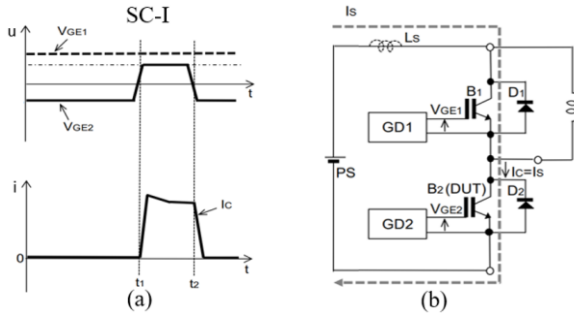
MOS tranzistor môže pri UIS zlyhať tak, že sa pôsobením lavínového prúdu zopne parazitný bipolárny tranzistor, čím sa stráca možnosť vypnúť testovaný prvok a dochádza k extrémnemu ohrevu štruktúry a deštrukcii prvku. Častejšie však dôjde k lokálnemu prehriatiu a zničeniu časti štruktúry. Štruktúra tranzistora HEMT neobsahuje intrinzičnú diódu, lavínový prieraz sa preto u HEMT nevyskytuje a dochádza skôr k dielektrickému prierazu.



Obr. 1: a) Zjednodušená schéma zapojenia pri UIS teste. b) Typické priebehy napätí a prúdu počas UIS testu.

1.4 SC test

V niektorých výkonových aplikáciách je potrebné, aby bol tranzistor schopný na krátky čas zniesť skrat iného prvku v obvode alebo spínanej záťaže. Medzi zdrojom napájania a postihnutým tranzistorom je len malá impedancia. Ak je tranzistor zopnutý, tečie ním veľký prúd a zároveň je na ňom veľký úbytok napätia. Uvoľňuje sa tým veľké teplo vo vnútri štruktúry, ktoré môže spôsobiť tepelné poškodenie tranzistora. Kolektorový prúd rýchlo narastie na hodnotu saturačného skratového prúdu, avšak pôsobením vyššej teploty dochádza k poklesu pohyblivosti nosičov náboja, a teda aj k poklesu prúdu cez tranzistor (obr. 2a). Pri krátkom trvaní skratu teplota nedosiahne kritickú úroveň, ktorá by spôsobila tepelný prieraz tranzistora a tranzistor sa dá vypnúť hradlovým signálom. Počas vypínania tranzistora môže vplyvom parazitných indukčností prudko narásť napätie, preto je vhodné vypínať tranzistor pomalšie, napríklad použitím hradlového rezistora s väčším odporom. Ochranný obvod musí vypnúť tranzistor skôr ako dôjde k poškodeniu. Tento čas sa určuje testom času odolnosti v skrate (*short-circuit withstand time test*) definovaným aj JEDEC štandardom [2]. Podľa štandardu sa testovací obvod zapojí do konfigurácie ako na obr. 2b. Pri teste sa postupne predlžuje trvanie skratových podmienok. Následne sa určí maximálna dĺžka skratového javu, ktorému dokáže odolávať a tiež koľkokrát za životnosť tranzistora môžu tieto podmienky nastať. Výrobcovia tranzistorov zvyknú hodnoty času SC odolnosti uvádzať v dokumentácii, u moderných výkonových tranzistorov sú rádovo v jednotkách až desiatkach mikrosekúnd.



Obr. 2: a) Typické priebehy počas SC testu b) Schéma zapojenia.

2 Prehľad súčasného stavu

UIS podmienky GaN HEMT

Autori Naka a Saito deštrukciu p-GaN HEMT pripisujú generácii dier v oblasti hradla vplyvom nárazovej ionizácie, ktoré zvyšujú intenzitu elektrického poľa na hrane hradla a tým vytvárajú kladnú spätnú väzbu pre generáciu ďalších nosičov [3]. Zvýšenie UIS odolnosti odporúčajú odklonením dierového prúdu z hradla spojením substrátu s emitorom alebo vyšším hradlovým napätím vo vypnutom stave [4]. Tiež zistili, že UIS odolnosť závisí od kvality hradlovej štruktúry [5]. Generáciu dier v oblasti kolektora a dierový prúd popod *buffer* vrstvu pozorovali a simuláciami potvrdili aj Shankar a kol. [6]. Pozorovali aj zvýšenie UIS odolnosti pôsobením UV žiarenia, ktoré znižuje zachytávanie náboja [7]. Martinez a kol. konštatujú, že UIS odolnosť GaN HEMT je úmerná výstupnej kapacite tranzistora C_{oss} , ktorá je nabíjaná prúdom indukčnej záťaže, až kým nedosiahne prierazné napätie. Jediný pozorovaný mechanizmus prierazu je podľa nich nárazová ionizácia [8]. Zhang a kol. pozorovali, že UIS odolnosť GaN HEMT je daná len prierazným napätím a nie je citlivá na strmosť rastu napätia ani na trvanie pulzu. [9].

Degradáciu vplyvom opakovaného UIS spínania analyzovali Li a kol. Pozorovali degradáciu napätia $U_{GS(th)}$, odporu $R_{DS(on)}$, kapacít a zvodových prúdov vplyvom zachytávania elektrónov v prístupovej oblasti a v oblasti hradla [10]. Autori Zhang a kol. tvrdia, že GaN

HEMT dokáže vydržať vyššie napätie pri kratších pulzoch vďaka prechodne menšej intenzite elektrického poľa v dôsledku menšieho záchytu náboja v *buffer* vrstve [11].

Skratové podmienky GaN HEMT

Huang a kol. predpokladajú, že zlyhanie vplyvom SC je spôsobené nie len vysokou generáciou tepla vo vodivom kanáli tranzistora, ale aj vysoko energetickými dierami vytvorenými nárazovou ionizáciou počas skratu, ktoré spôsobili prieraz v oblasti hradla [12]. Autori Oeder a kol. pozorovali, že SC odolnosť p-GaN HEMT je závislá od veľkosti prúdovej špičky na začiatku skratového pulzu a od veľkosti hradlového prúdu [13]. Autori Martinez a kol. pozorovali okrem zlyhania vplyvom vysokej teploty aj iný typ zlyhania, ktorý nazvali „skoré“ zlyhanie [14]. Podľa ich pozorovaní môže toto zlyhanie súvisieť s generáciou vysoko energetických elektrónov a následne povrchových pascií, ktoré spôsobujú šírenie elektrického poľa k okraju kolektora, čím môže intenzita poľa v tejto oblasti prekročiť kritickú hodnotu.

Sun a kol. identifikovali mechanizmy degradácie vplyvom opakovaných SC podmienok ako praskliny v štruktúre medzi *field plate* a kolektorovou elektródou spôsobené lokálnymi teplotnými fluktuáciami [15]. Autori Xu a kol. analyzovali degradáciu elektrických parametrov po 230 SC pulzoch. Popisujú zachytávanie elektrónov v poruchách v oblasti p-GaN, čím sa znižuje počet nosičov náboja v 2DEG a zároveň sa mení rozloženie elektrických polí. Po 10 dňoch pokoja sa charakteristiky zotavia takmer do pôvodného stavu, čo vysvetľujú postupným uvoľňovaním elektrónov z pascií [16]. Podľa autorov Li a kol. je zachytávanie nosičov náboja v p-GaN oblasti hradla zodpovedné aj za nárast prahového napätia $U_{GS(th)}$, zatiaľ čo poruchy na rozhraní kov/pGaN majú na svedomí nárast hradlového prúdu. Poškodenie vyvolané skratovými podmienkami v prístupových oblastiach má vplyv na degradáciu odporu $R_{DS(on)}$ a kapacity C_{oss} [17].

UIS podmienky SiC MOSFET

Autori Yang a kol. pozorovali závislosť odolnosti pri UIS od teploty a podľa nich odolnosť závisí nie len od množstva energie, ale aj od rýchlosti jej rozptylu. Ako príčinu zlyhania udávajú vysokú teplotu

štruktúry [18]. Autori Alexis a kol. pozorovali vyššiu odolnosť SiC MOSFET oproti Si IGBT a namodelovali tepelnú závislosť zopnutia parazitného bipolárneho tranzistora vplyvom UIS [19]. Podobne Fayyaz a kol. na základe meraní a simulácií popisujú zlyhanie tranzistora následkom zvýšenia zvodových prúdov, elektrónového prúdu do emitora počas lavínového prierazu, aj lokálne prehriatia časti štruktúry [20] a autori An a Hu tvrdia, že UIS odolnosť je daná celkovou lavínovou energiou a maximálnou prúdovou hustotou počas prierazu. V niektorých tvrdeniach sa autori rozchádzajú, čo možno pripísať nie úplnému poznaniu vnútorných procesov a mechanizmov, avšak ako hlavný deštruktívny mechanizmus udávajú poškodenie a tavenie Al metalizácie [21]. Li a kol. analyzovali SiC *trench* MOS, kde pozorovali zlyhanie hradlového oxidu v spodnej časti hradla [22]. Deng a kol. pri testovaní *trench* MOS pozorovali aj tepelný prieraz štruktúry [23].

V opakovaných UIStestoch Yang a kol. pozorovali postupný nárast $U_{GS(th)}$ aj $I_{D(leak)}$ [18]. Liu a kol. pripisujú degradáciu 1,2 kV SiC tranzistora injekcii vysoko energetických dier a záchytu náboja v hradlovom oxide, ktoré spôsobujú zvýšenie prúdu $I_{D(leak)}$ a redukciu odporu $R_{DS(on)}$ [24]. Zhou a kol. pozorovali takmer konzistentnú degradáciu vo forme poklesu $U_{GS(th)}$ a nárastu $R_{DS(on)}$ a $I_{D(leak)}$. Avšak degradáciu $I_{G(leak)}$ nezaznamenali. Rast odporu $R_{DS(on)}$ je podľa nich spôsobený tepelnou únavou a poškodením rozhrania medzi metalizáciou kontaktov a bondovacími drôtkami. Zvyšné parametre sú podľa nich ovplyvnené záchytným dier v hradlovom oxide [25]. Wei a kol. pozorovali aj pokles prierazného napätia $U_{DS(br)}$ a nárast kapacity C_{GD} . Po 10^4 cykloch pozorovali aj 45 % predĺženie vypínacieho času tranzistora [26]. Zaznamenali aj nárast ostatných kapacít tranzistora a s tým spojenú degradáciu dynamických parametrov tranzistora [27].

Skratové podmienky SiC MOSFET

Podľa Castellazziho a kol. testované 1,2kV SiC tranzistory odolávali v jednorazových skratových testoch iba do 50 % nominálneho napätia. Ako hlavný dôvod zlyhania vzoriek uvádzajú tepelnú degradáciu hradlovej štruktúry [28]. Romano a kol. určili meraniami a simuláciami dva základné tepelné mechanizmy zlyhania, a sice zopnutie parazitného bipolárneho tranzistora a teplotná degradácia materiálov a rozhraní [29].

Nguyen a kol. pozorovali degradáciu hradlového oxidu, ktorá bola výraznejšia ako pri Si prvkoch [30]. Ionita a kol. ako najpravdepodobnejší dôvod zlyhávania udávajú tepelný prerez a popisujú aj rast hradlového prúdu pred zlyhaním tranzistora ako dôsledok tunelovania [31]. Yao a kol. udávajú okrem tepelného zopnutia parazitného bipolárneho tranzistora aj prerez dielektrických vrstiev hradla, resp. fyzické praskliny v blízkosti rozhrania hradlovej štruktúry [32].

Analýzou degradácie vplyvom nedeštruktívnych SC pulzov Othman a kol. pozorovali rast hradlového $I_{G(\text{leak})}$ aj kolektorového zvodového prúdu $I_{D(\text{leak})}$ [33]. Castellazzi a kol. pozorovali aj postupný rast prahového napätia $U_{GS(\text{th})}$ [28]. Zhou a kol. na základe meraní a simulácií udávajú zachytávanie dier v hradlovom oxide. Tie spôsobujú pokles prahového napätia $U_{GS(\text{th})}$ aj nárast kolektorového zvodového prúdu $I_{D(\text{leak})}$. Pozorovali aj zotavenie parametrov po zohriatí tranzistora na 200 °C [34]. Wei a kol. popisujú v oblasti kanála injekciu elektrónov do hradlového oxidu. Tieto elektróny spôsobujú nárast napätia $U_{GS(\text{th})}$ a tiež vyšší odpor $R_{DS(\text{on})}$ pri nižších hradlových napätiach [35]. Kanale a Baliga na základe simulácií predpokladajú, že nárast hradlového zvodového prúdu $I_{G(\text{leak})}$ je spôsobený prenikaním roztaveného hliníka z metalizácie emitora cez izolačnú vrstvu SiO_2 medzi hradlom a emitom. [36].

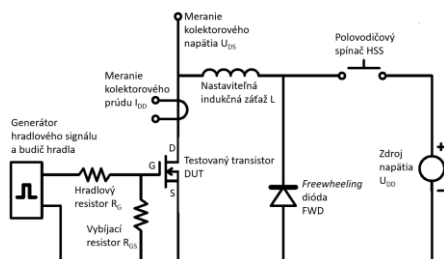
3 Dosaiahnuté výsledky

3.1 Vývoj zariadenia na UIS test

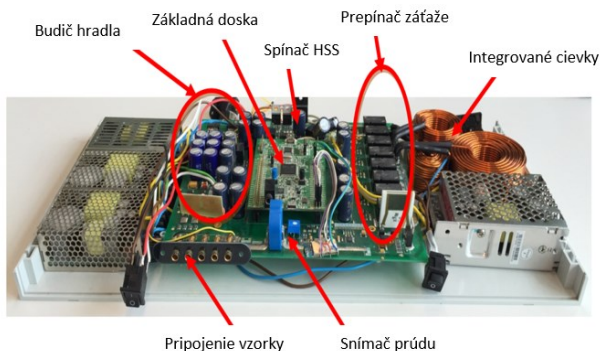
Súčasný SiC a GaN tranzistory majú špecifické požiadavky, ako napr. potreba prepínania z kladných do záporných hodnôt hradlového napätia, precízne časovanie riadiaceho signálu, či použitie špecifických obvodov medzi budičom a hradlom tranzistora. Naším zámerom bolo testovať rôzne typy tranzistorov UIS cyklami s možnosťou väčšieho počtu opakovaní. Zadanie teda vyžadovalo väčšie možnosti konfigurácie parametrov testu v porovnaní s komerčne dostupnými zariadeniami.

Hlavné charakteristiky vyvinutého testera zahŕňajú nastaviteľné hradlové napätia v rozsahu od -20 do +20 V s krokom 20 mV, nastaviteľný kolektorový prúd do 25 A s rozlíšením 40 mA, schopnosť negatívneho hradlového prúdu až do -20 A, maximálne kolektorové

napätie v čase prierazu 1 kV a nepretržitú prevádzku počas viac než 10^8 opakovaných UIS pulzov. Na obr. 3 sú schematicky znázornené základné funkčné bloky. Blok DUT (*device under test*) značí testovaný tranzistor. Spínač HSS (*high-side-switch*) vykonáva pripojenie a odpojenie zdroja napätia pre testovaný tranzistor. Snímač prúdu merateľný do 25 A s presnosťou ± 25 mA. Budič hradla (*gate driver*) sa dá použiť aj ako zdroj napájania pre externý budiaci obvod, vďaka čomu dokáže riadiť všetky typy súčasných výkonových tranzistorov. Hradlové napätia sa nastavujú cez číslicovo-analógový prevodník a nastaviteľné lineárne regulátory. Kolektorové napájacie napätie je dodávané z externého DC zdroja, ktorým sa nabíjajú interné kondenzátory. Všetky vysokonapäťové časti sú od nízkonapäťových a prístupných častí galvanicky oddelené. Spínaný prúd sa nastavuje pomocou číslicovo-analógového prevodníka, senzora kolektorového prúdu a komparátora. Keď kolektorový prúd dosiahne stanovenú hodnotu, výstup komparátora je signálom na vypnutie DUT. Podobne sa kolektorové napätie porovnáva s vopred nastavenou hodnotou prierazného napätia, pričom trvanie signálu na výstupe komparátora je rovné trvaniu prierazu. Všetky podstatné signály sú zároveň vyvedené na koaxiálne konektory, aby sa dali sledovať na osciloskope. Riadiacou jednotkou zariadenia je procesor typu ARM M4, ktorý sa nastavuje príkazmi z externého zariadenia cez sériovú linku. Presnosť časovania a merania signálov je lepšia ako ± 1 μ s. Vzhľadom na rýchle spínanie pomerne veľkých prúdov bolo nutné vhodne rozmiestniť a odtieniť komponenty voči rušeniu. Fotografia jednej z vyrobených verzií testovacieho zariadenia s popisom jednotlivých blokov je na obr. 4.



Obr. 3: Bloková schéma navrhnutého zariadenia na UIS testovanie.

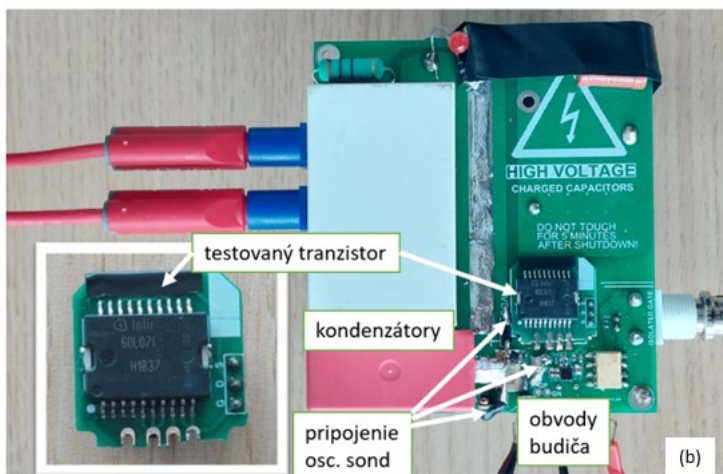
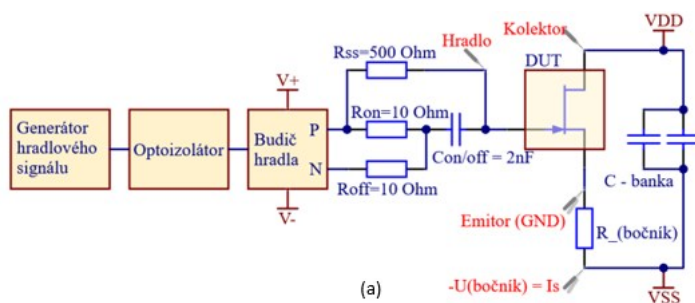


Obr. 4: Vyhotovenie prototypu UIS testovacieho zariadenia.

3.2 Vývoj zariadenia na SC test

Vzhľadom na komplikácie pri vývoji UIS testera sme sa pri vývoji zariadenia na SC testovanie rozhodli pre výrobu jednoduchšieho zariadenia s využitím čo najväčšieho množstva externých zariadení. Pri SC teste je potrebné umožniť, aby obvodom pretekal značne veľký prúd a s rýchlym nábehom, teda je potrebné čo najviac znížiť impedanciu slučky cez zdroj napätia a výstupné kontakty tranzistora. Zároveň sa musí zabezpečiť čo najpresnejšie meranie priebehov takýchto veľkých prúdov, ktoré obsahujú vysokofrekvenčné zložky. Potrebné bolo zabezpečiť aj rýchle budiace obvody. Budič hradla má samostatné napájanie buď z batérií alebo izolovaného externého DC zdroja. Vyrobený SC tester má formu dosky plošných spojov s konektormi na pripojenie zdrojov napätí a meracích sond. Kolektorový prúd je možné merať buď prúdovou sondou, alebo ako napätie na bočníku. Vyrobili sme dve verzie testera, pre GaN HEMT a SiC MOSFET. Líšia sa najmä budiacimi obvodymi hradla a použitými kondenzátormi, ktoré slúžia ako zdroj kolektorového napätia. Verzia pre GaN je stavaná na maximálne napätie 450 V, SiC verzia na 800 V. Hradlové napäťové úrovne sú nastaviteľné v GaN verzii v rozsahu -12 V až 12 V voči emitoru tranzistora. Verzia pre SiC má rozsah hradlových napätí ± 20 V. Strmosť zopnutia a vypnutia DUT sa nastavuje samostatným zapínacím a vypínacím hradlovým rezistorom alebo použitím hradlového R-C obvodu. Pri návrhu bola prioritou eliminácia parazitných indukčností.

Zjednodušená schéma a vyrobená DPS prototypu SC testera sú zobrazené na obr. 5. Kondenzátorová banka bola vyskladaná z polypropylénových fóliových kondenzátorov s veľmi nízkym ekvivalentným sériovým odporom a dobrými frekvenčnými a prúdovými charakteristikami. Pre tranzistory v puzdrách na povrchovú montáž (SMT) sme vyrobili menšie DPS, ktoré sa pripájajú na hlavnú DPS. Takýmto spôsobom je možné medzi testovacími cyklami odpojiť tranzistory bez tepelného namáhania spájkovaním a premerať ich charakteristiky.



Obr. 5: a) Bloková schéma SC testera. b) Vyhotovenie prototypu SC testera vo verzii pre GaN HEMT.

3.3 Metodika testov

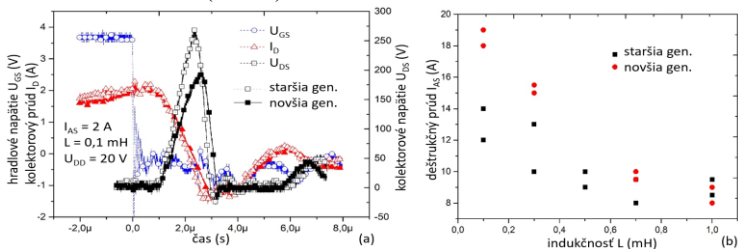
Testovali sme vzorky tranzistorov GaN HEMT a SiC MOSFET jednorazovými a opakovanými UIS a SC testami. Jednorazovými testami sme hľadali podmienky, pri ktorých nastane zlyhanie tranzistora a sledovali sme priebehy prúdu a napätí na kontaktoch tranzistora. Na základe jednorazových testov sme na opakované testy nastavili parametre tak, aby sa tranzistor spínal do nedeštruktívnych podmienok. Pred opakovanými testami sme na každom testovanom kuse zmerali viaceré z nasledovných parametrov tranzistora: prevodová a výstupná charakteristika (z nich vyplýva aj prahové napätie a saturačný prúd), hradlový a kolektorový zvodový prúd, päť kapacít tranzistora (kolektor-emitor C_{DS} , hradlo-emitor C_{GS} , hradlo-kolektor C_{GD} , hradlo-kolektor+emitor C_{GDS} , kolektor-hradlo+emitor C_{OSS}), spínacie priebehy pri dvojpulzovom teste a kapacitné spektrá analytickou metódou DLTS. Po zmeraní parametrov bol tranzistor vystavený sérii UIS alebo SC pulzov, po ktorej sme opäť zmerali parametre. Tento proces sa opakoval niekoľkokrát, pričom trvanie jednej série bolo spravidla 10^3 až 10^5 pulzov a celkový počet opakovaní 10^5 až 10^7 pulzov. Striedu opakovaných testov sme nastavili tak, aby nedochádzalo k prehrievaniu vzorky v priebehu testu. Testované vzorky boli komerčne dostupné tranzistory, ktorých parametre sú uvedené v tab. 1. Pri GaN HEMT sme testovali dve generácie vzoriek a aj nezapuzdrené vzorky kvôli analýze vplyvu pripojenia substrátového kontaktu na UIS odolnosť.

Tab. 1: Parametre testovaných tranzistorov.

Parameter	Označenie	Hodnota GaN	Hodnota SiC
		IGO60R070D1	IMZ120R220M1H
Maximálne napätie kolektor-emitor	$U_{DS(max)}$	600 V	1 200 V
Odpor v zopnutom stave	$R_{DS(on)}$	70 m Ω	220 m Ω
Maximálny kolektorový prúd	$I_{D(max)}$ (DC)	30 A	13 A
Maximálny kolektorový prúd, pulzovaný	$I_{D(max)}$ (pulzne)	60 A	21 A
Maximálny stratový výkon	$P_{(TOT)}$	125 W	75 W
Prahové napätie	$U_{GS(th)}$	1,2 V	4,5 V
Max. pracovná teplota	$T_{j(max)}$	150 °C	175 °C

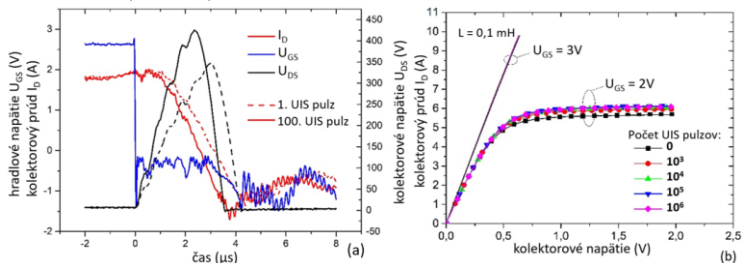
3.4 UIS testy GaN HEMT

Pri UIS testovaní tranzistorov typu GaN HEMT sme pozorovali nasledovné javy: V podmienkach UIS spínania správajú inak ako tranzistory MOSFET. Nedochádza u nich k lavínovému prerazu, ale energia cievky sa vybíja nabíjaním kapacít tranzistora a tokom prúdu cez neúplne uzavretý kanál tranzistora. Odolnosť týchto tranzistorov v UIS podmienkach je v porovnaní s ich nominálnymi parametrami značne limitovaná (obr. 6).



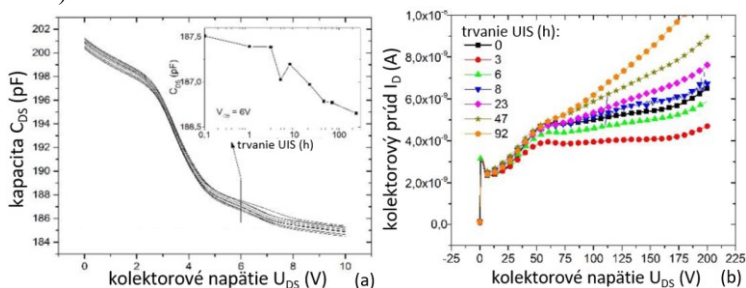
Obr. 6: a) Typické priebehy pri UIS pulze. b) Závislosť deštruktívneho prúdu od spínanej indukčnosti pre dve generácie GaN HEMT.

Na rozdiel od iných publikovaných testov, nami testované vzorky nevykazovali rozdielne správanie v závislosti od pripojenia substrátového kontaktu. Pri opakovanom UIS spínaní záleží na teplote štruktúry, teda na striede riadiaceho signálu. Pri vysokej teplote priebehy spínania rýchlo degradujú (obr. 7a). Avšak aj keď sa tranzistor nechá medzi pulzmi ochladiť, sú pozorovateľné zmeny v jeho parametroch (obr. 7b).



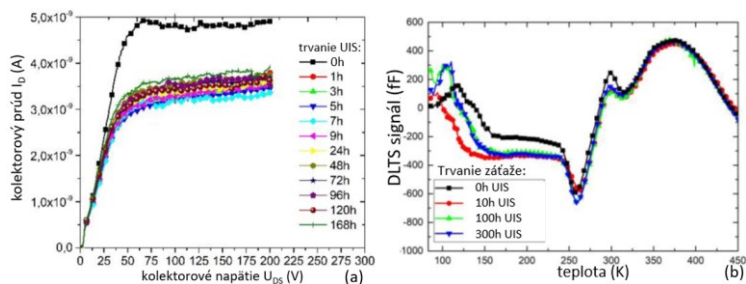
Obr. 7: Zmena priebehov vplyvom zahrievania. b) Zmena výstupnej charakteristiky vplyvom opakovaných UIS pulzov.

Vzhľadom na výskyt vysokých napäťových špičiek, ktoré spôsobovali zlyhanie vzoriek, sme v nasledovných testoch pridali paralelne k testovanému tranzistoru ochrannú diódu v závernej polarizácii. Táto dióda pri UIS pulzoch pracuje v režime lavínového prierazu, čím limituje maximálne napätie na DUT a zároveň tým spotrebuje väčšinu energie cievky. Napriek použitiu ochranej diódy sme pozorovali značné posuny meraných charakteristík pri staršej generácii tranzistora (obr. 8).



Obr. 8: Zmena kapacity CDS (a) a kolektorového zvodového prúdu (b) staršej generácie GaN HEMT vplyvom UIS s ochrannou diódou.

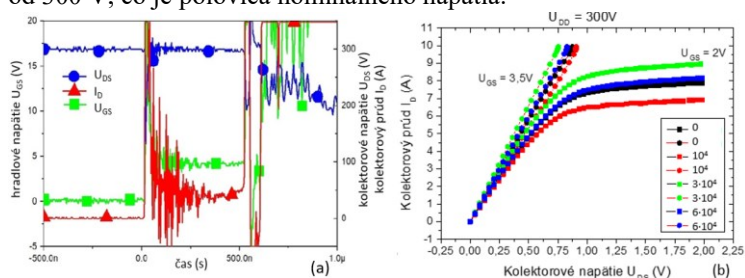
Pri novej generácii bol výraznejšie ovplyvnený len kolektorový zvodový prúd (obr. 9a), čo možno vysvetliť menším namáhaním štruktúry vďaka väčšiemu prúdu cez čiastočne otvorený kanál. Za príčiny degradácie považujeme najmä súčasné pôsobenie vysokého napätia a prúdu v štruktúre počas UIS spínania a s tým spojené generovanie vysoko energetických elektrónov. Tie zohrávajú významnú úlohu pri vytváraní nových porúch, aktivácii existujúcich a záchyte náboja. Výsledky DLTS analýzy podporujú predpoklad, že dochádza skôr k aktivácii už existujúcich porúch. Najviac ovplyvnenými parametrami sú kolektorový zvodový prúd a kolektorový saturačný prúd v oblasti blízko prahového napätia. Tieto parametre ukazujú na záchyt náboja najmä v oblasti medzi hradlovým a kolektorovým kontaktom, kde nastáva v saturačnom režime „priškrtenie“ vodivého kanála a pravdepodobne tiež v oblasti štruktúry *field plate*, kde je počas UIS pulzu oblasť vysokej intenzity elektrického poľa, a teda väčší predpoklad na generovanie vysoko energetických nosičov náboja.



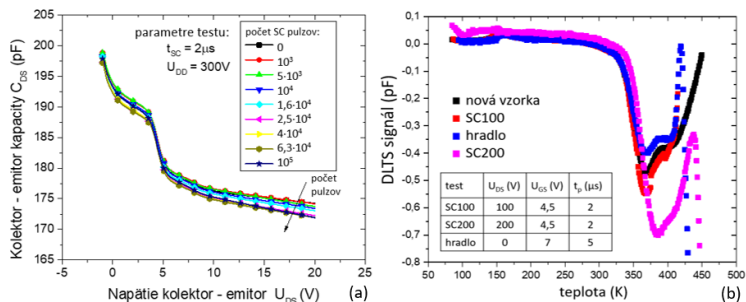
Obr. 9: Zmena kolektorového zvodového prúdu (a) a DLTS spektra vplyvom opakovaných UIS pulzov (1h zodpovedá približne 10^6 pulzov).

3.5 SC testy GaN HEMT

Pri spínaní v skratových podmienkach sa u testovaných tranzistorov GaN HEMT prejavili dva typy zlyhania. Prvý typ sa vyskytuje na konci SC pulzu pravdepodobne v dôsledku oscilácií kolektorového napätia spôsobených rýchlym vypnutím tranzistora. Pri pomalom vypínaní s väčšou hodnotou odporu hradlového rezistora sa tento typ neprejavil. Druhým typom je zlyhanie krátko ($< 2 \mu\text{s}$) po zopnutí tranzistora (obr. 10a), ktorému predchádzal mierny nárast hradlového napätia a kolektorového prúdu. Predpokladáme, že príčinou tohto typu zlyhania je poškodenie hradlovej štruktúry vysokým hradlovým prúdom, alebo strata schopnosti riadiť prúd vplyvom prudkého lokálneho ohrevu. Značné mechanické poškodenie tranzistora po zlyhaní znemožnilo ďalšiu analýzu. Vzorky typicky zlyhávali pri kolektorových napätiach od 300 V, čo je polovica nominálneho napätia.

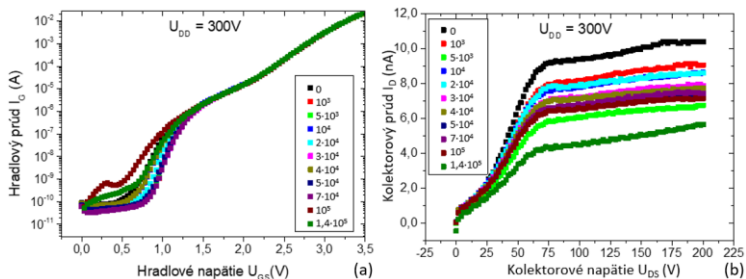


Obr. 10: a) Priebehy pri zlyhaní tranzistora. b) Posun výstupných charakteristík vplyvom opakovaných SC pulzov pri 300V.



Obr. 11: a) Zmena kapacity C_{DS} . b) Zmena DLTS spektra vplyvom namáhania hradla pri nulovom napätí a SC pulzov pri 100V a 200V.

Opakované spínanie do skratu ovplyvnilo viaceré charakteristiky tranzistora, pričom vyššie kolektorové napätie pri SC spínaní malo výraznejší vplyv. Avšak nedošlo k posunu prahového napätia a taktiež sa nezmenila kapacita medzi hradlom a emitorom, preto predpokladáme, že táto oblasť štruktúry nie je ovplyvnená vysoko energetickými elektrónmi počas SC pulzu. Zmeny vo výstupných a prevodových charakteristikách nie sú uniformné s počtom absolvovaných SC pulzov (obr. 10b), čo podporuje tvrdenie, že dochádza k viacerým mechanizmom degradácie, a síce záchyt náboja pod hradlovou elektródou na rozhraní AlGaN/GaN v blízkosti kolektora, v prístupovej oblasti kolektora a v oblasti *field plate*. Viaceré mechanizmy degradácie sú podporené aj DLTS analýzou, kde namáhanie hradla pri nulovom kolektorovom napätí malo na posun spektra opačný vplyv ako spínanie do skratu (obr. 11b).

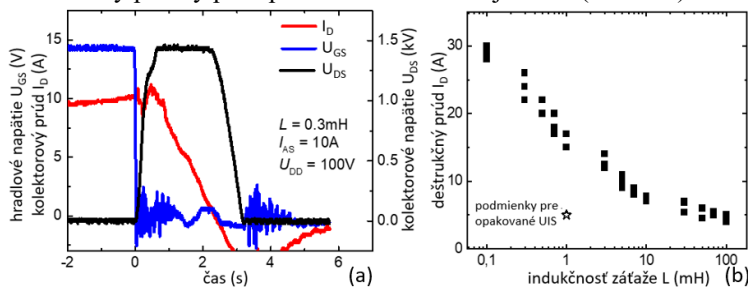


Obr. 12: Zmena hradlového (a) a kolektorového (b) zvodového prúdu.

Príčinou zmeny hradlového zvodového prúdu (obr. 12a) môže byť tepelno-mechanické namáhanie štruktúry hradla. Postupný pokles kolektorového zvodového prúdu (obr. 12b) môžeme vysvetliť postupným nabíjaním pascí v epitaxnej vrstve tranzistora alebo vznikom/aktivovaním pascí v kanálovej AlGaN vrstve a na jej rozhraniach. Zmenu náboja v epitaxnej vrstve podporuje aj nameraná zmena kapacity medzi kolektorom a emitorom (obr. 11a).

3.6 UIS testy SiC MOSFET

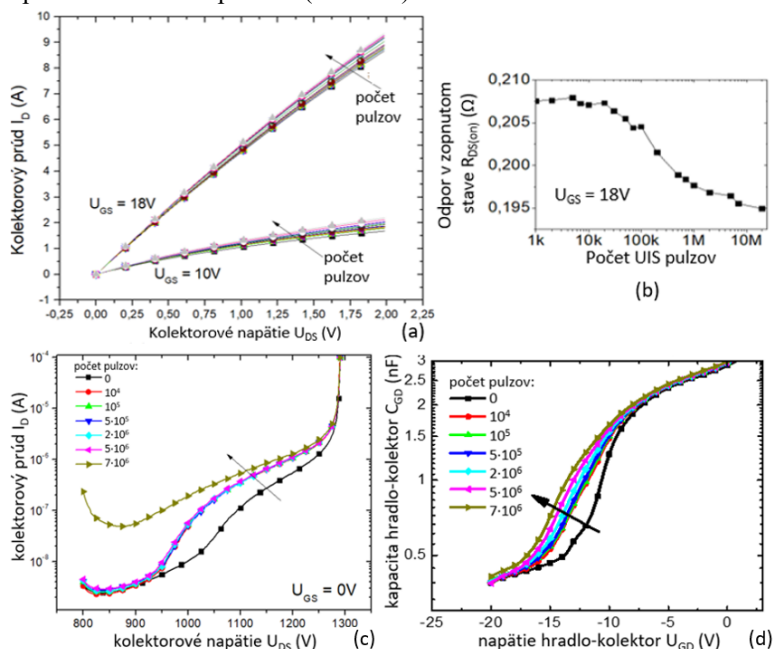
Tranzistor typu SiC *trench* MOSFET vykazoval dobrú odolnosť pri jednorazovom UIS spínaní, prierazné napätie dosahovalo hodnotu približne 1,5 kV (obr. 13a). Tranzistor pracoval aj v podmienkach nad rámec špecifikácie spínaním kolektorového prúdu až do 30 A, pričom maximálny pulzný prúd podľa dokumentácie je 21 A (obr. 13b).



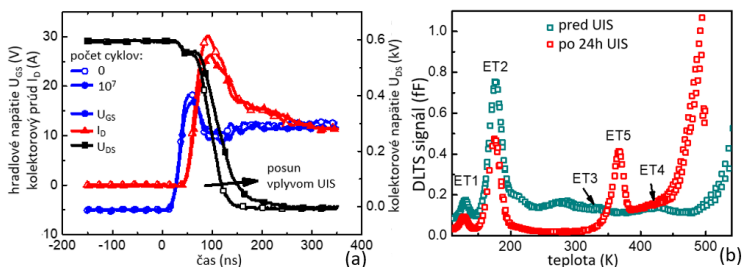
Obr. 13 a) Typické priebehy pri UIS teste SiC MOSFET. b) Závislosť deštruktívneho prúdu od spínanej indukčnosti.

Opakované UIS spínanie malo vplyv na viaceré merané charakteristiky. Pozorovali sme postupný pokles prahového napätia a s tým súvisiaci pokles odporu v zopnutom stave (obr. 14a,b), miernu zmenu hradlového zvodového prúdu, výrazný nárast kolektorového zvodového prúdu (obr. 14c) a tiež značnú zmenu kapacity medzi hradlom a kolektorom (obr. 14d). Kapacita medzi hradlom a emitorom nebola merateľne ovplyvnená, čo značí, že v oblasti emitora nedochádza k zmenám rozloženia náboja. Priebeh kapacity medzi kolektorom a emitorom sa posunul len mierne, preto predpokladáme, že nedochádza ani k výraznejšej degradácii v oblastiach p-n prechodu intrinzičkej diódy tranzistora, čo je potvrdené aj tým, že sa v priebehu testov nezmenilo

priernozné napätie. Naopak o zmenách v štruktúre hradla svedčia pozorované zmeny prahového napätia, hradlového zvodového prúdu, kapacity medzi hradlom a kolektorom a predĺženie dobežnej hrany kolektorového napätia pri zapínaní tranzistora (obr. 15a). Zmeny pripisujeme generovaniu vysoko energetických nosičov náboja počas samotného lavínového prierazu, ale aj počas procesu vypínania tranzistora. Vzhľadom na prepracovanú štruktúru testovaného tranzistora je náročné presnejšie určiť mechanizmy degradácie bez overenia našich predpokladov simuláciami. DLTS analýza odhalila výskyt porúch, ktoré sú schopné viacerých energetických stavov, čo sa prejavilo potlačením dvoch nábojových pascí pozorovaných pred testom a vznikom novej pasce ako dôsledku 24 hodín trvajúceho opakovaného UIS spínania (obr. 15b).



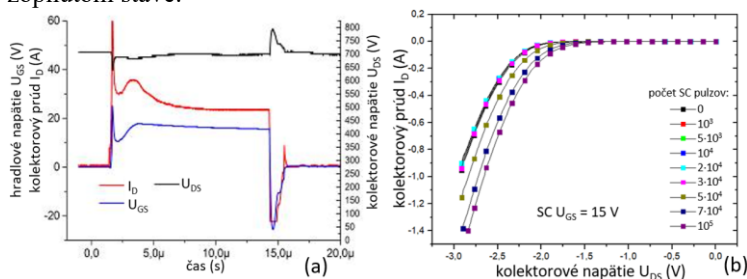
Obr. 14: a) Posun výstupnej charakteristiky. b) Zmena odporu v zopnutom stave pri hradlovom napätí 18V. c) Zmena kolektorového zvodového prúdu. d) Zmena kapacity medzi hradlom a kolektorom.



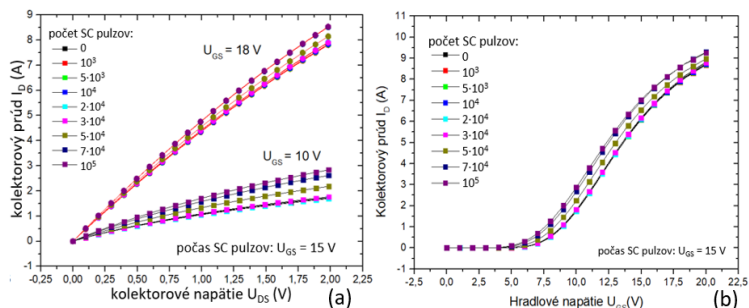
Obr. 15: a) Posun priebehu kolektorového napätia pri spínaní tranzistora. b) Zmena DLTS spektra so vznikom novej pasce ET5.

3.7 SC testy SiC MOSFET

Pri spínaní do skratových podmienok testované tranzistory typu SiC trench MOSFET vykazovali dobrú odolnosť, teda dostatočne dlhý čas zotrvania v skrate bez zlyhania pri štandardnom hradlovom napätí. Avšak tieto testy sme vykonali len do približne 50% nominálneho kolektorového napätia (obr. 16a). Opakované SC spínanie sme uskutočnili pri dvoch rôznych hradlových napätíach. Vyššie hradlové napätie pri SC testoch malo za následok výraznejšie zmeny charakteristík, čo prisudzujeme väčšiemu množstvu dodanej energie následkom väčšieho saturačného prúdu. Zaznamenali sme postupný pokles prahového napätia intrinzickej diódy tranzistora (obr. 16b), posuny kriviek v lineárnej aj saturačnej oblasti výstupnej charakteristiky (obr. 17a) a prevodovej charakteristiky (obr. 17b), z ktorých sme identifikovali pokles prahového napätia a odporu v zopnutom stave.

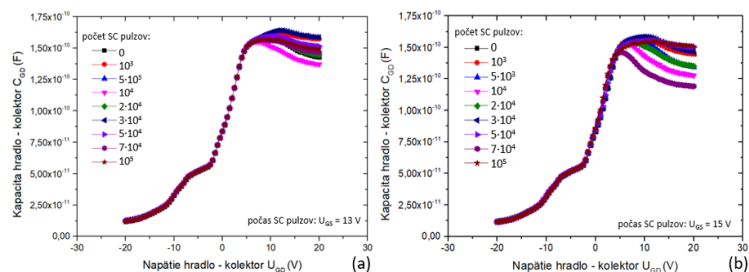


Obr. 16: a) Typický priebeh SC testu. b) Posun charakteristiky diódy.



Obr 17: Posun výstupnej (a) a prevodovej (b) charakteristiky.

Zmeny zvodových prúdov neboli úmerné počtu SC pulzov, pričom kolektorový zvodový prúd sa menil iným spôsobom pre rôzne hradlové napätia nastavené počas SC spinania. Takéto zmeny poukazujú na viaceré mechanizmy záchytu náboja, prípadne vzniku nových elektricky aktívnych porúch s rozdielnymi vplyvmi na merané charakteristiky. Presnejšiu lokalizáciu porúch umožnili merania kapacít. Najviac ovplyvnené boli hradlové kapacity C_{GD} (obr. 18) a C_{GDS} , čo poukazuje na zmenu náboja najmä v oblasti hradlového oxidu. Predpoklad potvrdzuje aj značná zmena prahového napätia a naopak minimálna zmena kapacity medzi kolektorom a emitorom.



Obr. 18: Zmena kapacity medzi hradlom a kolektorom vplyvom opakovaných SC pulzov vykonaných pri rôznych hradlových napätiach: 13V (a) a 15V (b).

Máme za to, že za zmeny v hradlovom oxide sú zodpovedné vysoko energetické nosiče náboja vygenerované silným elektrickým poľom počas SC pulzu na kolektorovej strane kanála, ktoré sa môžu zachytávať na rozhraní hradlového oxidu alebo byť do neho injektované. Rovnako môžu byť v týchto oblastiach vplyvom skratových podmienok generované nové pasce, čo ďalej prispieva k záchytnému náboju.

4 Záver

S nástupom nových materiálov, nitridu gália (GaN) a karbidu kremíka (SiC) na poli výkonových spínacích prvkov je potrebné myslieť nie len na ich teoretické výhody oproti kremíku, ale aj praktické overenie spoľahlivosti a odolnosti výkonových prvkov na báze polovodičov. Cieľom práce bolo overenie odolnosti výkonových GaN a SiC tranzistorov v špecifických podmienkach spínania nepremostenej indukčnej záťaže (UIS test) a spínania do skratových podmienok (SC test), k čomu bolo v prvom rade potrebné nadobudnúť potrebné znalosti. V prvej kapitole sa práca venuje stručnej histórii a rozdeleniu výkonových polovodičových prvkov, analyzuje a porovnáva tri najčastejšie používané materiály (Si, SiC, GaN) a vysvetľuje základné princípy fungovania unipolárnych tranzistorov typu MOSFET a HEMT a popisuje ich najdôležitejšie merateľné parametre. Ďalej špecifikuje zapojenie, metodiku a význam UIS testu a SC testu. Na základe odbornej literatúry a technickej dokumentácie je analyzovaná súčasná úroveň technickej vyspelosti GaN a SiC tranzistorov, ako aj súčasné poznanie v oblasti testovania týchto tranzistorov v podmienkach UIS a SC. V druhej kapitole popisuje vlastnosti testovaných vzoriek, použité prístroje, parametre testov a metodiku analýzy vlastností testovaných prvkov.

V najdôležitejšej tretej kapitole sú prezentované výsledky práce. Popísaný je vývoj testovacích zariadení na UIS a SC test s ohľadom na špecifické požiadavky testovania GaN a SiC tranzistorov. Následne sú prezentované a interpretované výsledky jednorazových aj opakovaných testov. Pri jednorazových (deštruktívnych) testoch sú uvedené podmienky zlyhávania testovaných prvkov, zobrazené časové priebehy napätí a prúdov a analyzované možné príčiny zlyhania. Pri opakovaných testoch je analyzovaná postupná degradácia prvkov

dokumentovaná priebežným meraním viacerých charakteristík a vlastností testovaných prvkov (výstupné a prevodové charakteristiky, zvodové prúdy, napäťové závislosti kapacít tranzistora, prahové napätie, odpor v zopnutom stave, priebehy spínania, DLTS analýza). Interpretáciou meraní sú popísané najpravdepodobnejšie mechanizmy degradácie vlastností prvkov vplyvom opakovaných testov. Pri nedeštruktívnych testoch boli identifikované procesy súvisiace s generovaním vysoko energetických nosičov náboja a následnou zmenou rozloženia elektrického náboja v štruktúre, ale aj možné vplyvy tepelno-mechanického namáhania štruktúry tranzistora.

Výsledky prezentované v práci našli uplatnenie ako overenie vlastností vyvinutých tranzistorov v rámci viacerých výskumných projektov, a tiež slúžia ako základ pre vývoj ďalších generácií výkonových prvkov s väčšou odolnosťou voči náročným spínacím podmienkam. Vzhľadom na to, že prezentované výsledky analyzujú vlastnosti testovaných prvkov ďaleko nad rámec ich technickej dokumentácie, sú poznatky využiteľné aj na návrh špecifických výkonových obvodov a na odhad životnosti GaN a SiC tranzistorov v takýchto obvodoch.

5 Hlavné prínosy dizertačnej práce

Hlavné prínosy práce môžeme zhrnúť do nasledovných bodov:

- získanie nových poznatkov o elektrofyzikálnych vlastnostiach výkonových polovodičových štruktúr tranzistorov na báze GaN a SiC
- vybudovanie automatizovaného experimentálneho pracoviska na meranie a určovanie energetickej odolnosti výkonových MOS a HEMT tranzistorov,
- vybudovanie univerzálneho experimentálneho pracoviska na meranie a určovanie odolnosti výkonových MOS a HEMT tranzistorov v podmienkach skratu typu I až III
- návrh a realizácia unikátneho pracoviska na meranie dynamického odporu GaN HEMT prvkov priamo na polovodičovej doske
- analýza vplyvu multipulzného UIS na stabilitu elektrických parametrov a degradáciu SiC MOSFET a GaN HEMT
- analýza vplyvu multipulzného SC na stabilitu elektrických parametrov a degradáciu SiC MOSFET a GaN HEMT
- DLTS analýza vzniknutých materiálových porúch v dôsledku opakovaných námahových UIS a SC testov.

Uchádzač sa aktívne venuje dlhodobému budovaniu a rozvoju laboratória na testovanie výkonových elektronických prvkov. Významnou mierou sa podieľal na návrhu a realizácii testovacích zariadení pre testovanie energetickej odolnosti výkonových tranzistorov, kde osobne realizoval hardvérový, ako aj softvérový

návrh. V prípade zariadení pre meranie skratu a dynamického odporu uchádzač poskytol prvotný návrh zariadení a potrebné

Na základe uvedených výsledkov a ich komentárov, ako aj na základe publikovaných prác aspiranta sa dá konštatovať, že výsledky prinášajú nové poznatky v oblasti skúmania odolnosti a spoľahlivosti výkonových tranzistorov. Získané poznatky napomáhajú pri vytváraní presnejších modelov s možnosťou predikcie zlyhania prvku v aplikácií v prípade nutnosti fungovania blízko, alebo za hranicou bezpečných operačných podmienok. Zároveň výsledky analýz majú jasný potenciál prispieť k zlepšeniu vlastností jestvujúcich prvkov, a k identifikácií kritických oblastí prispieť k ich optimalizácií a zlepšeniu spoľahlivosti. Výsledky výskumu boli nie len publikované v recenzovaných časopisoch a konferenčných zborníkov, ale majú aj vysoký potenciál pri návrhu progresívnych výkonových prvkov, ako aj výkonových systémov pre najrôznejšie aplikácie, ktoré sú predmetom riešenia súčasných aplikačne orientovaných výskumných projektov, na ktorých realizácii sa aspirant plánuje podieľať aj po ukončení PhD štúdia, čím sa taktiež zabezpečuje transfer nadobudnutých výsledkov do praxe.

6 Summary

This thesis deals with ruggedness testing and degradation analysis of SiC and GaN power transistors under unclamped inductive load switching (UIS test) and switching under short-circuit conditions (SC test). Properties of unipolar transistors, specific features of GaN and SiC compared to silicon devices and methodology of performing the above-mentioned tests are described. In the practical part, the design and implementation of UIS and SC testing equipment is described, with regard to the specific properties of GaN and SiC power devices. The tested samples are subjected to both one-shot (destructive) and repetitive (non-destructive) UIS and SC conditions, failure and degradation conditions of the samples are analysed. Gradual changes in multiple measured parameters of the samples are interpreted in the form of the most probable degradation mechanisms, which include generation of hot carriers and charge trapping in various parts of the transistor structure.

The main contribution of the dissertation can be summarized as follows:

- gaining new knowledge about electrophysical properties of power semiconductor transistor structures based on GaN and SiC
- building an automated experimental test bench for measuring and determining the energy resistance of MOS and HEMT power transistors
- building a universal experimental test bench for measuring and determining the resistance of power MOS and HEMT transistors in type I to III short-circuit conditions

- design and implementation of a unique test bench for measuring the dynamic resistance of GaN HEMT devices directly on a semiconductor wafer
- analysis of the influence of multipulse UIS on the stability of electrical parameters and degradation of SiC MOSFET and GaN HEMT
- analysis of the influence of multipulse SC on the stability of electrical parameters and degradation of SiC MOSFET and GaN HEMT
- DLTS analysis of material defects due to repeated stress UIS and SC tests.

7 Zoznam použitej literatúry

- [1] JEDEC, “JESD24- 5: Single Pulse Unclamped Inductive Switching (UIS) Avalanche Test Method.” 1990.
- [2] JEDEC, “JESD24-9: Short Circuit Withstand Time Test Method.” 1992.
- [3] W. Saito and T. Naka, “UIS test of high-voltage GaN-HEMTs with p-type gate structure,” *Microelectron. Reliab.*, vol. 64, pp. 552–555, Sep. 2016, doi: 10.1016/J.MICROREL.2016.07.066.
- [4] T. Naka and W. Saito, “UIS withstanding capability and mechanism of high voltage GaN-HEMTs,” in *2016 28th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2016, pp. 259–262, doi: 10.1109/ISPSD.2016.7520827.
- [5] T. Naka and W. Saito, “Relation between UIS withstanding capability and gate leakage currents for high voltage GaN-HEMTs,” in *2017 29th International Symposium on Power Semiconductor Devices and IC's (ISPSD)*, May 2017, pp. 199–202, doi: 10.23919/ISPSD.2017.7988922.
- [6] B. Shankar *et al.*, “Trap assisted avalanche instability and safe operating area concerns in AlGaIn/GaN HEMTs,” in *2017 IEEE International Reliability Physics Symposium (IRPS)*, 2017, p. WB-5.1-WB-5.5, doi: 10.1109/IRPS.2017.7936414.
- [7] B. Shankar, A. Soni, H. Chandrasekar, S. Raghavan, and M. Shrivastava, “First Observations on the Trap-Induced Avalanche Instability and Safe Operating Area Concerns in AlGaIn/GaN HEMTs,” *IEEE Trans. Electron Devices*, vol. 66, no. 8, pp. 3433–3440, 2019, doi: 10.1109/TED.2019.2919491.
- [8] P. J. Martínez, S. Letz, E. Maset, and D. Zhao, “Failure analysis of normally-off GaN HEMTs under avalanche conditions,” *Semicond. Sci. Technol.*, vol. 35, no. 3, p. 035007, Feb. 2020, doi: 10.1088/1361-6641/AB6BAD.
- [9] R. Zhang, J. P. Kozak, M. Xiao, J. Liu, and Y. Zhang, “Surge-Energy and Overvoltage Ruggedness of P-Gate GaN HEMTs,” *IEEE Trans. Power Electron.*, vol. 35, no. 12, pp. 13409–13419, 2020, doi: 10.1109/TPEL.2020.2993982.
- [10] S. Li *et al.*, “Investigations on Electrical Parameters Degradations of p-GaN HEMTs Under Repetitive UIS Stresses,” *IEEE J. Emerg. Sel. Top. Power Electron.*, vol. 9, no. 2, pp. 2227–2234, 2021, doi: 10.1109/JESTPE.2020.2970786.

- [11] R. Zhang, J. P. Kozak, Q. Song, M. Xiao, J. Liu, and Y. Zhang, "Dynamic Breakdown Voltage of GaN Power HEMTs," in *2020 IEEE International Electron Devices Meeting (IEDM)*, 2020, pp. 23.3.1-23.3.4, doi: 10.1109/IEDM13553.2020.9371904.
- [12] X. Huang *et al.*, "Experimental study of 650V AlGaIn/GaN HEMT short-circuit safe operating area (SCSOA)," in *2014 IEEE 26th International Symposium on Power Semiconductor Devices & IC's (ISPSD)*, Jun. 2014, pp. 273–276, doi: 10.1109/ISPSD.2014.6856029.
- [13] T. Oeder, A. Castellazzi, and M. Pfost, "Experimental study of the short-circuit performance for a 600V normally-off p-gate GaN HEMT," in *2017 29th International Symposium on Power Semiconductor Devices and IC's (ISPSD)*, 2017, pp. 211–214, doi: 10.23919/ISPSD.2017.7988925.
- [14] P. J. Martinez *et al.*, "Unstable behaviour of normally-off GaN E-HEMT under short-circuit," *Semicond. Sci. Technol.*, vol. 33, no. 4, p. 045006, Mar. 2018, doi: 10.1088/1361-6641/AAB078.
- [15] J. Sun, J. Wei, Z. Zheng, and K. J. Chen, "Short Circuit Capability Characterization and Analysis of p-GaN Gate High-Electron-Mobility Transistors Under Single and Repetitive Tests," *IEEE Trans. Ind. Electron.*, vol. 68, no. 9, pp. 8798–8807, 2021, doi: 10.1109/TIE.2020.3009603.
- [16] X. B. Xu *et al.*, "Analysis of trap and recovery characteristics based on low-frequency noise for E-mode GaN HEMTs with p-GaN gate under repetitive short-circuit stress," *J. Phys. D. Appl. Phys.*, vol. 53, no. 17, p. 175101, Feb. 2020, doi: 10.1088/1361-6463/AB713A.
- [17] S. Li *et al.*, "Understanding Electrical Parameter Degradations of P-GaN HEMT Under Repetitive Short-Circuit Stresses," *IEEE Trans. Power Electron.*, vol. 36, no. 11, pp. 12173–12176, 2021, doi: 10.1109/TPEL.2021.3077128.
- [18] A. Castellazzi, A. Fayyaz, and L. Yang, "Characterization of High-Voltage SiC MOSFETs under UIS Avalanche Stress," in *7th IET International Conference on Power Electronics, Machines and Drives (PEMD 2014)*, 2014, pp. 1.5.02-1.5.02, doi: 10.1049/cp.2014.0374.
- [19] P. Alexakis, O. Alatise, J. Hu, S. Jahdi, L. Ran, and P. A. Mawby, "Improved Electrothermal Ruggedness in SiC MOSFETs Compared With Silicon IGBTs," *IEEE Trans. Electron Devices*, vol. 61, no. 7, pp. 2278–2286, 2014, doi: 10.1109/TED.2014.2323152.

- [20] A. Fayyaz *et al.*, “UIS failure mechanism of SiC power MOSFETs,” in *2016 IEEE 4th Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, Nov. 2016, pp. 118–122, doi: 10.1109/WiPDA.2016.7799921.
- [21] J. An and S. Hu, “Experimental and Theoretical Demonstration of Temperature Limitation for 4H-SiC MOSFET During Unclamped Inductive Switching,” *IEEE J. Emerg. Sel. Top. Power Electron.*, vol. 8, no. 1, pp. 206–214, 2020, doi: 10.1109/JESTPE.2019.2944167.
- [22] X. Li *et al.*, “Failure Mechanism of Avalanche Condition for 1200-V Double Trench SiC MOSFET,” *IEEE J. Emerg. Sel. Top. Power Electron.*, vol. 9, no. 2, pp. 2147–2154, 2021, doi: 10.1109/JESTPE.2020.2965002.
- [23] X. Deng *et al.*, “Investigation and Failure Mode of Asymmetric and Double Trench SiC MOSFETs Under Avalanche Conditions,” *IEEE Trans. Power Electron.*, vol. 35, no. 8, pp. 8524–8531, 2020, doi: 10.1109/TPEL.2020.2967497.
- [24] S. Liu, C. Gu, J. Wei, Q. Qian, W. Sun, and A. Q. Huang, “Repetitive Unclamped-Inductive-Switching-Induced Electrical Parameters Degradations and Simulation Optimizations for 4H-SiC MOSFETs,” *IEEE Trans. Electron Devices*, vol. 63, no. 11, pp. 4331–4338, 2016, doi: 10.1109/TED.2016.2604253.
- [25] X. Zhou *et al.*, “A Deep Insight Into the Degradation of 1.2-kV 4H-SiC mosfets Under Repetitive Unclamped Inductive Switching Stresses,” *IEEE Trans. Power Electron.*, vol. 33, no. 6, pp. 5251–5261, 2018, doi: 10.1109/TPEL.2017.2730259.
- [26] J. Wei *et al.*, “Investigations on the Degradations of Double-Trench SiC Power MOSFETs Under Repetitive Avalanche Stress,” *IEEE Trans. Electron Devices*, vol. 66, no. 1, pp. 546–552, 2019, doi: 10.1109/TED.2018.2875080.
- [27] J. Wei, S. Liu, S. Li, J. Fang, T. Li, and W. Sun, “Comprehensive Investigations on Degradations of Dynamic Characteristics for SiC Power MOSFETs under Repetitive Avalanche Shocks,” *IEEE Trans. Power Electron.*, pp. 1–1, 2018, doi: 10.1109/TPEL.2018.2843559.
- [28] A. Castellazzi, A. Fayyaz, L. Yang, M. Riccio, and A. Irace, “Short-circuit robustness of SiC Power MOSFETs: Experimental analysis,” in *2014 IEEE 26th International Symposium on Power Semiconductor Devices & IC’s (ISPSD)*, Jun. 2014, pp. 71–74, doi:

10.1109/ISPSD.2014.6855978.

- [29] G. Romano *et al.*, “Short-circuit failure mechanism of SiC power MOSFETs,” in *2015 IEEE 27th International Symposium on Power Semiconductor Devices & IC’s (ISPSD)*, May 2015, pp. 345–348, doi: 10.1109/ISPSD.2015.7123460.
- [30] T.-T. Nguyen, A. Ahmed, T. V. Thang, and J.-H. Park, “Gate Oxide Reliability Issues of SiC MOSFETs Under Short-Circuit Operation,” *IEEE Trans. Power Electron.*, vol. 30, no. 5, pp. 2445–2455, May 2015, doi: 10.1109/TPEL.2014.2353417.
- [31] C. Ionita, M. Nawaz, and K. Ilves, “On the short-circuit and avalanche ruggedness reliability assessment of SiC MOSFET modules,” *Microelectron. Reliab.*, vol. 71, pp. 6–16, 2017, doi: <https://doi.org/10.1016/j.microrel.2017.02.004>.
- [32] K. Yao, H. Yano, H. Tadano, and N. Iwamuro, “Investigations of SiC MOSFET Short-Circuit Failure Mechanisms Using Electrical, Thermal, and Mechanical Stress Analyses,” *IEEE Trans. Electron Devices*, vol. 67, no. 10, pp. 4328–4334, 2020, doi: 10.1109/TED.2020.3013192.
- [33] D. Othman, S. Lefebvre, M. Berkani, Z. Khatir, A. Ibrahim, and A. Bouzourene, “Robustness of 1.2kV SiC MOSFET devices,” *Microelectron. Reliab.*, vol. 53, no. 9, pp. 1735–1738, 2013, doi: <https://doi.org/10.1016/j.microrel.2013.07.072>.
- [34] X. Zhou, H. Su, Y. Wang, R. Yue, G. Dai, and J. Li, “Investigations on the Degradation of 1.2-kV 4H-SiC MOSFETs Under Repetitive Short-Circuit Tests,” *IEEE Trans. Electron Devices*, vol. 63, no. 11, pp. 4346–4351, 2016, doi: 10.1109/TED.2016.2606882.
- [35] J. Wei, S. Liu, J. Fang, S. Li, T. Li, and W. Sun, “Investigation on degradation mechanism and optimization for SiC power MOSFETs under long-term short-circuit stress,” in *2018 IEEE 30th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, May 2018, pp. 399–402, doi: 10.1109/ISPSD.2018.8393687.
- [36] A. Kanale and B. J. Baliga, “Eliminating Repetitive Short Circuit Degradation and Failure of 1.2 kV SiC Power MOSFETs,” *IEEE J. Emerg. Sel. Top. Power Electron.*, p. 1, 2020, doi: 10.1109/JESTPE.2020.3045117.

8 Zoznam publikácií autora

V2 Vedecký výstup publikačnej činnosti ako časť editovanej knihy alebo zborníka

V2_01 ČERNAJ, Ľuboš [50 %] - CHVÁLA, Aleš [30 %] - MAREK, Juraj [5 %] - DONOVAL, Daniel [5 %] - ZÁVODNÍK, Tomáš [1 %] - **KOZÁRIK, Jozef [1 %]** - JAGELKA, Martin [4 %] - DONOVAL, Martin [4 %]. 3D electrothermal device/circuit simulation of multifinger power HEMTs. In ELITECH'18 [elektronický zdroj] : 20th Conference of doctoral students. Bratislava, Slovakia. May 23, 2018. 1. ed. Bratislava : Vydavateľstvo Spektrum STU, 2018, CD-ROM, [4] p. ISBN 978-80-227-4794-3.

Kategória publikácie do 2021: AFD

V2_02 ČERNAJ, Ľuboš [50 %] - CHVÁLA, Aleš [30 %] - MAREK, Juraj [5 %] - DONOVAL, Daniel [5 %] - ZÁVODNÍK, Tomáš [1 %] - **KOZÁRIK, Jozef [1 %]** - JAGELKA, Martin [4 %] - DONOVAL, Martin [4 %]. SPICE-like 3D electrothermal simulation of multifinger power HEMTs. In ADEPT 2018 : 6th International conference on advances in electronic and photonic technologies. Tatranská Lomnica, Slovakia. June 18-21, 2018. 1. vyd. Bratislava : Vydavateľstvo Spektrum STU, 2018, S. 73-76. ISBN 978-80-554-1450-8.

Kategória publikácie do 2021: AFD

V2_03 ČERNAJ, Ľuboš [50 %] - CHVÁLA, Aleš [30 %] - MAREK, Juraj [5 %] - DONOVAL, Daniel [5 %] - ZÁVODNÍK, Tomáš [1 %] - **KOZÁRIK, Jozef [1 %]** - JAGELKA, Martin [4 %] - DONOVAL, Martin [4 %]. Direct SPICE-like 3-D electrothermal simulation of power HEMTs. In ASDAM 2018 : 12th International conference on advanced semiconductor devices and microsystems. Smolenice, Slovakia. October 21-24, 2018. 1. ed. Danvers : IEEE, 2018, S. 175-178. ISBN 978-1-5386-7488-8. V databáze: IEEE: 8544582 ; WOS: 000468753600039 ; SCOPUS: 2-s2.0-85059987151.

Kategória publikácie do 2021: AFD

V2_04 ČERNAJ, Ľuboš [50 %] - CHVÁLA, Aleš [30 %] - MAREK, Juraj [5 %] - DONOVAL, Daniel [5 %] - **KOZÁRIK, Jozef [4 %]** - ZÁVODNÍK, Tomáš [3 %] - DONOVAL, Martin [3 %]. Electro-thermal spice circuit model of HEMT device. In ADEPT 2019 : 7th International conference on advances in electronic and photonic technologies. Štrbské Pleso, Slovakia. June 24-27, 2019. 1. vyd. Žilina : Vydavateľstvo EDIS, 2019, S. 99-102. ISBN 978-80-554-1568-0.

Kategória publikácie do 2021: AFD

V2_05 ČERNAJ, Ľuboš [50 %] - **KOZÁRIK, Jozef [50 %]**. Research of indirect measurements of bending force on high voltage insulators by accelerometer. In Technology Transfer: fundamental principles and innovative technical solutions : 3rd Annual Conference. Tallinn, Estonia. November 23, 2019. Tallinn : Scientific Route, 2019, S. 42-44. ISSN 2585-6839. V databáze: DOI: 10.21303/2585-6847.2019.001037.

Kategória publikácie do 2021: AFC

V2_06 ČERNAJ, Ľuboš [50 %] - CHVÁLA, Aleš [30 %] - MAREK, Juraj [5 %] - DONOVAL, Daniel [5 %] - **KOZÁRIK, Jozef [5 %]** - ZÁVODNÍK, Tomáš [5 %]. Modeling of HEMT device using neural network. In ADEPT 2020 : 8th International conference on advances in electronic and photonic technologies. Nový Smokovec, Slovakia. September 14-17, 2020. 1. vyd. Žilina : Vydavateľstvo EDIS, 2020, S. 163-166. ISBN 978-80-554-1735-6.

Kategória publikácie do 2021: AFD

V2_07 ČERNAJ, Ľuboš [15 %] - VAVRINSKÝ, Erik [15 %] - ZÁVODNÍK, Tomáš [15 %] - **KOZÁRIK, Jozef [15 %]** - GAŠPAREK, Krisztián [15 %] - DEBNÁR, Tomáš [15 %] - MIČJAN, Michal [5 %] - DONOVAL, Martin [5 %]. Wireless temperature sensor for use in healthcare. In ADEPT 2022 : 10th

International conference on advances in electronic and photonic technologies. Tatranská Lomnica, Slovakia. June 20-24, 2022. 1. vyd. Žilina : Vydavateľstvo EDIS, 2022, S. 218-221. ISBN 978-80-554-1884-1.

Typ výstupu: príspevok z podujatia; Výstup: domáci; Kategória publikácie do 2021: AFD

V2_08 ČERNAJ, Ľuboš [20 %] - ZÁVODNÍK, Tomáš [20 %] - **KOZÁRIK, Jozef [5 %]** - DEBNÁR, Tomáš [5 %] - MIČJAN, Michal [5 %] - DONOVAL, Martin [5 %] - REŽO, Vratislav [15 %] - VAVRINSKÝ, Erik [15 %] - KOPÁNI, Martin [5 %] - KOSNÁČOVÁ, Helena [5 %]. Advanced ECG holter with 2.4 GHz communication. In ASDAM 2022 : 14th International conference on advanced semiconductor devices and microsystems. Smolenice, Slovakia. October 23-26, 2022. 1. ed. Danvers : IEEE, 2022, S. 143-146. ISBN 978-1-6654-6977-7. V databáze: DOI: 10.1109/ASDAM55965.2022.9966750 ; IEEE: 9966750 ; SCOPUS: 2-s2.0-85144591894.

Typ výstupu: príspevok z podujatia; Výstup: domáci; Kategória publikácie do 2021: AFD

V2_09 DEBNÁR, Tomáš [20 %] - ZÁVODNÍK, Tomáš [10 %] - FUNTÍK, Tomáš [10 %] - ČERNAJ, Ľuboš [10 %] - **KOZÁRIK, Jozef [10 %]** - ERDÉLYI, Ján [10 %] - MAYER, Pavol [10 %] - MIČJAN, Michal [10 %] - NEVŘELA, Juraj [10 %]. Analysis of the movement of employees on the construction site using IoT sensors. In ADEPT 2022 : 10th International conference on advances in electronic and photonic technologies. Tatranská Lomnica, Slovakia. June 20-24, 2022. 1. vyd. Žilina : Vydavateľstvo EDIS, 2022, S. 214-217. ISBN 978-80-554-1884-1.

Typ výstupu: príspevok z podujatia; Výstup: domáci; Kategória publikácie do 2021: AFD

V2_10 DROBNÝ, Jakub [30 %] - MATUŠ, Matej [20 %] - MAREK, Juraj [10 %] - CHVÁLA, Aleš [10 %] - **KOZÁRIK, Jozef [10 %]**

%] - STUHLÍKOVÁ, Ľubica [20 %]. Investigation of emission and capture processes in Si IGBT. In ADEPT 2021 : 9th International conference on advances in electronic and photonic technologies. Podbanské, Slovakia. September 20-23.2021. 1. vyd. Žilina : Vydavateľstvo EDIS, 2021, S. 87-90. ISBN 978-80-554-1806-3.

Výstup: domáci; Kategória publikácie do 2021: AFD

V2_11 GAŠPAREK, Krisztián [50 %] - DEBNÁR, Tomáš [25 %] - **KOZÁRIK, Jozef [10 %]** - ZÁVODNÍK, Tomáš [10 %] - DONOVAL, Martin [5 %]. Testing and comparison of electrochemical nitrogen dioxide gas sensors for autonomous environmental monitoring systems based on internet of things. In ADEPT 2020 : 8th International conference on advances in electronic and photonic technologies. Nový Smokovec, Slovakia. September 14-17, 2020. 1. vyd. Žilina : Vydavateľstvo EDIS, 2020, S. 171-174. ISBN 978-80-554-1735-6.

Kategória publikácie do 2021: AFD

V2_12 CHVÁLA, Aleš [50 %] - MAREK, Juraj [10 %] - ČERNAJ, Ľuboš [10 %] - PRÍBYTNÝ, Patrik [5 %] - **KOZÁRIK, Jozef [5 %]** - ŠATKA, Alexander [10 %] - DONOVAL, Daniel [10 %]. Electrothermal simulation of power multifinger HEMT. In Advances in Microelectronics: Reviews : Vol. 2. Barcelova : IFSA Publishing, 2019, S. 289-306. ISBN 978-84-09-08160-8.

Kategória publikácie do 2021: AEC

V2_13 CHVÁLA, Aleš [55 %] - MAREK, Juraj [10 %] - ČERNAJ, Ľuboš [10 %] - PRÍBYTNÝ, Patrik [10 %] - **KOZÁRIK, Jozef [5 %]** - DONOVAL, Daniel [10 %]. Neural network for electrothermal circuit model of power D-MOSFET. In ADEPT 2019 : 7th International conference on advances in electronic and photonic technologies. Štrbské Pleso, Slovakia. June 24-27, 2019. 1. vyd. Žilina : Vydavateľstvo EDIS, 2019, S. 47-50. ISBN 978-80-554-1568-0.

Kategória publikácie do 2021: AFD

- V2_14 CHVÁLA, Aleš [45 %] - ČERNAJ, Ľuboš [10 %] - FLOROVIČ, Martin [10 %] - MAREK, Juraj [5 %] - PRÍBYTNÝ, Patrik [5 %] - **KOZÁRIK, Jozef [5 %]** - DONOVAL, Daniel [5 %] - KOVÁČ, Jaroslav [5 %] - KOVÁČ, Jaroslav jr. [10 %]. Neural network based electrothermal circuit model of power HEMT. In ADEPT 2020 : 8th International conference on advances in electronic and photonic technologies. Nový Smokovec, Slovakia. September 14-17, 2020. 1. vyd. Žilina : Vydavateľstvo EDIS, 2020, S. 45-48. ISBN 978-80-554-1735-6.
Kategória publikácie do 2021: AFD
- V2_15 CHVÁLA, Aleš [60 %] - ČERNAJ, Ľuboš [20 %] - MAREK, Juraj [5 %] - PRÍBYTNÝ, Patrik [5 %] - **KOZÁRIK, Jozef [5 %]** - DONOVAL, Daniel [5 %]. Neural network for electrothermal circuit model of SiC power MOSFET. In ASDAM 2020 : 13th International conference on advanced semiconductor devices and microsystems. Smolenice, Slovakia. October 11-14, 2020. 1. ed. Danvers : IEEE, 2020, S. 88-91. ISSN 2474-9737. ISBN 978-1-7281-9776-0. V databáze: SCOPUS: 2-s2.0-85104563291 ; WOS: 000669651600020 ; IEEE: 9393854 ; DOI: 10.1109/ASDAM50306.2020.9393854.
Kategória publikácie do 2021: AFD
- V2_16 CHVÁLA, Aleš [60 %] - MAREK, Juraj [10 %] - PRÍBYTNÝ, Patrik [10 %] - **KOZÁRIK, Jozef [10 %]** - DONOVAL, Daniel [10 %]. Calibration of electrothermal circuit model of power IGBT module. In ADEPT 2021 : 9th International conference on advances in electronic and photonic technologies. Podbanské, Slovakia. September 20-23.2021. 1. vyd. Žilina : Vydavateľstvo EDIS, 2021, S. 71-74. ISBN 978-80-554-1806-3.
Výstup: domáci; Kategória publikácie do 2021: AFD
- V2_17 CHVÁLA, Aleš [65 %] - MAREK, Juraj [10 %] - **KOZÁRIK, Jozef [10 %]** - MESSINA, Angelo Alberto [5 %] - VINCIGUERRA, Vincenzo [5 %] - DONOVAL, Daniel [5 %].

Electro-thermo-mechanical simulation analysis and optimization of SiC power MOSFET under UIS test condition. In ASDAM 2022 : 14th International conference on advanced semiconductor devices and microsystems. Smolenice, Slovakia. October 23-26, 2022. 1. ed. Danvers : IEEE, 2022, S. 101-104. ISBN 978-1-6654-6977-7. V databáze: DOI: 10.1109/ASDAM55965.2022.9966742 ; IEEE: 9966742 ; SCOPUS: 2-s2.0-8514459047.

Typ výstupu: príspevok z podujatia; Výstup: domáci; Kategória publikácie do 2021: AFD

V2_18 CHVÁLA, Aleš [60 %] - ČERNAJ, Ľuboš [10 %] - MAREK, Juraj [10 %] - **KOZÁRIK, Jozef [10 %]** - MESSINA, Angelo Alberto [3 %] - VINCIGUERRA, Vincenzo [2 %] - DONOVAL, Daniel [5 %]. Distributed neural network for electrothermal circuit model of SiC power MOSFET. In MicDAT 2022 : 4th International Conference on Microelectronic Devices and Technologies. Corfu, Greece. September 21-23, 2022. Barcelona : IFSA, 2022, S. 47-48. ISBN 978-84-09-43856-3.

Typ výstupu: príspevok z podujatia; Výstup: zahraničný; Kategória publikácie do 2021: AFC

V2_19 **KOZÁRIK, Jozef [50 %]** - MAREK, Juraj [25 %] - JAGELKA, Martin [10 %] - ČERNAJ, Ľuboš [5 %] - CHVÁLA, Aleš [5 %] - DONOVAL, Daniel [5 %]. Power p-GaN HEMT under single and multi-pulse UIS conditions. In ASDAM 2018 : 12th International conference on advanced semiconductor devices and microsystems. Smolenice, Slovakia. October 21-24, 2018. 1. ed. Danvers : IEEE, 2018, S. 155-158. ISBN 978-1-5386-7488-8. V databáze: IEEE: 8544555 ; WOS: 000468753600034 ; SCOPUS: 2-s2.0-85059974126.

Kategória publikácie do 2021: AFD

V2_20 **KOZÁRIK, Jozef [50 %]** - MAREK, Juraj [30 %] - ČERNAJ, Ľuboš [5 %] - CHVÁLA, Aleš [5 %] - ZÁVODNÍK, Tomáš [5 %] - DONOVAL, Daniel [5 %]. Power p-GaN HEMT under

short circuit conditions. In ADEPT 2019 : 7th International conference on advances in electronic and photonic technologies. Štrbské Pleso, Slovakia. June 24-27, 2019. 1. vyd. Žilina : Vydavateľstvo EDIS, 2019, S. 115--118. ISBN 978-80-554-1568-0.

Kategória publikácie do 2021: AFD

V2_21 **KOZÁRIK, Jozef [35 %]** - MAREK, Juraj [30 %] - DEBNÁR, Tomáš [10 %] - CHVÁLA, Aleš [10 %] - GAŠPAREK, Krisztián [10 %] - DONOVAL, Daniel [5 %]. Design of test equipment for on-die hard switching and dynamic on-resistance measurement of GaN HEMTs. In Radioelektronika 2020 : 30th International Conference. Bratislava, Slovakia. April 15-16, 2020. Piscataway : IEEE, 2020, S. 201-204. ISBN 978-1-7281-6469-4.

Kategória publikácie do 2021: AFD

V2_22 **KOZÁRIK, Jozef [50 %]** - MAREK, Juraj [25 %] - CHVÁLA, Aleš [5 %] - MINÁRIK, Michal [5 %] - DONOVAL, Martin [5 %] - JAGELKA, Martin [5 %] - DONOVAL, Daniel [5 %]. Design of double-pulse tester for on-die measurement of GaN HEMT dynamic on-resistance. In ADEPT 2020 : 8th International conference on advances in electronic and photonic technologies. Nový Smokovec, Slovakia. September 14-17, 2020. 1. vyd. Žilina : Vydavateľstvo EDIS, 2020, S. 111-114. ISBN 978-80-554-1735-6.

Kategória publikácie do 2021: AFD

V2_23 **KOZÁRIK, Jozef [40 %]** - MAREK, Juraj [35 %] - MINÁRIK, Michal [5 %] - CHVÁLA, Aleš [5 %] - ČERNAJ, Ľuboš [5 %] - DONOVAL, Martin [5 %] - DONOVAL, Daniel [5 %]. Degradation of 600V GaN HEMTs under repetitive short circuit conditions. In ASDAM 2020 : 13th International conference on advanced semiconductor devices and microsystems. Smolenice, Slovakia. October 11-14, 2020. 1. ed. Danvers : IEEE, 2020, S. 127-130. ISSN 2474-9737. ISBN 978-1-7281-9776-0. V

databáze: SCOPUS: 2-s2.0-85104505921 ; WOS:
000669651600029 ; IEEE: 9393866 ; DOI:
10.1109/ASDAM50306.2020.9393866.

Kategória publikácie do 2021: AFD

V2_24 **KOZÁRIK, Jozef [40 %]** - MAREK, Juraj [30 %] - MINÁRIK, Michal [10 %] - CHVÁLA, Aleš [5 %] - GAŠPAREK, Krisztián [5 %] - JAGELKA, Martin [5 %] - DONOVAL, Martin [5 %]. Degradation of 600V GaN HEMT with p-GaN gate under repetitive short circuit stress. In ADEPT 2021 : 9th International conference on advances in electronic and photonic technologies. Podbanské, Slovakia. September 20-23.2021. 1. vyd. Žilina : Vydavateľstvo EDIS, 2021, S. 219-222. ISBN 978-80-554-1806-3.

Výstup: domáci; Kategória publikácie do 2021: AFD

V2_25 **KOZÁRIK, Jozef [40 %]** - MAREK, Juraj [25 %] - MINÁRIK, Michal [15 %] - CHVÁLA, Aleš [5 %] - DEBNÁR, Tomáš [5 %] - DONOVAL, Martin [5 %] - STUHLÍKOVÁ, Eubica [5 %]. Degradation of 600V GaN HEMTs under repetitive short circuit conditions. In ISPS '21 : 15th International Seminar on Power Semiconductors. Prague, Czech Republic. August 26-27, 2021. Prague : Czech Technical University in Prague, 2021, S. 76-81. ISBN 978-80-01-06874-8.

Výstup: zahraničný; Kategória publikácie do 2021: AFC

V2_26 **KOZÁRIK, Jozef [45 %]** - MAREK, Juraj [30 %] - MINÁRIK, Michal [10 %] - CHVÁLA, Aleš [5 %] - GAŠPAREK, Krisztián [5 %] - DONOVAL, Martin [5 %]. Measurement of dynamic on-resistance of packaged and unpackaged GaN HEMTs and effect of repetitive short-circuit stress. In ADEPT 2022 : 10th International conference on advances in electronic and photonic technologies. Tatranská Lomnica, Slovakia. June 20-24, 2022. 1. vyd. Žilina : Vydavateľstvo EDIS, 2022, S. 161-164. ISBN 978-80-554-1884-1.

Typ výstupu: príspevok z podujatia; Výstup: domáci; Kategória publikácie do 2021: AFD

V2_27 **KOZÁRIK, Jozef [20 %]** - ZÁVODNÍK, Tomáš [20 %] - ČERNAJ, Ľuboš [10 %] - DEBNÁR, Tomáš [5 %] - MIČJAN, Michal [5 %] - DONOVAL, Martin [5 %] - GAŠPAREK, Krisztián [5 %] - VAVRINSKÝ, Erik [15 %] - KOSNÁČOVÁ, Helena [15 %]. Multifunctional communication gateway for implementation in telemedicine systems. In ASDAM 2022 : 14th International conference on advanced semiconductor devices and microsystems. Smolenice, Slovakia. October 23-26, 2022. 1. ed. Danvers : IEEE, 2022, S. 151-154. ISBN 978-1-6654-6977-7. V databáze: DOI: 10.1109/ASDAM55965.2022.9966748 ; IEEE: 9966748 ; SCOPUS: 2-s2.0-85144590555.

Typ výstupu: príspevok z podujatia; Výstup: domáci; Kategória publikácie do 2021: AFD

V2_28 **KOZÁRIK, Jozef [30 %]** - GAŠPAREK, Krisztián [25 %] - ZÁVODNÍK, Tomáš [25 %] - ČERNAJ, Ľuboš [10 %] - JAGELKA, Martin [5 %] - DONOVAL, Martin [5 %]. Multi-sensor modular IoT platform for high-density monitoring of environmental parameters. In ASDAM 2022 : 14th International conference on advanced semiconductor devices and microsystems. Smolenice, Slovakia. October 23-26, 2022. 1. ed. Danvers : IEEE, 2022, S. 159-162. ISBN 978-1-6654-6977-7. V databáze: DOI: 10.1109/ASDAM55965.2022.9966783 ; IEEE: 9966783 ; SCOPUS: 2-s2.0-85144592432.

Typ výstupu: príspevok z podujatia; Výstup: domáci; Kategória publikácie do 2021: AFD

V2_29 **KOZÁRIK, Jozef [40 %]** - MAREK, Juraj [40 %] - CHVÁLA, Aleš [10 %] - MINÁRIK, Michal [10 %]. Effect of repetitive short-circuit stress on dynRdson of p-GaN HEMT. In ASDAM 2022 : 14th International conference on advanced semiconductor devices and microsystems. Smolenice, Slovakia. October 23-26, 2022. 1. ed. Danvers : IEEE, 2022, S. 191-194. ISBN 978-1-

6654-6977-7. V databáze: DOI:
10.1109/ASDAM55965.2022.9966798 ; IEEE: 9966798 ;
SCOPUS: 2-s2.0-85144591241.

Typ výstupu: príspevok z podujatia; Výstup: domáci; Kategória publikácie do 2021: AFD

V2_30 MAREK, Juraj [40 %] - **KOZÁRIK, Jozef [15 %]** - JAGELKA, Martin [10 %] - DROBNÝ, Jakub [15 %] - CHVÁLA, Aleš [5 %] - DONOVAL, Daniel [5 %] - STUHLÍKOVÁ, Ľubica [10 %]. Degradation of power p-GaN HEMT under high voltage switching. In ASDAM 2018 : 12th International conference on advanced semiconductor devices and microsystems. Smolenice, Slovakia. October 21-24, 2018. 1. ed. Danvers : IEEE, 2018, S. 171-174. ISBN 978-1-5386-7488-8. V databáze: IEEE: 8544542 ; WOS: 000468753600038 ; SCOPUS: 2-s2.0-85059987215.

Kategória publikácie do 2021: AFD

V2_31 MAREK, Juraj [40 %] - JAGELKA, Martin [10 %] - **KOZÁRIK, Jozef [10 %]** - CHVÁLA, Aleš [5 %] - PRÍBYTNÝ, Patrik [5 %] - ŠATKA, Alexander [5 %] - DONOVAL, Martin [5 %] - DONOVAL, Daniel [5 %] - STUHLÍKOVÁ, Ľubica [10 %]. Degradation of p-GaN HEMTs exposed to clamped inductive switching. In GaN Marathon 2.0 : Padova, Italy. April 18-19, 2018. Padova : Coop. Libreria Editrice Università di Padova, 2018, S. 73-74. ISBN 978-88-6787-916-8.

Kategória publikácie do 2021: AFC

V2_32 MAREK, Juraj [50 %] - **KOZÁRIK, Jozef [30 %]** - CHVÁLA, Aleš [5 %] - ČERNAJ, Ľuboš [5 %] - DONOVAL, Martin [5 %] - DONOVAL, Daniel [5 %]. Power SiC MOSFET under repetitive UIS conditions. In ADEPT 2019 : 7th International conference on advances in electronic and photonic technologies. Štrbské Pleso, Slovakia. June 24-27, 2019. 1. vyd. Žilina : Vydavateľstvo EDIS, 2019, S. 179-182. ISBN 978-80-554-1568-0.

Kategória publikácie do 2021: AFD

V2_33 MAREK, Juraj [30 %] - MIKOLÁŠEK, Miroslav [20 %] - DROBNÝ, Jakub [20 %] - **KOZÁRIK, Jozef [10 %]** - CHVÁLA, Aleš [5 %] - GEENS, K. [1 %] - BORGA, Matteo [1 %] - LIANG, Hu [1 %] - YOU, Shuzhen [1 %] - DECOUTERE, Stefaan [1 %] - STUHLÍKOVÁ, Eubica [10 %]. Electrical and DLTS Characterization of Gate Interfaces in GaN-based Trench-gate semi-vertical MOS devices. In Solid State Surfaces and Interfaces : 11th conference, November 23-26,2020, Smolenice, Slovak Republic. 1. vyd. Bratislava : Comenius University, 2020, S. 57-58. ISBN 978-80-223-5018-1.

Kategória publikácie do 2021: AFH

V2_34 MAREK, Juraj [40 %] - **KOZÁRIK, Jozef [25 %]** - CHVÁLA, Aleš [5 %] - MINÁRIK, Michal [10 %] - ŠPÁNIK, Patrik Ján [10 %] - JAGELKA, Martin [5 %] - DONOVAL, Martin [5 %]. Impact of repetitive inductive switching on degradation of power SiC MOSFETs. In ADEPT 2020 : 8th International conference on advances in electronic and photonic technologies. Nový Smokovec, Slovakia. September 14-17, 2020. 1. vyd. Žilina : Vydavateľstvo EDIS, 2020, S. 49-52. ISBN 978-80-554-1735-6.
Kategória publikácie do 2021: AFD

V2_35 MAREK, Juraj [40 %] - **KOZÁRIK, Jozef [30 %]** - CHVÁLA, Aleš [5 %] - MINÁRIK, Michal [5 %] - ŠPÁNIK, Patrik Ján [5 %] - JAGELKA, Martin [5 %] - DONOVAL, Daniel [5 %] - DONOVAL, Martin [5 %]. Impact of repetitive UIS and SC stress on degradation of power SIC trenchMOSFETS. In ASDAM 2020 : 13th International conference on advanced semiconductor devices and microsystems. Smolenice, Slovakia. October 11-14, 2020. 1. ed. Danvers : IEEE, 2020, S. 92-95. ISSN 2474-9737. ISBN 978-1-7281-9776-0. V databáze: SCOPUS: 2-s2.0-85104565743 ; WOS: 000669651600021 ; IEEE: 9393845 ; DOI: 10.1109/ASDAM50306.2020.9393845.
Kategória publikácie do 2021: AFD

- V2_36 MAREK, Juraj [40 %] - **KOZÁRIK, Jozef [25 %]** - CHVÁLA, Aleš [10 %] - MINÁRIK, Michal [20 %] - DONOVAL, Martin [5 %]. Power SiC MOSFET under repetitive UIS and short circuit stress. In ADEPT 2021 : 9th International conference on advances in electronic and photonic technologies. Podbanské, Slovakia. September 20-23.2021. 1. vyd. Žilina : Vydavateľstvo EDIS, 2021, S. 67-70. ISBN 978-80-554-1806-3.
Výstup: domáci; Kategória publikácie do 2021: AFD
- V2_37 MAREK, Juraj [40 %] - **KOZÁRIK, Jozef [25 %]** - CHVÁLA, Aleš [5 %] - MINÁRIK, Michal [20 %] - STUHLÍKOVÁ, Ľubica [10 %]. Degradation of power SiC MOSFET under repetitive UIS and short circuit stress. In ISPS '21 : 15th International Seminar on Power Semiconductors. Prague, Czech Republic. August 26-27, 2021. Prague : Czech Technical University in Prague, 2021, S. 70-75. ISBN 978-80-01-06874-8.
Výstup: zahraničný; Kategória publikácie do 2021: AFC
- V2_38 MAREK, Juraj [50 %] - MINÁRIK, Michal [30 %] - **KOZÁRIK, Jozef [10 %]** - JAGELKA, Martin [10 %]. Analysis of 15 A–1200 V class IGBTs under repetitive SC conditions. In ADEPT 2022 : 10th International conference on advances in electronic and photonic technologies. Tatranská Lomnica, Slovakia. June 20-24, 2022. 1. vyd. Žilina : Vydavateľstvo EDIS, 2022, S. 205-208. ISBN 978-80-554-1884-1.
Typ výstupu: príspevok z podujatia; Výstup: domáci; Kategória publikácie do 2021: AFD
- V2_39 MAREK, Juraj [60 %] - **KOZÁRIK, Jozef [10 %]** - MINÁRIK, Michal [10 %] - CHVÁLA, Aleš [5 %] - MATUŠ, Matej [10 %] - STUHLÍKOVÁ, Ľubica [5 %]. SiC power TrenchMOS transistor under repetitive avalanche stress. In ASDAM 2022 : 14th International conference on advanced semiconductor devices and microsystems. Smolenice, Slovakia. October 23-26,

2022. 1. ed. Danvers : IEEE, 2022, S. 183-186. ISBN 978-1-6654-6977-7. V databáze: DOI: 10.1109/ASDAM55965.2022.9966790 ; IEEE: 9966790 ; SCOPUS: 2-s2.0-85144595561.

Typ výstupu: príspevok z podujatia; Výstup: domáci; Kategória publikácie do 2021: AFD

V2_40 ŠUBJAK, Ján [60 %] - MIČJAN, Michal [10 %] - VAVRINSKÝ, Erik [10 %] - **KOZÁRIK, Jozef [10 %]** - DONOVAL, Martin [10 %]. Design of automated patient monitoring system based on progressive IoT technologies. In ADEPT 2019 : 7th International conference on advances in electronic and photonic technologies. Štrbské Pleso, Slovakia. June 24-27, 2019. 1. vyd. Žilina : Vydavateľstvo EDIS, 2019, S. 131-134. ISBN 978-80-554-1568-0.

Kategória publikácie do 2021: AFD

V2_41 ZÁVODNÍK, Tomáš [20 %] - JAGELKA, Martin [20 %] - ČERNAJ, Ľuboš [20 %] - **KOZÁRIK, Jozef [20 %]** - DONOVAL, Martin [20 %]. Vehicle detection based on magnetic field variations with underground low-power IOT magnetic sensor. In ASDAM 2018 : 12th International conference on advanced semiconductor devices and microsystems. Smolenice, Slovakia. October 21-24, 2018. 1. ed. Danvers : IEEE, 2018, S. 89-92. ISBN 978-1-5386-7488-8. V databáze: IEEE: 8544717 ; WOS: 000468753600021 ; SCOPUS: 2-s2.0-85059974137.

Kategória publikácie do 2021: AFD

V2_42 ZÁVODNÍK, Tomáš [35 %] - MIČJAN, Michal [40 %] - DEBNÁR, Tomáš [10 %] - ČERNAJ, Ľuboš [10 %] - **KOZÁRIK, Jozef [5 %]**. Vývoj systému na monitorovanie možného šírenia ochorenia COVID-19. In Fotonika 2022 : 17. výročný vedecký seminár Medzinárodného laserového centra CVTI SR. Bratislava, Slovakia. 07. december 2022. Bratislava :

Medzinárodné laserové centrum, 2022, S. 107-110. ISBN 978-80-8240-033-8.

Typ výstupu: príspevok z podujatia; Výstup: domáci; Kategória publikácie do 2021: AFD

V3 Vedecký výstup publikačnej činnosti z časopisu

V3_01 **KOZÁRIK, Jozef [50 %]** - MAREK, Juraj [30 %] - CHVÁLA, Aleš [5 %] - MINÁRIK, Michal [5 %] - GAŠPAREK, Krisztián [5 %] - JAGELKA, Martin [5 %]. Development of a device for on-die double-pulse testing and measurement of dynamic on-resistance of GaN HEMTs. In Advances in Electrical and Electronic Engineering. Vol. 19, No. 4 (2021), s. 361-368. ISSN 1336-1376 (2021: 0.202 - SJR, Q4 - SJR Best Q). V databáze: DOI: 10.15598/aece.v19i4.4136 ; WOS: 000739869600010 ; SCOPUS: 2-s2.0-85122089077.

Kategória publikácie do 2021: ADM

V3_02 MAREK, Juraj [55 %] - **KOZÁRIK, Jozef [15 %]** - MINÁRIK, Michal [15 %] - CHVÁLA, Aleš [10 %] - STUHLÍKOVÁ, Ľubica [5 %]. The influence of repetitive UIS on electrical properties of advanced automotive power transistors. In Advances in Electrical and Electronic Engineering. Vol. 20, No. 1 (2022), s. 86-94. ISSN 1336-1376 (2022: 0.600 - IF, 0.182 - SJR, Q4 - SJR Best Q). V databáze: WOS: 000782895100009 ; SCOPUS: 2-s2.0-85129530577 ; DOI: 10.15598/aece.v20i1.4120.

Typ výstupu: článok; Výstup: zahraničný; Kategória publikácie do 2021: ADM

V3_03 MAREK, Juraj [40 %] - **KOZÁRIK, Jozef [20 %]** - MINÁRIK, Michal [10 %] - CHVÁLA, Aleš [5 %] - MATUŠ, Matej [10 %] - DONOVAL, Martin [5 %] - STUHLÍKOVÁ, Ľubica [5 %] - WEIS, Martin [5 %]. Charge trap states of sic power trenchmos transistor under repetitive unclamped inductive switching stress. In Materials. Vol. 15, iss. 22 (2022), Art. no. 8230 [11] s. ISSN 1996-1944 (2022: 3.400 - IF, Q2 - JCR Best Q, 0.563 - SJR, Q2

- SJR Best Q). V databáze: DOI: 10.3390/ma15228230 ; SCOPUS: 2-s2.0-85142688431 ; WOS: 000887385000001 ; CC: 000887385000001.

Typ výstupu: článok; Výstup: zahraničný; Kategória publikácie do 2021: ADC

V3_04 VAVRINSKÝ, Erik [23 %] - ZÁVODNÍK, Tomáš [10 %] - DEBNÁR, Tomáš [7 %] - ČERNAJ, Ľuboš [7 %] - **KOZÁRIK, Jozef [7 %]** - MIČJAN, Michal [8 %] - NEVŘELA, Juraj [8 %] - DONOVAL, Martin [7 %] - KOPÁNI, Martin [5 %] - KOSNÁČOVÁ, Helena [18 %]. Research and development of a COVID-19 tracking system in order to implement analytical tools to reduce the infection risk. In Sensors. Vol. 22, iss. 2 (2022), Art. no. 526 [21] s. ISSN 1424-8220 (2022: 3.900 - IF, Q2 - JCR Best Q, 0.764 - SJR, Q1 - SJR Best Q). V databáze: CC: 000747723100001 ; WOS: 000747723100001 ; SCOPUS: 2-s2.0-85123510137 ; DOI: 10.3390/s22020526.

Typ výstupu: článok; Výstup: zahraničný; Kategória publikácie do 2021: ADC

O2 Odborný výstup publikačnej činnosti ako časť knižnej publikácie alebo zborníka

O2_01 CHVÁLA, Aleš [60 %] - ČERNAJ, Ľuboš [20 %] - MAREK, Juraj [10 %] - **KOZÁRIK, Jozef [5 %]** - DONOVAL, Daniel [5 %]. Electrothermal circuit model of SiC power MOSFET based on neural network. In SiCE-2020 [elektronický zdroj] : International Workshop Silicon Carbide in Europe 2020. Virtual conference. Catania, Italy. May 4-6, 2020. Naples : Institute for Microelectronics and Microsystems, 2020, [15] s.

Kategória publikácie do 2021: BEE

O2_02 CHVÁLA, Aleš [60 %] - ČERNAJ, Ľuboš [20 %] - MAREK, Juraj [5 %] - **KOZÁRIK, Jozef [5 %]** - MESSINA, Angelo Alberto [2 %] - VINCIGUERRA, Vincenzo [3 %] - DONOVAL, Daniel [5 %]. Neural network for modelling of SiC power MOSFET. In WOCS DICE 2021 : 44th Workshop on compound

semiconductor devices and integrated circuits held in Europe. Bristol, United Kingdom. June 14-17, 2021. Bristol : University of Bristol, 2021, S. 28-29.

Kategória publikácie do 2021: BEE

O2_03 CHVÁLA, Aleš [60 %] - MAREK, Juraj [10 %] - **KOZÁRIK, Jozef [10 %]** - MESSINA, Angelo Alberto [5 %] - VINCIGUERRA, Vincenzo [5 %] - DONOVAL, Daniel [10 %]. Electro-thermal simulation analysis and optimization of SiC Power MOSFET under UIS test condition. In WOCSDICE-EXMATEC 2022 : 45th Workshop on compound semiconductor devices and integrated circuits held in Europe. 16th Expert evaluation and control of compound semiconductor materials and technologies. Ponta Delgada, Portugal. May 3-6, 2022. Aveiro : Universidade de Aveiro, 2022, S. OP102-OP103.

Typ výstupu: príspevok z podujatia; Výstup: zahraničný; Kategória publikácie do 2021: BEE

O2_04 CHVÁLA, Aleš [65 %] - MAREK, Juraj [10 %] - **KOZÁRIK, Jozef [10 %]** - MESSINA, Angelo Alberto [5 %] - VINCIGUERRA, Vincenzo [5 %] - DONOVAL, Daniel [5 %]. 3-D device electro-thermal simulation methodology for optimization of SiC power MOSFET under UIS test condition. In ICSCRM 2022 : 19th International Conference on Silicon Carbide and Related Materials. Book of Abstracts. Davos, Switzerland. September 11-16, 2022. Davos : ICSCRM, 2022, S. 197-198.

Typ výstupu: príspevok z podujatia; Výstup: zahraničný; Kategória publikácie do 2021: BFA

O2_05 MAREK, Juraj [50 %] - **KOZÁRIK, Jozef [20 %]** - MINÁRIK, Michal [10 %] - CHVÁLA, Aleš [10 %] - STUHLÍKOVÁ, Lubica [10 %]. Electrical performance degradation of power p-GaN HEMTs exposed to repetitive short circuit conditions. In WOCSDICE-EXMATEC 2022 : 45th Workshop on compound semiconductor devices and integrated circuits held in Europe.

16th Expert evaluation and control of compound semiconductor materials and technologies. Ponta Delgada, Portugal. May 3-6, 2022. Aveiro : Universidade de Aveiro, 2022, S. OP106-OP107. Typ výstupu: príspevok z podujatia; Výstup: zahraničný; Kategória publikácie do 2021: BEE

- O2_06 VAVRINSKÝ, Erik [20 %] - VIŤAZKOVÁ, Diana [10 %] - KOSNÁČOVÁ, Helena [10 %] - MIČJAN, Michal [10 %] - DONOVAL, Martin [10 %] - ZÁVODNÍK, Tomáš [10 %] - ČERNAJ, Ľuboš [10 %] - JAGELKA, Martin [10 %] - **KOZÁRIK, Jozef [10 %]**. História dizajnu telemedicínskych zariadení na Ústave elektroniky a fotoniky FEI STU. In 44. Dni lekárskej biofyziky : Zborník abstraktov. Stará Lesná, Slovakia. 31.05.-02.06.2023. Bratislava : Univerzita Komenského v Bratislave, 2023, S. 78-79. Typ výstupu: príspevok z podujatia; Výstup: domáci; Kategória publikácie do 2021: BEF

D1 Dokument práv duševného vlastníctva

- D1_01 ČERNAJ, Ľuboš [20 %] - NEVŘELA, Juraj [10 %] - DONOVAL, Martin [10 %] - MIČJAN, Michal [10 %] - DEBNÁR, Tomáš [5 %] - GAŠPAREK, Krisztián [10 %] - ZÁVODNÍK, Tomáš [20 %] - **KOZÁRIK, Jozef [10 %]** - JAGELKA, Martin [5 %]. Nositeľné biomonitorovacie zariadenie a spôsob monitoringu pacienta : Úžitkový vzor č. 9722, Dátum oznámenia o sprístupnení dokumentu : 29.3.2023, Vestník ÚPV SR č. 6/2023. Banská Bystrica : Úrad priemyselného vlastníctva SR, 2023. 8 s. Dostupné na internete: <<https://wbr.indprop.gov.sk/WebRegistre/UzitikovyVzor/Detail/90-2022?csrt=17138102622100521421>>. Typ výstupu: úžitkový vzor; Výstup: domáci; Kategória publikácie do 2021: AGJ

- D1_02 **KOZÁRIK, Jozef [25 %]** - ČERNAJ, Ľuboš [10 %] - GAŠPAREK, Krisztián [10 %] - DEBNÁR, Tomáš [10 %] - ZÁVODNÍK, Tomáš [25 %] - NEVŘELA, Juraj [5 %] -

MAREK, Juraj [5 %] - MIČJAN, Michal [5 %] - DONOVAL, Martin [5 %]. Multifunkčný komunikačný bod na implementáciu v telemedicíne : Úžitkový vzor č. 9609, Dátum oznámenia o sprístupnení dokumentu : 12.10.2022, Vestník ÚPV SR č. 19/2022. Banská Bystrica : Úrad priemyselného vlastníctva SR, 2022. 6 s. Dostupné na internete: <<https://wbr.indprop.gov.sk/WebRegistre/UzitkovyVzor/Detail/50085-2021?csrt=17138102622100521421>>.

Typ výstupu: úžitkový vzor; Výstup: domáci; Kategória publikácie do 2021: AGJ

D1_03 ZÁVODNÍK, Tomáš [10 %] - ČERNAJ, Ľuboš [5 %] - GAŠPAREK, Krisztián [10 %] - DEBNÁR, Tomáš [10 %] - NEVŘELA, Juraj [5 %] - MIČJAN, Michal [5 %] - DONOVAL, Martin [5 %] - **KOZÁRIK, Jozef [25 %]** - JAGELKA, Martin [25 %]. Multisenzorická modulárna IoT platforma na meranie environmentálnych parametrov : prihláška úžitkového vzoru č. 9-2023, dátum podania prihlášky: 31.1.2023, dátum zverejnenia prihlášky: 28.6.2023, Vestník ÚPV SR č. 12/2023. Banská Bystrica : Úrad priemyselného vlastníctva SR, 2023. 7 s. Dostupné na internete: <<https://wbr.indprop.gov.sk/WebRegistre/UzitkovyVzor/Detail/9-2023?csrt=17138102622100521421>>.

Typ výstupu: prihláška úžitkového vzoru; Výstup: domáci; Kategória publikácie do 2021: AGJ

Štatistika: kategória publikačnej činnosti od 2022

V2	Vedecký výstup publikačnej činnosti ako časť editovanej knihy alebo zborníka	42
V3	Vedecký výstup publikačnej činnosti z časopisu	4
O2	Odborný výstup publikačnej činnosti ako časť knižnej publikácie alebo zborníka	6
D1	Dokument práv duševného vlastníctva	3
Súčet		55