

Posudek habilitační práce

Habilitant: Ing. Lukáš Nagy, PhD.

Název práce: Príspevok k ultra nízkonapäťovým a nízkopříkonovým systémom na čipe

Oponent: Prof. Ing. Jiří Jakovenko, Ph.D. – ČVUT v Praze, Fakulta elektrotechnická

Předložená habilitační práce je zaměřená na výzkum v oblasti návrhu analogových a smíšených systémů na čipu s ultra nízkou hodnotou napájecího napětí a s tím spojeným sníženým příkonem navrhovaných integrovaných obvodů.

Práce se podrobně věnuje především nutnosti přesného modelování vlastností MOS tranzistorů nanometrových rozměrů pracujících v podprahovém režimu v kombinaci s technikou řízení tranzistorů pomocí substrátové elektrody, dále optimalizací a ručním návrhem ochranných ESD struktur na bázi MOS tranzistorů s cílem minimalizace jejich vlastní spotřeby a dále návrhu napěťového komparátoru pracujícího s napájecím napětím 0,4 V a méně.

Práce je napsána ve slovenském jazyce a je prezentována v přiměřeném rozsahu 71 stran čistého textu. Předložená habilitační práce popisuje a shrnuje mezioborové znalosti v oblastech návrhu nízko příkonových elektronických integrovaných struktur, testování integrovaných obvodů a v neposlední řadě i návrhem ochranných ESD struktur.

a) Aktuálnost zvoleného tématu

Na současné integrované obvody jsou kladeny stále větší nároky z hlediska hustoty integrace, množství komponentů na jenom čipu, rychlosti systému, spolehlivosti, ale také zejména spotřeby a nutnosti ultra nízkého napájecího napětí.

Předkládaná habilitační práce představuje ucelený soubor výzkumu v problematice návrhu analogových a smíšených obvodů integrovaných do systému na čipu vyrobeného v klasické CMOS technologii, s cílem přiblížení se k naplnění vize o plně integrovaném RF generování a snímání energie. S tím je přirozeně spojena schopnost systému pracovat s ultra nízkými hodnotami napětí a příkonu. Výzkum v oblasti vysokofrekvenčních generátorů a snímačů energie byl dosud téměř výlučně realizován v diskrétní formě. Tento fakt sloužil autorovi jako motivace pro výzkum a vývoj v oblasti integrovaných RF snímačů energie, jehož cílem bylo vybudovat integrovaný systém na čipu, který by vysokofrekvenční energii usměrňoval a kombinací technik správy napájení vytvářel stabilní zdroj stejnosměrného napětí. Tento problém představuje několik aktuálních výzev, a proto je vývoj zmíněného systému velmi obsáhlá a aktuální problematika, mezi které patří zejména vývoj nových metod pro přesné modelování vlastností MOS tranzistorů nanometrových rozměrů pracujících v podprahovém režimu. V současné době je to velice aktuální problematika, která dovoluje aplikovat analogové obvody i do nanometrových technologií, které mají typicky velice malé napájecí napětí a vede ke zlepšování funkčních vlastností a výtěžnosti integrovaných obvodů. Mohu tedy konstatovat, že vybrané téma je velice aktuální. Zcela koresponduje moderním trendům ve výzkumu v oboru a přispívá k dalšímu rozvoji tohoto vědního oboru.

b) Metody zpracování

Z předložené práce vyplývá, že se Ing. Nagy zabýval zvoleným tématem systematicky a podrobně. K řešení habilitační práce využil několika metod vědecké práce. Zejména zpracoval podrobnou analýzu současného poznání, kterou následně rozšířil o své vlastní návrhy dalších postupů a metod, které vycházejí z problematiky kompaktního modelování MOS tranzistorů ve slabé inverzi, minimalizaci spotřeby ESD struktur, jejichž spotřeba může u ultra nízko příkonových systémů představovat nezanedbatelnou položku a návrhu napěťového komparátoru pracujícího s ultra nízkou hodnotou napájení, kde byl použit vyvinutý kompaktní model MOS tranzistoru. Obvod využívá bulk-driven metodiku, díky čemuž je schopný zpracovat vstupní signály v celém rozsahu napájení.

Výše uvedené metody implementoval do podoby uceleného návrhu komparátoru na čipu ve 130 nm a 65 nm technologii CMOS. Návrhy podrobil důkladné analýze, z které vyvodil správné závěry. Problematika

tohoto tématu je mezioborová a zasahuje do oblasti obvodové analýzy, technologického výzkumu a experimentální verifikace. Oceňuji snahu autora o podrobný rozbor a shrnutí výsledků.

c) Cíle habilitační práce a jejich splnění

Hlavní cíle práce lze spatřit zejména v těchto oblastech:

- Extrakce vnitřních parametrů EKV modelu se zaměřením na řízení tranzistoru substrátovou elektrodou (BD), která zjednodušuje a urychluje tvorbu simulačních modelů pro BD návrh IO v nanometrových CMOS technologiích.
- Zlepšení korelace výsledků měření a výsledků obvodových simulací MOS tranzistorů používaných v BD metodice návrhu IO.
- Návrhu a testování nové ESD struktury (vstupní/výstupní a analogovou/digitální) vyrobené v 130 nm CMOS procesu. Zejména ESD ochrany pro záporné napájecí napětí, která nebývá standardně dodávána, ani podporována.
- Návrhu přesného statického a dynamického modelu ESD struktury pro obvodové simulátory.
- Návrhu dvou obvodových topologií napěťového komparátoru v 130 a 65 nm CMOS technologii, vhodné pro aplikace IO s ultra nízkou hodnotou napájení a/nebo příkonu.

Lze konstatovat, že výše uvedené cíle byly stanoveny uvážene a představují přínos pro praxi a rozvíjí vědní obor. V práci je postupně popsáno splnění všech cílů, které jsou popsány na stranách 67 - 68.

d) Dosažené výsledky habilitační práce a nové poznatky

Nejdůležitější dosažené výsledky a přínosy práce Ing. Nagyho je možno spatřit zejména v návrhu dvou originálních obvodových topologií napěťového komparátoru v 130 a 65 nm CMOS technologii. Obě topologie jsou vhodné pro aplikace IO s ultra nízkou hodnotou napájení anebo příkonu. Experimentální měření na prototypových čipech potvrzují funkčnost konceptu a vykazují velmi slibné parametry, jako je vnitřní spotřeba, která nepřesáhne $PDD = 1 \mu W$.

Autor uvádí, že měřeními potvrzená nejnižší hodnota napájecího napětí pro obvod komparátoru je 0,25 V, a mohla by být ještě mírně snížena pro omezený rozsah pracovní teploty IO. Obě topologie komparátoru disponují programovatelnou hysterezí, vypínacím signálem, schopností zpracování vstupního napětí v celém rozsahu napájení a zanedbatelně nízkou hodnotou vstupního offsetu. Směrodatná odchylka offsetu byla menší než 2,55 mV v případě návrhu v 65 nm CMOS technologii. Obě topologie jsou jednoduše modifikovatelné pro možnost digitálního trimování.

Autor také úspěšně navrhl a otestoval více návrhů ESD struktur vyrobených v 130 nm CMOS procesu. Konkrétně, ESD ochranu pro záporné napájecí napětí, která nebývá standardně dodávána, ani podporována, dále všechny 4 kombinace ESD struktur (vstupní/výstupní, analogovou/digitální). Navržené ESD diody byly použity při výrobě dvou samostatných ASIC návrhů. V obou případech všechny experimentální vzorky čipů fungovaly podle očekávání. Oproti standardně dodávaným ESD obvodům bylo dosaženo redukce vlastní spotřeby o více než dva řády. V případě PMOS tranzistoru byla dosažena až 1160násobná redukce vlastní spotřeby.

Výše uvedené přínosy odpovídají vytyčeným cílům. Nejvýznamnější výsledky jsou shrnuty v kapitolách 2 a 3, které lze považovat za jádro práce. Velmi kladně hodnotím nejen teoretickou část práce, ale i experimentální návrh dvou čipů, které byly podrobně verifikovány.

e) Přínos pro rozvoj vědního oboru

Habilitační práce Ing. Nagyho má bezprostřední uplatnění jak ve vývoji nových nízko příkonových integrovaných obvodů, tak i v praktickém využití v průmyslu. Autor přinesl nové teoretické podněty pro další výzkum v oblasti modelů tranzistorů používaných v BD metodice návrhu IO. Práce přináší významné výsledky, které jsou využitelné širokou komunitou návrhářů analogových nízko příkonových obvodů.

Vyjádření k publikacím

Na straně 72 autor uvádí pět nejvýznamnějších publikací, které se váží s tématem habilitační práce. Zde je dvakrát hlavním autorem publikace v impaktovaném časopise. Tyto publikace vykazovaly celkem 20 citací v databázi Scopus. Kompletní seznam obsahuje 74 publikací.

Za nejhodnotnější publikační výstup považuji článek v impaktovaném časopise: *L. Nagy, M. Potočný, R. Ondica, A. Hudec, V. Stopjaková, "A novel ultra low-voltage/low-power rail-to-rail comparator topology in nanoscale CMOS technology," AEU - International Journal of Electronics and Communications, vol. 166, 2023.*, kde je Ing. Nagy hlavní autor článku.

Uvedené publikace se většinou týkají problematiky související s habilitační prací, takže mohu konstatovat, že výsledky práce byly dostatečně publikovány.

Vyjádření k formální úpravě habilitační práce

Autor zformoval práci srozumitelnou a jasnou. Odborná úroveň je vysoká. Hlavní myšlenky práce jsou prezentovány uceleně a v jasném logickém sledu. Oceňuji dobrou grafickou úroveň práce.

f) Shrnutí

Z předložené práce plyne, že se autor uvedenou problematikou zabýval velmi podrobně a obeznámil se s nezbytnou problematikou týkající se návrhu analogových integrovaných obvodů s nízkou spotřebou, tak i s praktickým návrhem čipu a experimentálním testováním.

Ing. Nagy řešil svoji práci samostatně a jeho vlastní podíl na původnosti řešení je neoddiskutovatelný. V předložené práci nejsou podstatné chyby teoretického charakteru, ani žádné vážné praktické nedostatky. Závěry publikované v předložené práci mají nepochybný význam pro návrh analogových nízko příkonových integrovaných obvodů.

Předložená habilitační práce splňuje podmínky samostatné tvůrčí vědecké činnosti a obsahuje původní výsledky, které byly průběžně hojně publikovány na významných konferencích a v impaktovaných časopisech. Na základě výše uvedeného doporučuji habilitační práci Ing. Nagyho k obhajobě a doporučuji udělení titulu docent.

Dotazy a připomínky k diskusi:

- 1) Prosím o vyjasnění spoluautorských podílů na publikacích autora přiřazených k habilitaci. Na většině publikací vystupuje podobný autorský kolektiv a není jasné, jaký podíl na publikacích autor má. Které části práce jsou samostatným dílem autora a na kterých spolupracoval kolektiv? Prosím a laskavě vysvětlení.
- 2) Proč autor nenapsal práci v angličtině? Práce by pak měla jistě dalo větší dopad na odbornou komunitu.
- 3) Bylo na realizovaných vzorcích komparátorů provedeno měření v teplotních rozích? Pokud ano, s jakými výsledky?
- 4) Jakým způsobem byla na daných čipech realizována napěťová a proudová reference?

V Praze 28. 1. 2025

Prof. Ing. Jiří Jakovenko, Ph.D..
České vysoké učení technické v Praze
Fakulta elektrotechnická
Technická 2

166 27 Praha 6 - Dejvice